

# 超大规模集成电路 工艺技术

[日] 西泽润一 著 秦勋 韩伟清 译

国防工业出版社

21  
2 4

科技新书目 46-4

统一书号  
15034·2420

定价2.15元

# 超大规模集成电路 工艺技术

〔日〕 西泽润一 编  
秦 勋 韩伟清 译



26269

0002641

国防工业出版社

(480)

# 超大规模集成电路 工艺技术

〔日〕 西泽润一 编  
秦 勋 韩伟清 译



0002641

国防工业出版社

480

## 内 容 简 介

本书以超大规模集成电路中的工艺技术为主要内容,阐述了外延生长工艺、离子注入技术、高精度扩散技术、栅氧化膜、硅上的金属薄膜、半导体表面稳定化、带电离子束测试技术、工艺诱生缺陷及其消除以及工艺最佳化等。

本书可供从事半导体集成电路研制和生产人员以及大专院校有关专业师生参考。

超LSI技術〔3〕半導体プロセス

財団法人 半導体研究振興会

西沢潤一 編

工業調査会 発行

1979

\*

超大规模集成电路工艺技术

〔日〕西沢潤一 編

秦 勋 韩伟清 译

\*

国防工业出版社 出版

新华书店北京发行所发行 各地新华书店经售

国防工业出版社印刷厂印装

\*

787×1092<sup>1</sup>/<sub>16</sub> 印张 21 485 千字

1983年5月第一版 1983年5月第一次印刷 印数: 0,001—5,000册

统一书号: 15034·2420 定价: 2.15元

## 译 序

集成电路诞生于五十年代后期，至今仅有二十多年的历史，但经历了从小规模集成到中规模、大规模乃至超大规模集成几个阶段；从开始单片集成几个元件发展到今天单片集成约 60 万个元件。它的发展速度之快，制作之复杂和精细，涉及的技术部门之多，应用之广泛，是其它技术领域所不能比拟的。

在半导体技术发展史上，八十年代被人们称之为超大规模集成电路年代。在这十年中，超大规模集成电路技术将进一步得到发展和完善，预计集成度将以每两年提高一倍的速度发展。

所谓超大规模集成电路，目前尚无确切的定义。通常认为在一块芯片上集成 10 万个以上的元件、图形线条宽度在 2 微米以下的集成电路，称之为超大规模集成电路。从这个意义上说，64 千位动态随机存储器的出现就是超大规模集成电路的起点。从大规模集成电路到超大规模集成电路，在微细加工技术、电路设计技术和工艺技术方面都有显著的进展。而在工艺技术中，与大规模集成电路密切相关的物理、化学等基础技术，对超大规模集成电路的发展也起着很大的作用。

本书译自日本“半导体研究”第 16 卷——《超 LSI 技術〔3〕半導体プロセス》，记述了日本半导体研究振兴会组织的第 16 次半导体专业讲习会的演讲内容。它既阐述了超大规模集成电路的工艺技术，同时又指出了各种工艺最佳化的途径和整个工艺最佳化的必要条件。本书涉及的内容广而深，与国内已翻译出版的“半导体研究”第 14 卷——《超 LSI 技術〔1〕微细加工》，第 15 卷——《超 LSI 技術〔2〕回路設計》一起，集中了超大规模集成电路的许多最新研究成果。

本书虽是超大规模集成电路工艺技术的专著，但很多方面也同样适用于中小规模集成电路，因此，本书不仅对我国从事超大规模集成电路研制的技术人员，而且对一切从事半导体集成电路的科研、生产、教学人员都有较大的参考价值。

为了突出重点，翻译时删除了原书每章后的讨论部分，并对业已发现的错误作了更正。但由于译者的水平所限，译文中难免存在一些不妥之处和错误，欢迎读者批评指正。

## 目 录

|                              |     |  |     |
|------------------------------|-----|--|-----|
| 主要英文缩写词 .....                | VII | 第五章 微细元件的栅氧化膜 .....  | 120 |
| 第一章 高性能、高集成度集成电路的发展动向 .....  | 1   | 5.1 微细化引起的变化 .....   | 120 |
| 1.1 前言 .....                 | 1   | 5.2 微细化带来的问题 .....   | 121 |
| 1.2 MOS IC .....             | 3   | 5.3 Si-SiO <sub>2</sub> 界面存在的问题 .....                        | 165 |
| 1.3 双极型IC .....              | 11  | 5.4 多晶硅上氧化膜的性质 .....   | 174 |
| 1.4 其它型式 IC和新型 IC .....      | 12  | 5.5 SiO <sub>2</sub> 和 Si-SiO <sub>2</sub> 界面特性的最新评价方法 ..... | 179 |
| 1.5 将来的方向 .....              | 13  | 5.6 结束语 .....  | 182 |
| 参考文献 .....                   | 14  | 参考文献 .....   | 182 |
| 第二章 高密度双极 LSI 的外延生长工艺 .....  | 16  | 第六章 硅上的金属薄膜 .....  | 188 |
| 2.1 序论 .....                 | 16  | 6.1 前言 .....   | 188 |
| 2.2 外延生长工艺的原料和设备等问题 .....    | 17  | 6.2 问题的提出和研究方法 .....   | 188 |
| 2.3 外延层的评价法 .....            | 18  | 6.3 硅表面的金属吸附层结构 .....  | 191 |
| 2.4 外延层的厚度和电阻率的控制及其均匀性 ..... | 24  | 6.4 单晶硅表面上的金属薄膜 .....  | 193 |
| 2.5 自掺杂 .....                | 32  | 6.5 结束语 .....  | 206 |
| 2.6 图形的塌边和错位 .....           | 39  | 参考文献 .....   | 206 |
| 2.7 外延层中的晶体缺陷 .....          | 41  | 第七章 半导体表面的稳定化 .....  | 209 |
| 2.8 结束语 .....                | 44  | 7.1 序言 .....   | 209 |
| 参考文献 .....                   | 44  | 7.2 等离子体氮化膜钝化 .....  | 211 |
| 第三章 离子注入技术 .....             | 48  | 7.3 表面净化 .....   | 216 |
| 3.1 前言 .....                 | 48  | 7.4 高压氧化法 .....  | 220 |
| 3.2 低密度离子注入 .....            | 49  | 7.5 结束语 .....  | 225 |
| 3.3 高密度离子注入 .....            | 64  | 参考文献 .....   | 225 |
| 3.4 在 LSI 上的应用 .....         | 78  | 第八章 用带电粒子束进行测试的工艺技术 .....                                    | 226 |
| 3.5 结束语 .....                | 82  | 8.1 用带电粒子进行测试的方法 .....                                       | 226 |
| 参考文献 .....                   | 84  | 8.2 离子微分析的原理 .....   | 227 |
| 第四章 高精度扩散技术 .....            | 88  | 8.3 设备和测量 .....  | 234 |
| 4.1 前言 .....                 | 88  | 8.4 应用 .....   | 242 |
| 4.2 扩散技术的现状 .....            | 89  | 8.5 结束语 .....  | 250 |
| 4.3 扩散的基础 .....              | 95  | 参考文献 .....   | 250 |
| 4.4 扩散的异常性 .....             | 99  | 第九章 工艺诱生缺陷 .....   | 253 |
| 4.5 工艺模拟 .....               | 115 | 9.1 前言 .....   | 253 |
| 4.6 结束语 .....                | 116 | 9.2 工艺诱生缺陷的种类 .....  | 253 |
| 参考文献 .....                   | 117 | 9.3 热应力位错 .....  | 255 |
|                              |     | 9.4 氧化和热处理引起的堆垛层错 .....                                      | 260 |

|                     |     |                          |     |
|---------------------|-----|--------------------------|-----|
| 9.5 缺陷对器件特性的影响..... | 268 | 参考文献 .....               | 286 |
| 9.6 吸除工艺.....       | 270 | 《特约稿件》 薄膜外延生长 .....      | 287 |
| 9.7 结束语.....        | 272 | 1. 前言.....               | 287 |
| 参考文献 .....          | 272 | 2. 超高真空电子显微镜“现场”观察法..... | 290 |
| 第十章 工艺最佳化 .....     | 276 | 3. 核生长和逐层生长的基本特征.....    | 291 |
| 10.1 前言 .....       | 276 | 4. 逐层生长的几个问题.....        | 299 |
| 10.2 工艺设计 .....     | 276 | 5. 有关核生长的几个问题.....       | 308 |
| 10.3 工艺改进 .....     | 285 | 参考文献 .....               | 325 |
| 10.4 结束语 .....      | 286 |                          |     |



## 主要英文缩写词

- A/D——模/数  
 AES——俄歇电子能谱仪  
 BS——背散射能谱仪  
 BSS——位·读出/存储  
 CCD——电荷耦合器件  
 CMOS——互补 MOS  
 CTRW——连续时间随机移动  
 CVD——化学气象淀积  
 D/A——数/模  
 DLTS——深能级瞬变能谱学  
 DSA——扩散自对准  
 EBIC——电子束感应电流  
 ECL——发射极耦合逻辑  
 E/D型——增强/耗尽型  
 ELS——电子能量损耗能谱仪  
 FAMOS——浮栅雪崩注入 MOS  
 FEB——电场增强击穿  
 FPD——火焰光度分析器  
 FTG——膜厚测量仪  
 HEED——高能电子衍射仪  
 HTCVD——高温 CVD  
 IC——集成电路  
 I<sup>2</sup>L——集成注入逻辑电路  
 IMA——离子微探针分析仪  
 ISS——离子散射能谱仪  
 LEED——低能电子衍射仪  
 LPCVD——低压化学汽相淀积  
 LSI——大规模集成电路  
 LVR——低电压释放  
 MCM——并合电荷存储器  
 MES FET——金属半导体场效应管  
 MFC——质量流量控制器  
 MNOS——金属-氮化物-氧化物-半导体  
 MOS——金属-氧化物-半导体  
 OJT——工作训练  
 OSF——氧化诱生堆垛层错  
 PSA——多晶硅自对准  
 PCB——点接触击穿  
 PCM——脉冲编码调制  
 POGO——背面预氧化吸除  
 PROM——可编程序 ROM  
 PSG——磷硅玻璃  
 RAM——随机存取存储器  
 RHEED——反射高能电子衍射仪  
 ROM——只读存储器  
 SCL——空间电荷限制  
 SBD TTL——肖特基箝位晶体管-晶体管  
 逻辑电路  
 SEM——扫描电子显微镜  
 SIMS——二次离子质谱仪  
 SIT——静电感应晶体管  
 SOP——选择氧化法  
 SOS——硅蓝宝石  
 SRP——扩散电阻探测  
 STEM——扫描透射式电子显微镜  
 SITL——静电感应晶体管逻辑  
 TCS——瞬变电容频谱学  
 TDS——热分解能谱仪  
 TEM——透射式电子显微镜  
 TSC——热激励电流  
 TSSD——热激励电荷减少  
 TSSP——热激励表面电位  
 UPS——紫外线光电子能谱仪  
 VMOS——V型槽 MOS  
 VUV——真空紫外线  
 XD——X射线衍射仪  
 XMA——X射线微量分析仪  
 XPS——X射线光电能谱仪

# 第一章 高性能、高集成度集成电路的发展动向

林 丰

## 1.1 前 言

“IC是一种综合艺术”，这是西泽先生爱用的一句名言。IC和LSI的高性能、高集成度，只有在电路设计和所有制造技术中的每项工艺都达到一定的水平，而且各项技术都能互相配合、取长补短的情况下，才有可能实现。而且，生产IC的厂家的特色和指导方针都会在产品特性中体现出来，这如同艺术作品一样，实在饶有兴味。

一般情况下，常常认为只有微细图形形成技术才是使集成电路达到高性能、高集成度的决定性因素，这在直观上容易理解，因此也不是没有道理的。但只有亚微米图形形成技术，而无综合技术的研究作基础，别说制造亚微米IC，就连晶体管的制作也难于实现。这一点可以通过笔者的亲身体会加以说明。

大约十年前，我们研究室用电子束曝光技术试制 $1\mu\text{m}$ 沟道的MOS管时<sup>[1]</sup>，笔者担任了除电子束曝光外的全部工艺设计。

当时MOS管的标准结构参数是：沟道长度 $10\mu\text{m}$ ，漏结深为 $2\mu\text{m}$ 以上，栅氧化膜厚度为 $1500\sim 2000\text{Å}$ 。很明显，虽然用电子束曝光技术能够单纯地把平面图形线宽做到 $1\mu\text{m}$ 左右，但仍得不到可资实用的器件。因此，在作电子束曝光试验的同时，为了弥补电子束曝光之不足，还要进行MOS管平面图形设计和当时尚未报导的亚微米晶体管综合设计等器件结构设计的研究，以及进行亚微米扩散技术、优质绝缘薄膜的低温生长技术、电子束曝光引起的放射线损伤的退火技术等研究。这些新制造技术研究所需要的人力和时间，都超过了电子束曝光技术本身。

因此，通过图形微细化来实现IC的高性能、高集成度，不仅需要研究微细图形形成技术，而且也必须综合研究与其相应的各种基础技术。此外，实现高性能、高集成度的另一个重要因素，是研制新的器件和采用新的器件结构。要理解它们的作用，需从各个方面加以考虑。作为实例可列举如下：最先实现LSI的以MOS管为负载管的MOS IC；最先使双极LSI达到高集成度的SBD TTL；进而使双极LSI达到与MOS IC有相同集成度的 $I^2L$ ；使MOS LSI达到高速和高集成度的以硅栅技术为代表的各种自对准技术；包括V MOS在内的DSA MOS LSI；以及能使动态MOS RAM达到16k位的双层多晶硅单元结构，等等。

上述例子中，MOS动态存储器从4k位向16k位发展时所采用的存储单元的变化如图1-1所示。图中的存储单元是由一个晶体管和一个电容器构成的单管单元。在图(b)所示16k位用的单元中，不仅减小了图形的最小尺寸，而且通过采用双层多晶硅结构（需要研究层间绝缘性能良好的双层多晶硅技术），省去了实际上不必要的 $n^+$ 源区，这就不仅缩小了单元面积，而且大大地放宽了接触孔对位公差；进而使位线、字线结构也发生了变化，



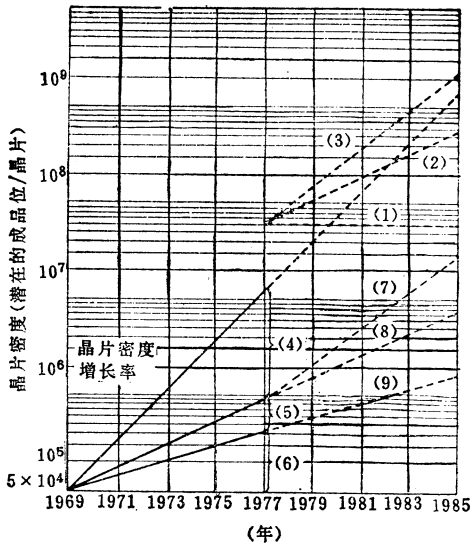


图1-2 过去集成度增长的情况及今后集成度增长的预测

(1) 按现在的晶片尺寸和最小图形尺寸的理论极限；(2) 当晶片尺寸的增长率和图形尺寸的缩小率同过去一样继续发展下去时的理论极限；(3) 当晶片尺寸的增长率不变，图形尺寸缩小率却进一步增大时的理论极限；(4) 由于设计技术和制造技术的改进所增加的部分；(5) 由于图形尺寸的缩小所增加的部分；(6) 由于晶片尺寸的增大所增加的部分；(7) 图形尺寸按预测的缩小率缩小；(8) 图形尺寸继续按过去的缩小率缩小；(9) 晶片尺寸继续按过去的增长率增大。

## 1.2 MOS IC

就集成度而言，历史上最早出现的LSI是MOS LSI。从功能上看，它分为存储器和随机逻辑；而从元件形态来看，还要对CCD另立专节加以说明。MOS IC最初的制作工艺较为简单，为了实现高性能、高集成度，引进了多层布线技术和三次以上的离子注入技术，从此工艺变得复杂起来。

### 1.2.1 MOS 存储器

#### (1) 动态型

因为MOS动态存储器的性能可以用较少的参数表示，而且需要量最大，所以最适于用来说明LSI的动向。MOS存储器的集成度(指一块芯片上的位数)，差不多以每年提高1倍的速度连续增长。据各公司报导，现在动态型存储器已做到64k位(见图1-3)。这种集成度增长趋势今后仍将会以同样的速率继续下去，预计到1985年可达到100万位/片。

在动态型MOS存储器的集成度增长过程中，从1k位向4k位发展时，结构形式从3管单元变成单管单元(为此研制了高灵敏度触发器型读出放大器)；从4k位向16k位发展时，引进了双层多晶硅单元技术，并且使读出放大器达到低功耗、高灵敏度。从1k位向16k位发展期间，最小线宽由 $10\mu\text{m}$ 降至 $5\mu\text{m}$ 左右，电源电压由24V降至12V，而取数时间从 $\mu\text{s}$ 级减少到150ns。进而在以高速为目标的存储器中，采用沟道长度为 $2\mu\text{m}$ 、氧化膜厚度为 $400\text{\AA}$ 的铝栅工艺，获得了65ns的取数时间<sup>[6]</sup>。为实现64k位，目前采用的方法是使图形微细化、降低外围电路的功耗和提高读出放大器的灵敏度。

现在，日本发表的4种<sup>[4]</sup>64k位RAM中，1种是按 $4\mu\text{m}$ 规则，其它都是按 $2\sim 3\mu\text{m}$ 规

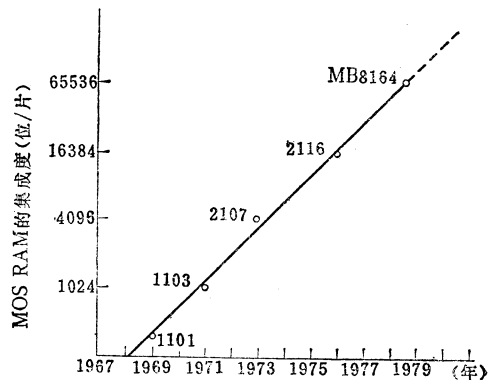


图1-3 MOS RAM集成度的增长情况(差不多以每年提高1倍的速度连续增长)

则试制的。大多数样品的栅绝缘膜厚度为  $300\sim 500\text{ \AA}$ ，电源电压为  $+7\text{ V}$  和  $-2\text{ V}$ ，取数时间为  $150\text{ ns}$  左右。但当美国莫斯特克公司的 P. R. Schroeder 正设想采用  $5\text{ V}$  单一电源，以获得  $50\sim 150\text{ ns}$  的取数时间时，美国得克萨斯仪器公司 (TI) 发表了采用  $5\text{ V}$  单一电源、取数时间为  $100\sim 150\text{ ns}$  的  $64\text{ k}$  位 RAM 产品 TMS-4164 (沟道长度为  $2.5\sim 3\text{ }\mu\text{m}$ )，从而展示了工业标准化的方向。而且在美国国际商用机器公司 (IBM) 的通用小型计算机系统中，采用了  $64\text{ k}$  位 RAM。这些情况表明 MOS RAM 的集成度依然以很快的速度向前发展。

照这样的速度发展，将有两种途径。一种是采用西德西门子公司和美国微系统公司 (AMI) 的 VMOS 结构 (见图 1-4)，或者 IBM 公司 H. S. Lee 提出的 MCM (并合电荷存储器) 单元<sup>(7)</sup> (见图 1-5) 等基于新原理的小尺寸单元，另一种是采用有短沟道效应的有效沟道长度小于  $2\sim 3\text{ }\mu\text{m}$  的单元。根据表 1-1 列出的按比例缩小原则，用砷离子注入形成亚微米结的技术和形成陷阱少的薄栅氧化膜 ( $500\text{ \AA}$  以下) 的技术是极为重要的。

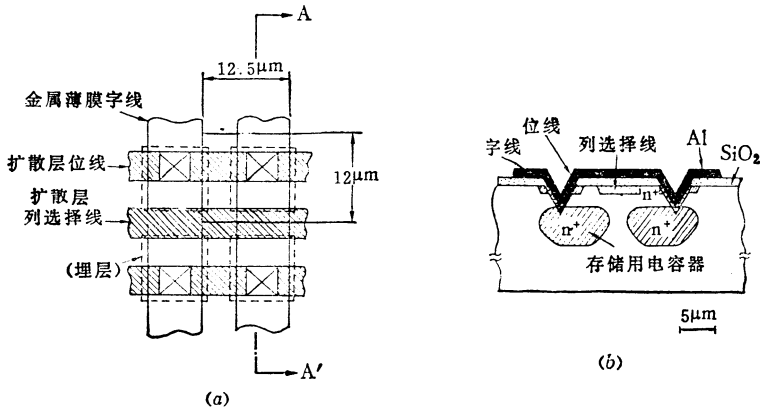


图1-4 VMOS单管单元  
(a) 平面设计图；(b) 剖面图。

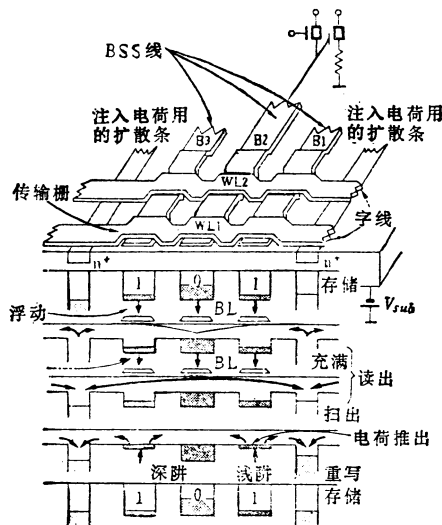


图1-5 MCM 阵列

[电荷存储在位·读出/存储 (BSS) 线和传输栅字线交迭部分下方的硅表面上。在读出/重写周期内，由于表面势阱变化，故电荷有时向右流，有时向左流。每单元所需要的面积接近于二条正交线形成的理论极限  $4f^2$  ( $f$  为最小线宽)。]

表1-1 按比例缩小原则引起各个参数的变化

| 参 数    | 数                               | 按 比 例 缩 小 因 子 |
|--------|---------------------------------|---------------|
| 器件尺寸   | $t_{ox}, L, W$                  | $1/\kappa$    |
| 杂质浓度   | $N$                             | $\kappa$      |
| 电 压    | $V$                             | $1/\kappa$    |
| 电 流    | $I$                             | $1/\kappa$    |
| 电 容    | $C = \epsilon \cdot S / t_{ox}$ | $1/\kappa$    |
| 电路延迟   | $t_p \propto C \cdot V / I$     | $1/\kappa$    |
| 电路功耗   | $p \propto VI$                  | $1/\kappa^2$  |
| 时延·功耗积 | $t_p \cdot p$                   | $1/\kappa^3$  |
| 功耗密度   | $VI/S$                          | 1             |
| 布线电阻   | $R_l = \rho L / W$              | $\kappa$      |
| 布线压降比  | $IR_l / V$                      | $\kappa$      |
| 布线时间常数 | $R_l C$                         | 1             |
| 布线电流密度 | $I / W$                         | $\kappa$      |

## (2) 静态型

静态型 MOS 存储器与动态型相比，由于不需要再生，所以从微型计算机的存储器到大型计算机的缓冲存储器都已广泛使用。但由于单元面积较大，故集成度的提高总要比动态型晚一步。目前产品的最高集成度为 16 k 位 (TI 公司的 TMS4016 型，取数时间为 50ns)，4 k 位产品的取数时间接近双极型，为 40ns，1 k 位产品的取数时间已达到 10 ns<sup>[8]~[10]</sup>。电源以 5V 单一电源为主流。为了取得这些性能，采用了 E/D 型基本反相器结构 (见图 1-6) 和 3~3.5 $\mu\text{m}$  的栅长。

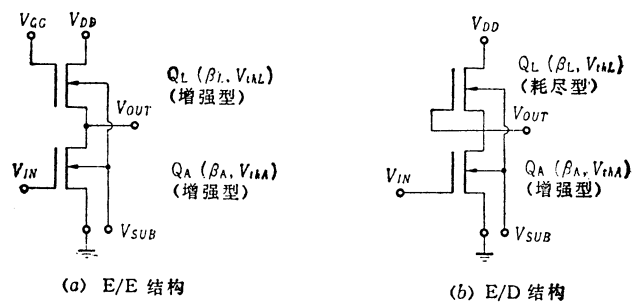


图1-6 E/E结构和E/D结构  
(E/D结构多一道工序，但适合于低电压和高速。)

即使是静态存储器，为了达到高速和低功耗，也需在读出放大器上下功夫，并用多晶硅作高电阻负载，以达到减小单元面积和降低维持功耗的目的。据美国英特尔公司预测，下一代静态存储器单元，如表 1-2 所示，将由 2 $\mu\text{m}$  规则的晶体管构成，电源电压以 3V 为最佳。这里有一个是否要打破以前 TTL 电源电平 (5V) 限制的问题，这牵涉到系统方面要求，假如经济上合算的话，从外部加 5V 电源在芯片上产生最佳的电源电压也是可能的。但电源电压一定会向低电压方向发展，那时系统电压恐怕也不得不发生变化。

最近，动态存储器出现了软误差问题。现已证实这是由于在封装材料中含有 ppm 数量级的放射性物质放出  $\alpha$  射线所引起的。对上述问题想了各种对策，同时静态存储器的大容量化也变得更加重要了。

一般认为，静态存储器也会向 64 k 位或更高集成度发展，在这个过程中迟早会从现在的 4~6 管单元发展成 2 管单元。

## (3) ROM PROM

表1-2 MOS集成电路尺寸缩小的效果与变迁

| 器件或电路参数                         | 增强型负载<br>nMOS<br>(1972年) | 耗尽型负载<br>nMOS<br>(1976年) | HMOS<br>(1977年) | MOS<br>(1980年)<br>(预测) |
|---------------------------------|--------------------------|--------------------------|-----------------|------------------------|
| 沟道长 $L$ ( $\mu\text{m}$ )       | 6                        | 6                        | 3.5             | 2                      |
| 横向扩散长度 $L_D$ ( $\mu\text{m}$ )  | 1.4                      | 1.4                      | 0.6             | 0.4                    |
| 结深 $X_j$ ( $\mu\text{m}$ )      | 2.0                      | 2.0                      | 0.8             | 0.8                    |
| 栅氧化膜厚 $T_{ox}$ ( $\text{\AA}$ ) | 1200                     | 1200                     | 700             | 400                    |
| 电源电压 $V_{cc}$ (V)               | 4~15                     | 4~8                      | 3~7             | 2~4                    |
| 每门的最小传递延迟时间 $t_{pd}$ (ns)       | 12~15                    | 4                        | 1               | 0.5                    |
| 每门的功耗 $pd$ (mW)                 | 1.5                      | 1                        | 1               | 0.4                    |
| 时延功耗积 $t_{pd} \cdot pd$ (pJ)    | 18                       | 4                        | 1               | 0.2                    |

在数字系统中, ROM 广泛用于微程序存储和函数发生等软件硬化和高速化领域, 同 RAM 一样, 其需要量越来越大。ROM 的单元结构, 可以通过改变 MOS 管的阈值电压等来永久存储信息, 而且在原理上单管单元是可行的, 因而能实现高集成度。在制作时, 固定存储内容的掩模式 ROM 已达到 64 k 位, 性能指标分别达到 5 V、150mW、80ns。

在 IC 制成后, 使用者能编写存储内容的 PROM, 大多采用 MOS 电路, 并具有可用紫外线或电气擦除的特性。目前主要研制的有图 1-7 所示的 MNOS 型和图 1-8 所示的浮栅型。后者信息保持良好, 读出次数多, 故目前多数采用浮栅型。MNOS 型在增加读出次数<sup>[11]</sup>和改写次数等方面尚需改进的地方很多, 这有待于今后作进一步研究。

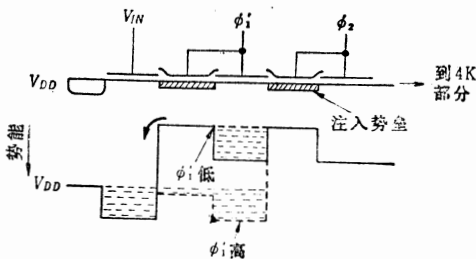


图1-7 MNOS晶体管的剖面图

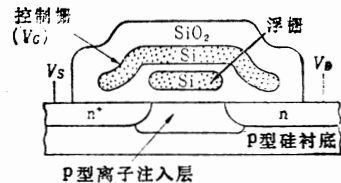


图1-8 浮栅型PROM单元

(由于栅绝缘层厚, 故信息的保持特性良好, 工艺与硅栅MOS技术相容。)

PROM 的集成度达到了 16 k 位/片, 美国英特尔等公司已出售<sup>[12]</sup>。图 1-8 所示为单管单元的紫外线擦除型产品。这种存储器当在控制栅和漏极上加 20~30 V 的高电压时, 在沟道区伴随着雪崩现象产生热载流子, 并注入浮栅造成半永久性的带电状态<sup>[13]</sup>, 从而实现信息的存储。最近, 有的存储器是把逻辑操作中所需要的电源电压在芯片内部加以提升而产生写入电压, 从而可以减少电源数目和消除使用不便的高电压。

可是, 根据按比例缩小的原理, 很明显, 为了做出高集成度所需要的微细图形, 就要降低整个电路电压。因此, 降低 PROM 的写入电压也是将来的一个努力方向。作为表示可以降低浮栅型 PROM 写入电压的一个试算例子, 图 1-9 示出了光注入或少数载流子注入<sup>[14]</sup>的浮栅 PROM 的写入电压随栅绝缘膜厚度的变化以及实验值。虽对保持特性还需进

行详细的探讨, 但写入电压降低到 5 V 左右将是可能的<sup>[15]</sup>。此时控制写入的外围电路的沟道长度有可能达到略小于 1  $\mu\text{m}$  的亚微米级。无论提高 PROM 的集成度, 或随着单片微处理机的发展, 为了提高面积的利用率, 把亚微米沟道的逻辑电路和 PROM 做在同一芯片上, 都要求缩短外围电路的沟道长度。

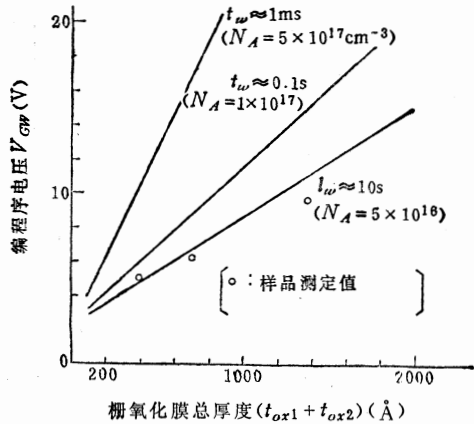


图1-9 浮栅型 PROM 写入电压的降低

### 1.2.2 MOS随机逻辑电路

即使提高了集成度, 存储器 LSI 的需要量仍不会减少, 但可以预期随机逻辑 LSI 的需要量多半将随集成度的提高而减少。在这种情况下, 由用户来规定控制方式或运算顺序的微处理机, 可以说是一种适于批量生产的随机逻辑 LSI。目前已试制的 16 位微处理机, 每片的门数大多在 3000 门左右。其中, 也有象英特尔公司的双处理机<sup>[16]</sup>那样包含有 22000 个器件的产品。通常, 在高速微处理机中, 机器周期为 1  $\mu\text{s}$  左右。

目前这种 LSI 广泛采用的技术有选择氧化隔离的 n 沟硅栅技术 (参照图 1-1)、E/D 结构 (参照图 1-6) 和离子注入技术。

最近, 在驱动电路和缓冲器中部分采用 CMOS 结构, 试制了高速低功耗 16 位微处理机, 其集成度达 15000 个晶体管/片。在栅长为 4  $\mu\text{m}$ 、栅绝缘膜厚为 500  $\text{\AA}$  的条件下, 最高时钟频率达 10MHz, 功耗为 530mW<sup>[17]</sup>。MOS 随机逻辑不仅在速度上追上了双极 LSI, 而且在集成度和制造工艺上, 有效利用 DSA-MOS 管的高驱动能力, 已制成计算机用的具有 MOS 特征的 920 门母片逻辑<sup>[18]</sup>。其基本反相器的剖面图如图 1-10 所示。

环型振荡器的传递延迟时间为 0.32ns, 延迟时间、功率积为 0.05pJ, 构成 720 门的 ALU(算术逻辑装置) 时, 可以实现平均时延为 3 ns/级, 功耗是 3W/片。图 1-11 表示在集成度和速度方面对 ECL 母片和 DSA MOS 母片所作的比较。从上例可看到, 因为随机逻辑 LSI 中的各部分之间的布线在芯片内纵横交错, 其杂散电容比单个门的输入电容大得多, 有数量级的差异, 所以工作速度低, 因而布线长的逻辑通路的运算时间限制了微处理机的工作速度。为了克服这一缺点, 获得高速微处理机, 目前正在研究采用 SOS 衬底制作 LSI。

它是在蓝宝石单晶衬底上生长一层硅单晶薄膜, 除晶体管部分和交叉布线部分外, 其余的部分在器件制作时除去, 或者像图 1-12 所示那样, 将其余部分氧化生成绝缘膜(共平



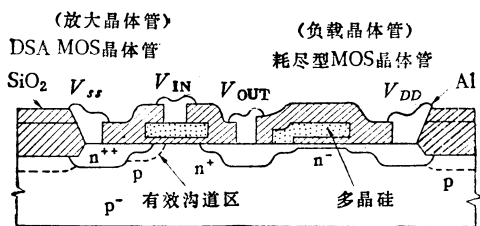


图1-10 高速MOS LSI用的DSA E/D MOS 单元剖面图

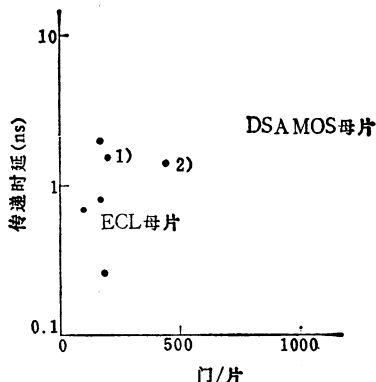


图1-11 DSA MOS母片与ECL母片的比较

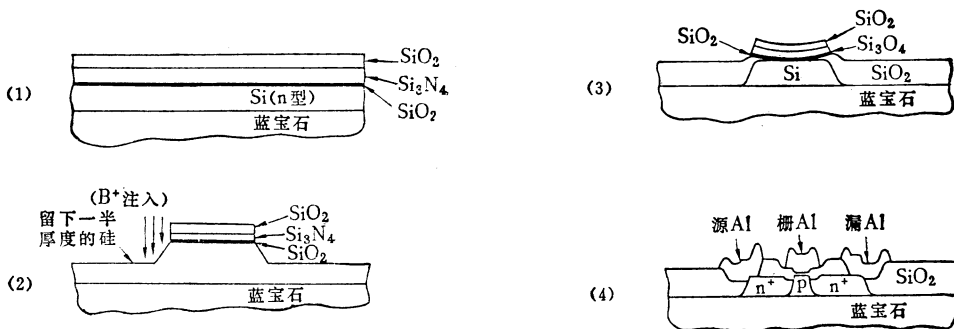


图1-12 高可靠性的SOS共平面I工艺

(1)、(2) 以  $\text{Si}_3\text{N}_4/\text{SiO}_2$  为掩模，留下蓝宝石上做器件用的硅薄膜，而腐蚀掉场区部分的硅薄膜（腐蚀厚度为  $\frac{1}{2}$ ），注入硼离子作为沟阻层；(3) 把场区部分的硅薄膜全部做成  $\text{SiO}_2$ ，其结果获得平坦的布线结构和使硅侧面的寄生 MOS 管不能工作的结构，所以，断线和漏电都减少了；(4) 在留下的硅薄膜中制作晶体管。

面-II法），因而可在器件之外的表面上进行布线，其杂散电容比用单晶硅体衬底要小得多。即使在 SOS 衬底上，也可以采用不同的器件工艺，当以速度为主时，可采用硅栅工艺制作 E/D 型器件，而追求低功耗时，则可采用 CMOS 结构作单元电路。

SOS 衬底最适于做高密度的 CMOS 结构。美国 HP 公司在 SOS 衬底上采用  $6\mu\text{m}$  规则的 CMOS 结构，试制出 16 位微处理机（芯片上集成了 9600 个晶体管），在 0.5W 的功耗下，平均指令执行时间达到  $1\mu\text{s}$  [19]。SOS 器件在制作时很难控制其小电流时的漏极漏电和布线断线等，但通过制造工艺的改进，如采用上述的共平面 I 工艺法等，如图 1-13 所示，情况已逐年好转。

日本东芝公司从研究蓝宝石衬底抛光技术和硅膜生长技术开始，采用具有上述共平面结构的 E/D 型器件，试制成相当于 7000 门的 16 位微处理机（图 1-14）。采用  $4\mu\text{m}$  设计规则，在 5V 电源和 1.5W 的功耗下，机器周期达到 200ns。该微处理机和日本电气公司的 4k 位 DSA 静态 MOS RAM（取数时间 60ns，作缓冲存储器用）、日立公司的 16k 位动态 MOS RAM（作主存储器用）组合在一起，已用于日本工业技术研究院的大型研究项目“图

形信息处理”的研究计划中。

今后随机逻辑将以微型计算机为主流，正如图 1-15 所示那样，向 32 位和内有缓冲存储器的多位方向发展，同时各种设备的专用控制逻辑的研制工作也将日趋活跃。

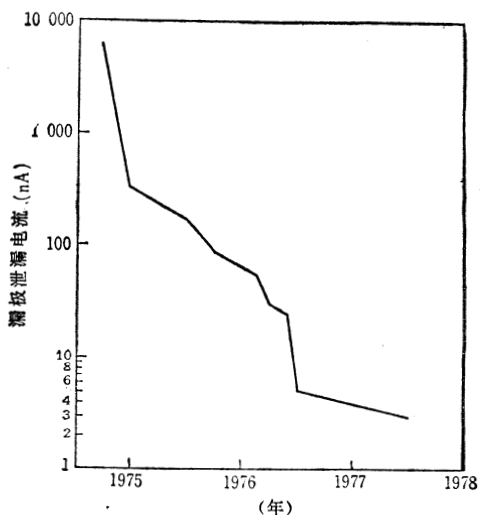


图1-13 漏极漏电流的改进

(表明工艺控制性和可靠性逐年提高。漏电包括硅薄膜表面、侧面、背面和pn结的漏电。)



图1-14 16位SOS微处理机(7000门)

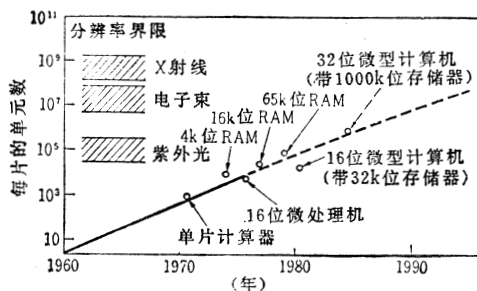


图1-15 微型计算机的发展动向

(图中也示出所用的图形形成技术)

### 1.2.3 CCD

CCD的应用领域大体有摄像器件、串行存储器、延迟线、数字滤波器、乘法器等逻辑器件；从集成度来看，摄像器件和存储器占有重要位置。就摄像器件来说，目前已用三相三层埋沟结构（见图 1-16）试制成  $500 \times 500$  单元的面阵，其图象质量已超过电视<sup>[22]</sup>。

CCD存储器的结构比采用 MOS 管单元的存储器简单，所以集成度总是比 MOS 存储器先行一步。考虑到 16k 位 MOS RAM 使用的双层多晶硅技术起源于 CCD 的制造技术这一点，为了获得高性能，在技术上还需作独特的努力。存储器采用如图 1-17 所示的具有注入势垒的二相时钟结构，已经实现 64k 位的集成度，能交替传送数据，工作频率 5MHz、功耗 220mW<sup>[23]</sup>。

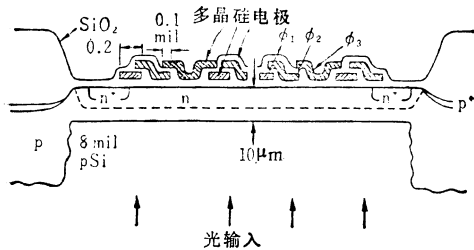


图1-16 用于 $500 \times 500$ 单元摄像器件的三相三层埋沟结构  
(把受光面的硅衬底减薄，以使光能从背面射入。)

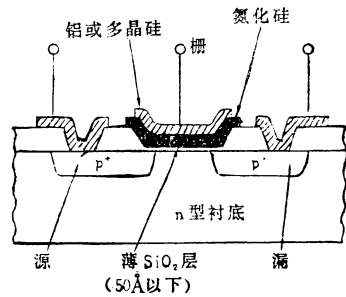


图1-17 带注入势垒的二相时钟 CCD 单元结构 (同时示出输入部分)

为了进一步提高集成度，在 LSI 系统结构上也作了一番努力。如图 1-18 所示，仅对良好的电路部分接地址信号，而不把地址信号接到有缺陷的电路，用这种方法，把 10 个时钟频率为 1MHz 的 92k 位的芯片封装在一个管壳里，便能获得一个 921k 位的存储器组件<sup>[24]</sup>。

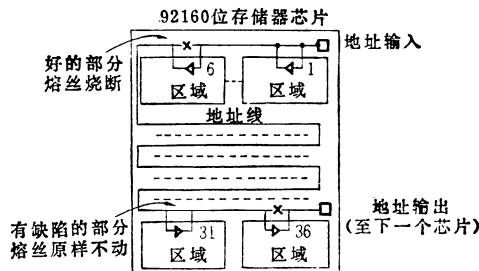


图1-18 用回避缺陷法（容错法）构成的 CCD（对缺陷来说是“透明”的）

### 1.3 双极型 IC

双极 LSI 存在着器件的收获率低、功耗大等问题，因而达不到 MOS LSI 那样高的集成度。过去一向专用于高速 LSI 部分，但自提出如图 1-19 所示的 I<sup>2</sup>L（集成注入逻辑）之后，便改变了这种倾向。从图中还可看到，由于 I<sup>2</sup>L 的制造工艺简单、偏置用的横向 pnp 晶体管的集电区和反相器用的晶体管的基区共用，横向 pnp 管的基区和反相器用晶体管的发射区共用，故每一功能的集成密度高，并且可以根据使用目的改变外加电阻值来调节 LSI 的功耗。由于 I<sup>2</sup>L 具有上述特点，所以有希望提高收获率和集成度。

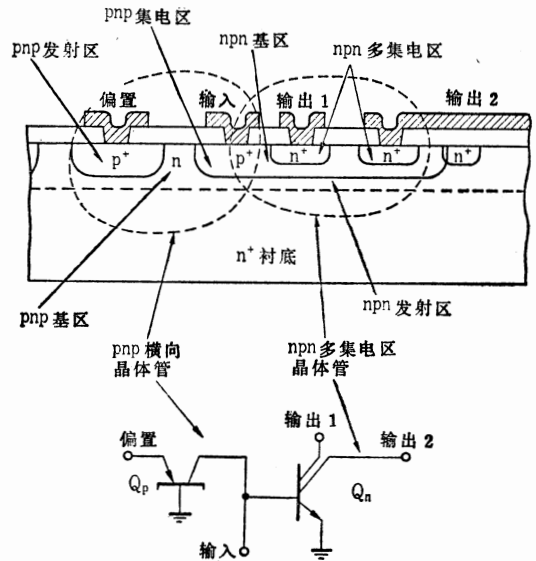


图1-19 I<sup>2</sup>L的剖面图和等效电路  
(由于I<sup>2</sup>L的制造工序少,共用部分多,能达到高密度、高集成度。图中 pnp 晶体管Q<sub>p</sub>的基区和npn 晶体管Q<sub>n</sub>的发射区共用, Q<sub>p</sub>的集电区和 Q<sub>n</sub>的基区共用。)

I<sup>2</sup>L要实现小于10ns的传输延迟时间，目前还需付出种种努力，但在低功耗 LSI 和存储器等方面已开始应用。最近还试制了 16 位微处理机<sup>[25]</sup>。目前动态存储器已做到 16k 位<sup>[26]</sup>，静态 4k 位已有商品出售。动态 I<sup>3</sup>L<sup>①</sup>存储单元<sup>[27]</sup>如图 1-20 所示，由于只需要相当于以前一个晶体管的面积，故有利于 LSI 面积的缩小和收获率的提高。

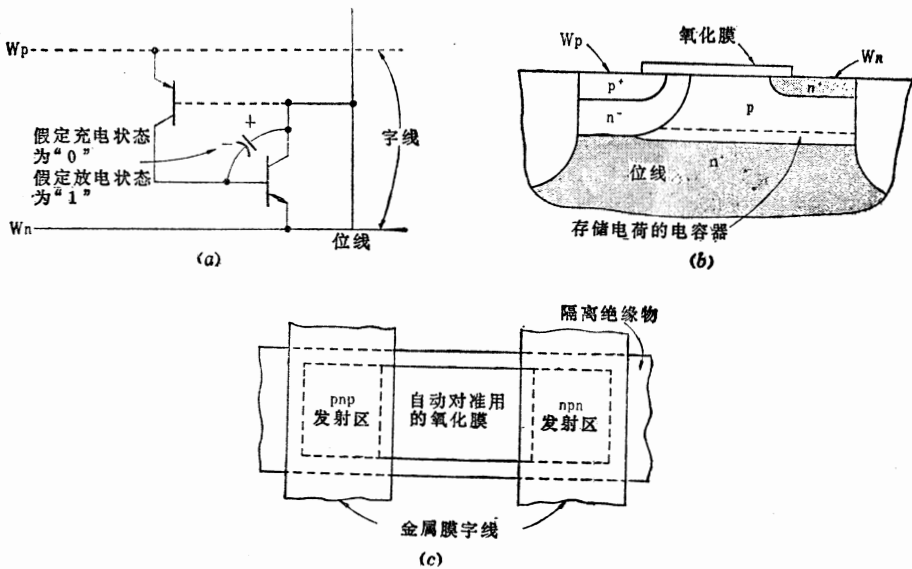


图1-20 I<sup>3</sup>L 动态 RAM 单元

(如 (b) 剖面图和 (c) 平面图所示，用以前一个晶体管的面积可实现 (a) 的单元等效电路。)

● 收获率——指一块晶片上获得有用器件的比率，它与成品率和器件所占硅片面积有关。——译者  
● 原文误为I<sup>2</sup>L。——译者

如图1-20(a)的等效电路所示,信息以电荷形式存储在结电容上,故需要再生。研制这种存储器的美国仙童公司,为了防止存储单元之间的少数载流子扩散引起相互干扰,采用侧面氧化膜隔离结构,并把这种结构称作等平面隔离 $I^2L$ ,即 $I^3L$ 。

作为高集成度、高速静态存储器,如图1-21所示,它采用具有 $3 \times 3\mu m$ 发射区的可变阻抗存储单元,制成了取数时间为25ns、功耗350mW的4k存储器<sup>[28]</sup>。用三重扩散结构和 $4\mu m$ 规则的PSA工艺,同样实现了4k位<sup>[29]</sup>、35ns(500mW)的存储器。

就双极随机逻辑而言,采用 $4 \times 5\mu m$ 发射区的PSA工艺,已经试制出平均传递延迟时间为0.9ns、集成度为1600门的CML-LSI处理机,其功耗低至1.4W,为此采用-3.3V的电源电压<sup>[30]</sup>。

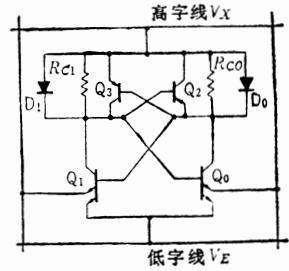


图1-21 可变阻抗存储单元 (通过 pnp 晶体管 $Q_2$ 、 $Q_3$ , 能使读出电流增大,并使保持电流减小。加 $Q_2$ 、 $Q_3$ 后单元面积增加不大。)

### 1.4 其它型式 IC 和新型 IC

由于上述 IC 是以高集成度为主的,故主要介绍了存储器和微处理机等数字 IC。除此之外,还有许多种重要的 IC。随着微处理机的发展,模拟 IC 的需要量也日益增加。例如, A/D (模/数)、D/A (数/模) 转换器就属于模拟 IC。为了与数字技术并存,并获得高集成度,目前正在利用 MOS 技术研制 A/D 转换器。如:使用时钟 CMOS (C<sup>2</sup>MOS) 技术,研制成 8 通道输入、3 态总线输出的 12 位 A/D 转换器<sup>[31]</sup>,该转换器在 5V 电源下可获得 200ns 的取数时间和 3.6ms 的转换时间。另一方面,单片 D/A 转换器的速度和精度也得到提高,12 位 D/A 转换器的建立时间达到 100ns。

就通信用 IC 而言,最近 PCM (脉冲编码调制)通信用的单片编码器/译码器很盛行。MOS 技术和双极技术在这一领域进行着竞争,CCD 数字滤波器也在这一领域得到应用。

约瑟夫逊结 IC 也以高速、低功耗为目标,开始试制 RAM 和逻辑电路。根据试验推测,16k 位的 RAM,取数时间能达到 15ns<sup>[33]</sup>。

目前低功耗、高速 LSI 用的新结构,以 SITL 和存储器最引人注目<sup>[34]</sup>。值得注意的是,用这种器件构成集成电路,能获得高于按比例缩小规则所预测的性能。如图 1-22 所示, $I^2L$  型的 SITL 的

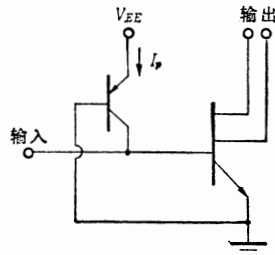
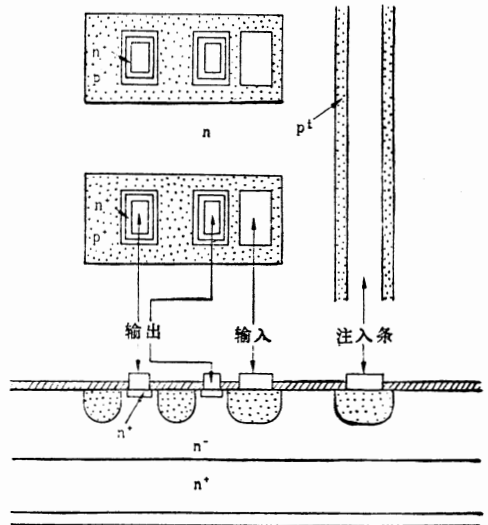


图1-22  $I^2L$  型 SITL 的结构和等效电路 (制造工艺和 $I^2L$ 一样简单,其 $t_{pd} \cdot p$ 却优于 $I^2L$ ,但将来进一步提高速度受到限制。)

时延功耗积 ( $t_{pd} \cdot p$ ) 比  $I^2L$  小一个数量级, 并在理论上能获得 1/1000 的性能指数。预料 SITL 的延迟时间也比  $I^2L$  小。

由常截止型 GaAs MES FET 构成的逻辑电路, 也正在以低功耗、高速 IC 为目标进行研制。用  $1.2\mu\text{m}$  栅长已实现 300ps 的传递延迟和几十 fJ 的时延功耗积。

## 1.5 将来的方向

以上叙述了高性能、高集成度 IC 的发展动向, 并简要地谈及了各种集成电路的未来。下面归纳起来展望一下将来的方向。美国齐洛公司的 Faggin 认为 MOS 技术的极限大致可定为: 采用 400mV 电源的 CMOS 器件, 在  $5 \times 5\text{cm}^2$  的芯片上集成  $10^8$  门。此时所用的最小线宽为  $0.25\mu\text{m}$ , 工作频率为 100MHz (1W)<sup>[35]</sup>。认识了这样一个极限之后, 就能较好地预测近期 LSI 的发展。图 1-23 是美国 IBM 公司的 E. Davis 对存储器芯片上的位数所作的预测, 到 1985 年, 预计集成度能达到几百 k 位/片, 每位价格可低到 30 毫美分。另一方面, 逻辑电路的每片门数比存储器小一个数量级。尽管如此, 图 1-24 仍然表现出两者具有同样的增长率, 到 1985 年, 有可能达到 100 k 门/片。目前, MOS 技术和双极技术在集成度和速度方面展开竞争, 互相取长补短精益求精, 从而不断地提高电路性能。

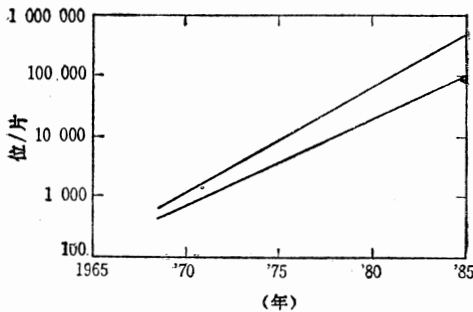


图1-23 存储器集成度预测(E. Davis提出)

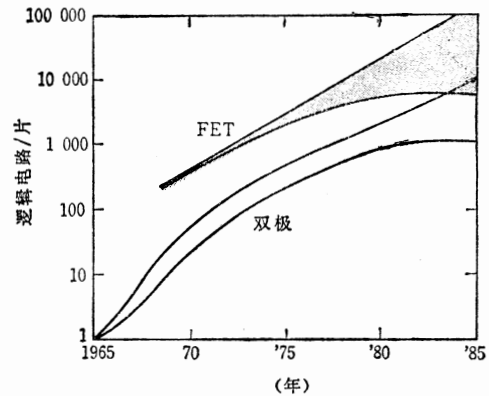


图1-24 逻辑LSI的集成度预测(E. Davis提出)

如果将 LSI 生产个数的增加也计算在内, 那末, 将集成电路的总生产量换算成功能数就是  $10^{14}$ 。相当于每人生产 25 万位。从现有设备的半导体芯片的使用率来看, 这种生产量是难以消费的。但美国经营半导体的公司乐观地期待着将来使用 LSI 的设备种类 (如汽车、通信系统等) 和设备内所用 LSI 的比例会增加<sup>[36]</sup>。

为了促进这种发展, 无疑需要担任各项技术研究的半导体技术人员继续努力和发挥创造性, 并和系统设计人员密切协作。有关的各项半导体工艺, 读者通过后面的几章便能得到深刻了解。在 LSI 发展所必需的技术中, 若仅就微细图形形成技术而言, 则如图 1-25 和表 1-3 所示, 预计到

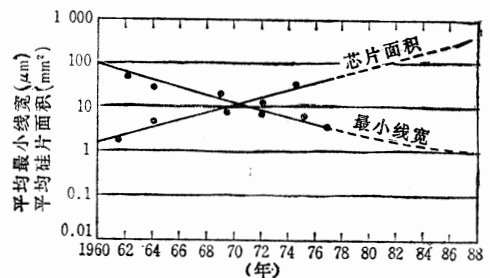


图1-25 最小线宽和芯片面积的预测

表1-3 曝光技术的标准 (预测)

(此表摘自 Aubrey C. Tobey 在 1977 年国际微细加工会议上所作的报告)

| 标 准        | 1977         |              | 1980         | 1985          |
|------------|--------------|--------------|--------------|---------------|
|            | 要 求          | 可 达 到        | 要 求          | 要 求           |
| 最小尺寸       | 3.4 $\mu$ m  | 1.25 $\mu$ m | 2 $\mu$ m    | 1 $\mu$ m或更小  |
| 芯片尺寸       | 3~10mm       | 3~20mm       | 3~20mm       | 2~20mm        |
| 晶片尺寸       | 75~100mm     | 75~100mm     | 100~125mm    | 100~150mm     |
| 准 确 度      | 0.75 $\mu$ m | 0.75 $\mu$ m | 0.5 $\mu$ m  | 0.5 $\mu$ m   |
| 精 度        | 0.25 $\mu$ m | 0.25 $\mu$ m | 0.25 $\mu$ m | 0.125 $\mu$ m |
| 生产量/月      | 100~50000    | 100~50000    | 100~?        | —             |
| 整个设计时间/新设计 | 几 天          | 几 天          | 几 天          | 几 天           |
| 收 获 率      | 有            | 有            | 有            | 有             |
| 投资次数       | 2年一次         | 2年一次         | 2年一次         | 2年一次          |

1985年, 线宽必须达到 1 $\mu$ m<sup>[37]</sup>, 为此, 制版将采用电子束曝光机, 至于批量生产用的复印设备, 则视今后的研制情况而定, 但远紫外线投影曝光机的应用则是不能忽视的。

## 参 考 文 献

- [1] Y. Tarui, H. Teshima, and H. Baba: High Speed MOS Transistors by the Electron Beam Exposure System, the Proc. of the 1st Conference on SSD, Tokyo, 1969, 6—6
- [2] J. E. Coe, and W. G. Oldham: Enter the 16, 384-bit RAM, Electronics, 19, Feb. 117, (1976)
- [3] C. Boettcher: Semiconductor rams of the future, Digest of Technical Papers, National Computer Conference, 1063, (1978)
- [4] 伏木: 具体的な姿になってきた 64k RAM, 日経エレクトロニクス, 5.15, 50 (1978)
- [5] 舛岡: MOSメモリ, 『半導体研究』15, 超 LSI 技術②回路設計, 5, 125
- [6] M. Kondo, T. Mano, H. Yanagawa, H. Kikuchi, T. Amazawa, K. Kiuchi, and H. Yoshimura: A High-Speed Molybdenum-Gate MOS RAM, 1978 ISSCC Digest of Technical Papers, THPM 12.7
- [7] H. S. リー: 併合型電荷メモリーセルの解析, 日経エレクトロニクス 4.17, 133 (1978)
- [8] K. Kobayashi, M. Saito, Y. Murao, and K. Takahashi: High Speed 1k Bit Static RAM using DSA MOST's, The 10th Conf. on Solid State Devices, Tokyo, A-3-2, August (1978)
- [9] T. Masuhara, O. Minato, T. Sasaki, Y. Sakai & M. Kubo: A High-Speed, Low-Power Hi-CMOS 4k Static RAM, 1978 ISSCC Digest of Technical Papers, THAM 9.7
- [10] R. D. Pashley, W. H. Owen III, K. R. Kokkonen, R. M. Jecmen, A. V. Ebel, C. N. Ahlquist, and P. Schoen: A High Performance 4k Static RAM Fabricated with an Advanced MOS Technology, 1977 ISSCC Digest of Technical Papers, WAM 1.6
- [11] Y. Yatsuda, T. Hagiwara, R. Kondo, S. Minami, and Y. Ito: N Channel Si Gate MNOS Device for High Speed EAROM, the 10th Conf. on Solid State Devices, Tokyo, A-1-4, August (1978)
- [12] P. J. Salisbury, W. L. Morgan, G. Perlegos and R. T. Simko: High Performance MOS EPROMs Using a Stacked-Gate Cell, 1977 ISSCC Digest of Technical Papers, FAM 15.4
- [13] Y. Tarui, Y. Hayashi and K. Nagai: Proposal of Electrically Reprogrammable Non-volatile Semiconductor Memory, Proc. the 3rd Conference on Solid State Devices, Tokyo, 5—4, (1971); Supplement to OYO Buturi, 41, 155, (1972)
- [14] Y. Hayashi, K. Nagai, and Y. Tarui: Electrically Erasable Non-volatile Optical Memory for Visible and Infrared Light Pattern, Proc., the 5th Conference on Solid State Devices,

- Tokyo, 9—6, (1973) ; Supplement to the Journal of the Japan Society of Applied Physics, 43, 362, (1974)
- Y. Tarui, Y. Hayashi, and K. Nagai : Electrically Reprogrammable Nonvolatile Memory, Proc., the 5th Conference on Solid State Devices, Tokyo, 9—4, (1973) ; Supplement to the Journal of the Japan Society of Applied Physics, 43, 348, (1974)
- [15] 現在投稿準備中
- [16] G. Louie, J. Wipfli, and A. Ebricht : A Dual Processor Serial Data Controller Chip, 1977 ISSCC Digest of Technical Papers THPM 12.6
- [17] M. Suzuki, K. Matsumoto, E. Sugimoto, K. Takemae, and H. Yamamoto : A High-Speed NMOS/CMOS Single-Chip 16-Bit Microprocessor, 1978 ISSCC Digest of Technical Papers FAM 15.6
- [18] T. Nakano, O. Tomisawa, K. Anami, M. Nakaya, M. Ohmori, and I. Ohkura : A 920 Gate Masterslice, 1978 ISSCC Digest of Technical Papers WPM 6.3
- [19] L. G. Dang, P. B. Ashkin, R. Yee, and M. O'Brien : A CMOS/SOS 16-Bit Parallel  $\mu$ CPU, 1977 ISSCC Digest of Technical Papers THPM 12.1
- [20] A. Capell, D. Knoblock, L. Mather, and L. Lopp : Process refinements bring C-MOS on sapphire into commercial use, Electronics, May 26, 99, (1977)
- [21] 石井 : パターン情報処理システム大型プロジェクトの16ビット SOS マイクロコンピュータ, エレクトロニクス, No. 2, 190 (1978)
- H. Iizuka, Y. Hayashi, K. Tamaru, and H. Hara : Development of a high-performance universal computing element—PULCE, Digest of Technical Papers, National Computer Conference, 1255, (1978)
- [22] M. M. Blouke, J. F. Breitzmann, and J. E. Hall : Three-Phase, Backside Illuminated  $500 \times 500$  CCD Imager, 1978 ISSCC Digest of Technical Papers, WAM 2.5
- [23] R. C. Varshney, and K. Venkateswaren : A 64k bit CCD Memory, 1978 ISSCC Digest of Technical Papers THPM 12.3
- [24] B. R. Elmer, W. E. Tchon, A. J. Denboer, and R. Frommer : Fault Tolerant 92160 Bit Multiphase CCD Memory, 1977 ISSCC Digest of Technical Papers, THAM 10.5
- [25] C. Hrickson, H. K. Hingarh, R. Moeckel, and D. Wilnai : A 16-Bit Monolithic I<sup>2</sup>L Processor, 1977 ISSCC Digest of Technical Papers, THPM 12.4
- [26] P. M. Quinn, J. M. Early, W. B. Sander, and T. A. Longo : A  $16k \times 1$  I<sup>2</sup>L Dynamic RAM, 1978 ISSCC Digest of Technical Papers, THPM 12.5
- [27] W. B. Sander, J. M. Early, and T. A. Longo : A  $4096 \times 1$  (I<sup>2</sup>L) Bipolar RAM, ISSCC Digest of Technical Papers, Feb., 182—183 (1976)
- [28] A. Hotta, Y. Kato, K. Yamaguchi, N. Honma, and M. Inadachi : A High-Speed Low-Power  $4096 \times 1$ -Bit Bipolar RAM, 1978 ISSCC Digest of Technical Papers, THAM 9.1
- [29] K. Okada, K. Aomura, J. Nokubo, and H. Shiba : A 4k Static Bipolar TTL RAM, 1978 ISSCC Digest of Technical Papers, THAM 9.2
- [30] Y. Akazawa, H. Kodama, and T. Sudo : A Speed 1600-Gate Bipolar LSI Processor, High 1978 ISSCC Digest of Technical Papers, FAM 15.7
- [31] E. Masuda, C. Sato, T. Iida, Y. Suzuki, Y. Agawa, and T. Shima : A Single-Chip CMOS A/D Converter for Microprocessor Systems, 1978 ISSCC Digest of Technical Papers, THAM 11.2
- [32] R. W. Webb : A High-Speed 12-Bit Monolithic D/A Converter, 1978 ISSCC Digest of Technical Papers, THAM 11.6
- [33] R. F. Broom, P. Gueret, W. Kotyczka, T. O. Mohr, A. Moser, A. Oosenbrug, and P. Wolf : Model for a 15ns 16k RAM with Josephson Junctions, 1978 ISSCC Digest of Technical Papers, WPM 6.1
- [34] J. Nishizawa, and B. M. Wilamowski : Integrated Logic—Static Induction Transistor Logic, 1977 ISSCC Digest of Technical Papers, FAM 18.3
- J. Nishizawa, and B. M. Wilamowski : Static Induction Logic—A Simple Structure with Very Low Switching Energy and Very High Packing Density, Proc., the 8th Conference on Solid State Devices, Tokyo, 151, Sept. (1976)
- 西沢 : SIT集積回路, 「半導体研究」15—超LSI技術②回路設計, 6, 157
- [35] How VLSI impacts computer architecture, IEEE Spectrum 15, 5, MAY 18, (1978)
- [36] Semiconductors face the '80s, IEEE spectrum 14, 10, 42, Oct. (1977)
- [37] Semiconductors toeing the (microfine) line, IEEE Spectrum, 14, 12, 34, Dec. (1977)



## 第二章 高密度双极 LSI 的外延生长工艺

小切间 正彦

新田 雄久

### 2.1 序 论

为了提高 LSI 的密度, 需要缩小元件横向尺寸, 同时也要缩小纵向尺寸。而且, 在双极 LSI 的情况下, 为了提高截止频率 ( $f_T$ ) 和缩短传递延迟时间 ( $t_{pd}$ ), 需要将发射结作浅, 使集电区和基区之间的距离缩小。因此, 近年来特别强调要求薄而高度精确的外延层。除了双极 LSI 之外, 以往的肖特基二极管和齐纳二极管等分立的半导体元件也需要薄的外延层。本章准备以高密度双极 LSI 所用的外延生长工艺为中心进行介绍。所谓薄外延层, 对于双极 LSI 来说, 目前一般都认为作成  $1\sim 3\mu\text{m}$  的厚度就可以了。

下面让我们看一下从元件设计方面怎样确定外延层的厚度。有关高密度双极 LSI 之一——氧化物隔离型 (即所谓等平面) 的 LSI, 其剖面结构示于图 2-1。这种结构是所谓扩散基区型结构, 即在  $p^-$  衬底中隐埋  $n$  型高密度扩散层 (副集电区), 在其上面生成  $n$  型的外延层。在外延生长层内生成隔离氧化膜之后, 通过扩散或离子注入形成基区 ( $p$  型) 和发射区 ( $n$  型), 从而作成晶体管。在外延生长和元件形成工艺中,  $n^+$ BL (隐埋层) 中的  $n$  型杂质侵入外延层 ( $n^+$  界面的移动距离仅有厚度  $t_u$ , 这种现象称作  $n^+$  上升), 使实际的集电区层 ( $n^-$ ) 变得很薄。这种  $n^-$  层的厚度 ( $t_c$ ) 对晶体管的集电区-基区电容 ( $C_{TC}$ ) 和截止频率  $f_T$  有很大的影响。一般情况下, 当  $t_c$  变大时,  $C_{TC}$  和  $f_T$  同时变小, 所以要通过实验求出  $t_c$  的最佳值, 从而使传递延迟时间  $t_{pd}$  达到最小。如果确定了这个  $t_c$ , 则外延层的厚度为  $t_E$  (发射区深度) +  $t_B$  (基区宽度) +  $t_c + t_u$ 。在高速双极 LSI 中,  $t_E = 0.3\sim 0.5\mu\text{m}$ ,  $t_B = 0.2\sim 0.3\mu\text{m}$ ,  $t_c = 0.3\sim 0.8\mu\text{m}$ ,  $t_u = 0.2\sim 0.5\mu\text{m}$ , 所需要的外延层厚度  $d_{Epi}$  约为  $1\sim 2\mu\text{m}$ 。

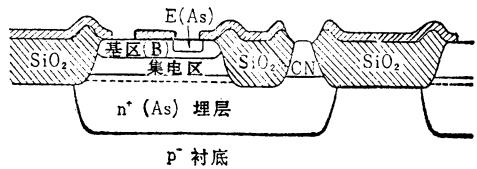


图2-1 氧化物隔离型双极 LSI 中的晶体管的剖面结构

本章叙述在薄外延层生长中出现的一些问题, 而其中很多问题在整个外延生长技术中是共同存在的。下面是高密度双极 LSI 采用的薄层外延工艺中存在的几个问题:

- (i) 生长层厚度、电阻率的控制和均匀性;
- (ii) 自掺杂;
- (iii) 图形的模糊和偏移;
- (iv) 晶体缺陷;
- (v) 评价技术。

下面先简单谈一下有关整个硅外延生长工艺, 然后再详细介绍上述几个问题。

## 2.2 外延生长工艺的原料和设备等问题

关于硅的外延生长工艺，过去在专业讲习会上已多次提到过<sup>[1]~[8]</sup>，也有许多一般性讲解的书籍<sup>[4]~[7]</sup>，因此在此只简单介绍一下，同时对最近的设备和原料等的动向也作一些说明。

将衬底在还原性气氛或惰性气氛（多采用  $H_2$ ）中加热，并馈送含硅的气体，使之生长出具有与衬底相同晶向的硅单晶，这是目前半导体工业中已达到实用化的汽相外延生的基本工艺。在生长过程中，需要控制的主要参数有三个：衬底温度、源气体流量和运载气体（ $H_2$ ）流量。衬底温度对外延层的晶性和生长速度，源气体流量对生长速度，运载气体流量对厚度的均匀性，都分别有很大的影响。目前，外延生长用的原料一般有四类： $SiCl_4$ 、 $SiHCl_3$ 、 $SiH_2Cl_2$  和  $SiH_4$ 。各种原料的性质示于表 2-1。从表中可以看出，生长温度随着原料中的 Cl 浓度的减少而逐渐变低。但是外延生长温度显著依赖于衬底的表面状态和所用气体的纯度等，例如采用  $SiCl_4$  源，如果在生长前将衬底放在硝酸中煮沸或在足够高的温度下进行退火，则在  $1000^\circ C$  以下就可以得到缺陷很少的外延层。在这个意义上，表 2-1 中所示的生长温度是在一般生长条件下进行生长时的大致标准。

表2-1 外延生长用的各种原料的比较

| 性 质 \ 气 体              | $SiCl_4$       | $SiHCl_3$      | $SiH_2Cl_2$    | $SiH_4$   |
|------------------------|----------------|----------------|----------------|-----------|
| 在常温常压下的形态              | 液 体            | 液 体            | 气 体            | 气 体       |
| 沸 点 ( $^\circ C$ )     | 57.1           | 31.7           | 8.2            | -112      |
| 分子量                    | 169.9          | 135.5          | 101.0          | 32.1      |
| 一个分子中的Si含量 (%)         | 16.5           | 20.7           | 27.8           | 87.5      |
| 最佳生长温度 ( $^\circ C$ )  | 1150~1200      | 1100~1150      | 1050~1150      | 1000~1100 |
| 最大生长速度 ( $\mu m/min$ ) | 小(3~5)         | 中(5~10)        | 大(10~15)       | 中(5~10)   |
| 在空气中的反应                | 在空气中冒烟，<br>盐酸味 | 在空气中冒烟，<br>盐酸味 | 在空气中着火，<br>盐酸味 | 在空气中着火    |
| 在高温下的热分解               | 小              | 小              | 中              | 大         |

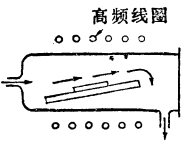
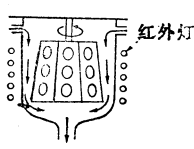
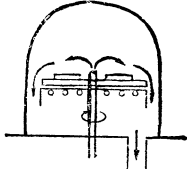
各种原料都各有其优缺点。 $SiCl_4$  和  $SiHCl_3$  在常温常压下是液体，需要用像气化器这样的辅助设备，因此操作起来比较麻烦，但容易获得高纯度的原料，这是其优点。 $SiH_2Cl_2$  和  $SiH_4$  在常温常压下是气体，所以操作简单，相反，提纯比前两种难一些。但最近使用  $SiH_4$  提纯设备，也已能够较容易地获得具有  $100\Omega \cdot cm$  以上电阻率的外延层。同时考虑到了后面将要讲到的一些优点，现在正开始将  $SiH_4$  和  $SiH_2Cl_2$  等气体用作高密度双极LSI的外延生长原料。

下面简单介绍一下生长设备。硅的外延生长设备大致可分三种类型：即卧式、圆盘式（立式）和圆筒式。在结构上卧式炉最简单，很早就被采用了。圆盘式炉装片多，膜厚的均匀性也好，但由于结构复杂，故操作困难。

可见，各种外延炉各有优缺点，难以说哪一种特别好。表 2-2 中表示了各种外延炉的结构特点、标准性能及优缺点。从中可以看出，采用像  $SiH_4$  这样仅由热分解进行反应的原料时，可以使用的生长设备大概只限于圆盘式，所以设备选择的自由度比较小。一般情

况下，原料中的 Cl 浓度越小，则热分解越起主要作用，并且向硅衬底淀积的选择性也越小，因此在使用  $\text{SiH}_4$  时，硅向石英管和石英夹具上的淀积比使用  $\text{SiCl}_4$  时强烈。可见，能够使用的设备受到原料的限制。

表2-2 各式炉子的特点和性能

|                 |                                      | 横 卧 式 炉   | 圆 筒 式 炉   | 圆 盘 式 炉  |     |
|-----------------|--------------------------------------|---|---|--|-----|
| 结 构             |                                      |  |  |  |     |
| 处理晶片能力<br>(最大)  | $\phi 2''$                           | 40片   | 70片   | 24片  |     |
|                 | $\phi 3''$                           | 20片   | 30片   | 7片   | 20片 |
|                 | $\phi 4''$                           | 10片   | 14片   | 0片   | 8片  |
| 加热方式            | 高频加热                                 | 红外灯加热   | 高频加热  |  |     |
| 反应管形式           | 方形管 (石英)                             | 圆筒形 (石英)  | 金属或石英作的钟罩   |  |     |
| 基座形状            | 长方形                                  | 台 形   | 圆 盘 形   |  |     |
| 晶片膜厚均匀性         | $< \pm 8\%$                          | $< \pm 5\%$   | $< \pm 4\%$   | $< \pm 7\%$  |     |
| 晶片内电阻率均匀性       | $< +10\%$                            | $< \pm 5\%$   | $< \pm 5\%$   | $< \pm 10\%$   |     |
| 有代表性的市场出售<br>设备 | UNICORP 公司<br>UNIPAK-X<br>AMT公司#6000 | AMT社#7600   | AMT公司AMV<br>1200<br>国际电气<br>DC-3200E  | 国际电气<br>DC-4200E   |     |
| 优点和缺点           | $\text{H}_2$ 使用量大<br>容易维修<br>结构简单    | 经济性良好<br>精度高<br>维修困难  | 精度高<br>维修容易<br>可使用 $\text{SiH}_4$   |  |     |

作为高密度双极 LSI 用的外延生长设备，无法笼统地说哪种类型更合适。通常可根据以下几方面，选择适合于不同器件的外延炉，即 (i) 自掺杂；(ii) 膜厚控制能力；(iii) 图形的模糊和偏移；(iv) 维修的难易；(v) 每批投片量以及 (vi) 所用原料等。

### 2.3 外延层的评价法

评价外延层可根据以下几项：

- (a) 外延层的厚度；
- (b) 外延层的电阻率；
- (c) 寿命；
- (d) 晶体缺陷；
- (e) 自掺杂。

无论哪一项，当外延层很薄时，测量都是很困难的。在此想讲述一下在薄的外延层情况下特别成问题的评价方法和测量方法。

### 2.3.1 外延层厚度的测量法

测量外延层厚度的方法有多种，有代表性的是磨角法和红外干涉法。当外延层变薄时，上述两种方法精度都不高，特别是红外干涉法的精度下降得更严重。下面分别介绍这两种方法。

所谓磨角法，在原理上就是将外延层的断面斜着进行研磨，测量其斜面的长度，从而计算出外延层厚度（见图 2-2）。外延层的厚度在  $1\sim 3\mu\text{m}$  时，采用  $1^\circ\sim 5^\circ$  角的磨角夹具。磨出的角度会由于安装夹具而引起一些变化，所以磨角之后需要用测角器精密测量。在这种测量方法中，最重要的是确定外延层和衬底之间的界面。一般在厚外延层情况下，由于用 Sirtl 腐蚀液<sup>(6)</sup>和  $\text{HF}+\text{HNO}_3$  混合液等显示的界面线模糊，所以不能确定出准确的位置。特别是很难准确地确定  $n^- - p^-$  和  $n^+ - n^-$  等界面。为此要预先在衬底上生成一层  $\text{Si}_3\text{N}_4$  或  $\text{SiO}_2$  的薄层，以此为标记测量外延层厚度（见图 2-3）。由于  $\text{SiO}_2$  中的氧在生长过程中会扩散，而使界面移动，所以希望使用  $\text{Si}_3\text{N}_4$ 。但在薄外延层的情况下，生长时间短，采用  $\text{SiO}_2$  也不会有太大的误差。另外，在采用  $\text{SiCl}_4$  等含 Cl 的原料时，由于在作为分界面标记的  $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$  上几乎不发生淀积，而其周围的外延层又会变得非常厚，所以最好是在  $\text{Si}_3\text{N}_4$  或  $\text{SiO}_2$  之上再淀积一层多晶硅。用这种方法可以非常准确地显示出界面。其缺点是在对衬底进行气相腐蚀时必须加以校正，而且很难用于本征硅片。该法的测量误差（包括人为误差在内）为  $\pm 0.04\mu\text{m}$  以下。所以在  $2\mu\text{m}$  外延层的情况下，测量精度在  $\pm 2\%$  以下。

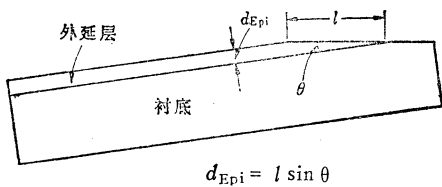


图 2-2 通过磨角测量外延层厚度的方法

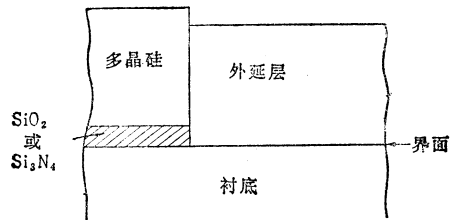


图 2-3 利用界面标记测量外延层厚度的方法

与磨角法类似的方法有开槽法（或称球磨法）。这种方法如图 2-4 所示，是用圆棒或球在外延层上挖个沟（孔），然后测量从该孔的一端到界面的水平距离。这种方法的操作比磨角法简单。表 2-3 示出了几个样片用上述两种测量法所得到的测量值。有的比较一致，也有的差别很大。但可以看出在厚度  $d_{Epi} = 2\mu\text{m}$  时，正好符合  $\pm 5\%$  以下的精度。

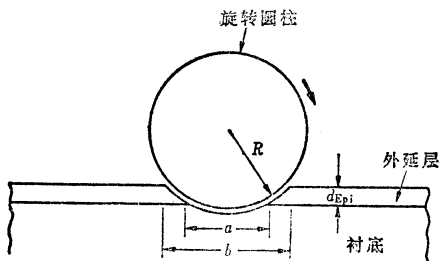


图 2-4 用开槽法测量外延层厚度

$$d_{Epi} = \sqrt{R^2 - (a/2)^2} - \sqrt{R^2 - (b/2)^2}$$

表 2-3 磨角法和球磨法的比较

| 样 品 | 使用标记的磨角法           | 球磨法 (Sirtl 腐蚀)     |
|-----|--------------------|--------------------|
| 1   | 2.74 $\mu\text{m}$ | 2.80 $\mu\text{m}$ |
| 2   | 1.85               | 2.20               |
| 3   | 1.97               | 2.10               |
| 4   | 1.90               | 2.00               |

下面介绍红外干涉法。用这种方法所测量的晶片是有限制的，必须是  $n/n^+$  或  $p/p^+$  结构，而且衬底必须是重掺杂材料。在双极 LSI 的情况下，由于具有埋层 (BL)，所以是满足上述条件的。但在  $n^+$ 、 $p^+$  层的浓度比较低(杂质浓度需要大于  $5 \times 10^{18} \text{cm}^{-3}$ )， $n/n^+$  的界面比较模糊的情况下，精度会下降。该法的原理是利用由  $n^+(p^+)$  层和表面所反射的红外线的干涉现象，如图 2-5<sup>[9]</sup> 所示。简言之，就是利用从第 1 表面(外延层表面)和第 2 表面(界面)的反射光的干涉。由反射光 X 和 Y 的光程差  $2nd \cos \phi'$  和红外线的波长  $\lambda$ ，可以计算出外延层的厚度  $d$ 。有关测量方法的详细内容请参照野村的介绍<sup>[10]</sup>。上述的测量法是通过改变红外线波长  $\lambda$  来计算  $d$  值。而在最近又研制出应用迈克尔逊干涉仪的 FTG 装置，可以简单地进行膜厚测量。这种方法的原理如图 2-6 所示，从样片中反射出来的光 X 和 Y 通过半反射镜 ( $M_T$ ) 而分成  $X_1$ 、 $Y_1$ 、 $X_2$ 、 $Y_2$ ，再分别用固定反射镜  $M_1$  和可动反射镜  $M_2$  进行反射，从而产生干涉。干涉波形如图 2-6(b)，从两个峰值的间隔可算出厚度  $d$ 。这种 FTG 是把几次的测量数据用计算机处理后，直接以数字显示方式把厚度的值显示出来。一次测量时间为几秒钟，所以可以简单地求出晶片内的厚度分布。最近的样机已经能够以  $\pm 0.05 \mu\text{m}$  的精度测量  $0.5 \mu\text{m}$  厚的膜。但正如表 2-4 所示，FTG 和磨角的测量值相比较，外延层越薄，其测量的重复性越差，在  $1.5 \mu\text{m}$  以下时，难

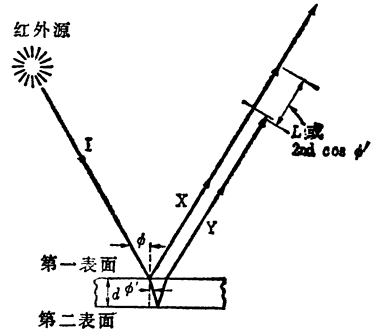


图2-5 红外干涉法测量厚度的原理图<sup>[9]</sup>

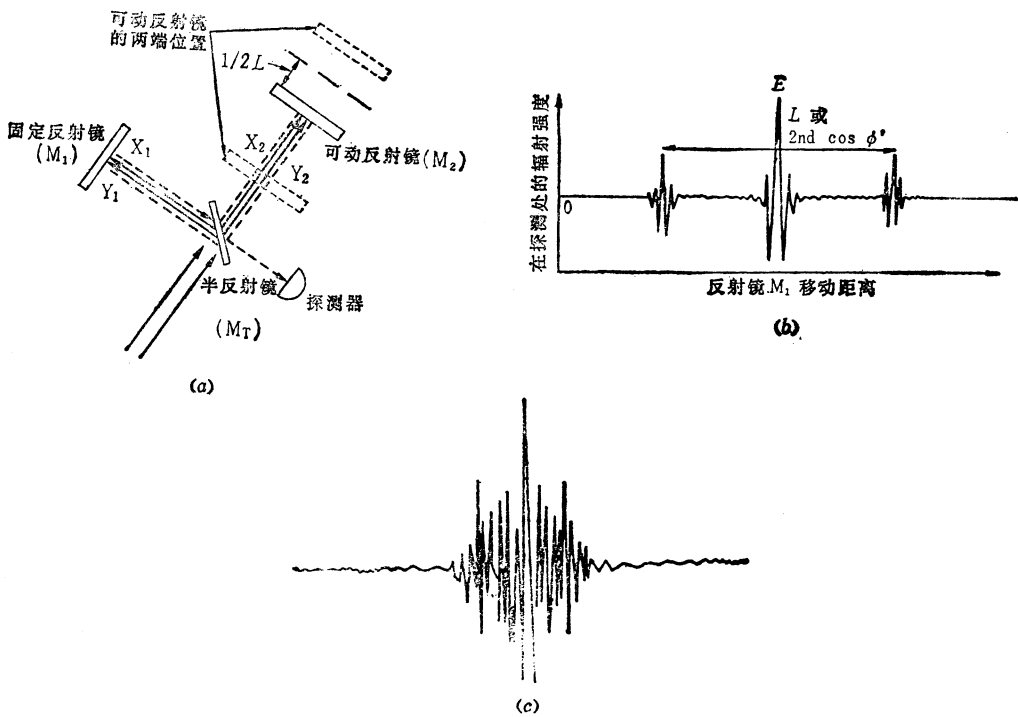


图2-6 FTG法的原理图

(a) 设备原理图；(b) 干涉波形；(c) 膜薄时的干涉波形。

以得到较高精度的测量效果。

从上述事实来看， $2\mu\text{m}$  以下的薄外延层的厚度测量法是破坏性检查方法，而采用界面标记的磨角法可以说是最可靠的方法。红外干涉法是非破坏性地检查晶片内厚度均匀性的有效辅助手段。

### 2.3.2 外延层电阻率的测量方法

外延层的电阻率测量法通常有下列四种：

- (a) 四探针法；
- (b) SRP (扩展电阻探测) 法；
- (c) C-V (电容-电压) 法；
- (d) PCB (点接触击穿) 法。

而广泛采用的是 (a) 和 (b) 两种方法，(c) 的 C-V 法由于多用于测量外延层内的载流子浓度的分布，所以在自掺杂测量法部分再讲。PCB 法在外延层较薄的情况下，由于耗尽层达到衬底，故无法进行高精度测量。对于薄的外延层，无论用哪种方法测量，都会受衬底的影响，使精度下降。特别是在外延层的杂质浓度低的情况下问题就更多。对于四探针法来说，假设  $\rho = 10\Omega \cdot \text{cm}$ 、 $d_{\text{Epi}} = 1.0\mu\text{m}$  时，薄膜电阻  $\rho_s$  约为  $10^5\Omega/\square$ ，此时测量非常不稳定，重复性不好。

表2-4 FTG法和磨角法的比较

| FTG法<br>(厚度 $d_1$ ) | 磨角法<br>(厚度 $d_2$ ) | $\frac{d_1 - d_2}{d_2} \times 100$ |
|---------------------|--------------------|------------------------------------|
| 0.81 $\mu\text{m}$  | 1.01 $\mu\text{m}$ | -19.8%                             |
| 1.28                | 1.39               | -7.9                               |
| 1.65                | 1.53               | 7.8                                |
| 1.86                | 1.80               | 3.3                                |
| 148.0               | 146.9              | 0.7                                |
| 186.2               | 192.3              | -3.2                               |

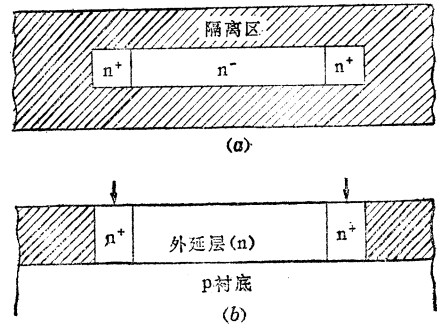


图2-7 高电阻外延层的电阻测量法  
(a) 平面图；(b) 剖面图。

最近 SRP 法有很大的改进，已经能够根据电阻的测量值，用计算机算出相应的杂质浓度，并自动地画出晶片内载流子浓度的分布曲线。另外，通过对磨角的样片斜表面进行探测，也可以测量外延层内的自掺杂等。但这种方法由于会受到探针针尖形状和样片表面状态等的显著影响，所以在测量时必须注意。

在外延层薄且电阻高的情况下，有时在外延生长后，通过光刻形成图形，再用 Pauw 法<sup>[11]</sup>或通常的电阻测量法求出外延层的电阻。这种情况下必须进行  $n^+$  或  $p^+$  扩散或者进行离子注入，用以引出电极（见图 2-7）。这种方法从元件设计方面来看，可以说是比较符合实际的。

### 2.3.3 寿命测量法

关于少数载流子寿命的测量，虽然提出了许多方法，但在外延层薄的情况下，测量外

延层中的载流子寿命，用哪种方法都有困难。能使寿命下降的杂质，一般都扩散较快，要把这种杂质封在仅有  $2\mu\text{m}$  左右的外延层内是很难想象的。外延生长后，去掉外延层来测量寿命同有外延层的情况相比，几乎没有什么变化。

一般测量寿命所采用的方法有 MOS-C-t 法<sup>[12]</sup>、微波反射法<sup>[13]</sup>、二极管阶跃恢复法<sup>[14]</sup>等等。这些方法就不在这里介绍了。

最近提出了测定硅片中深能级的 DLTS 法<sup>[15][16]</sup>和探测发光性复合中心的光致发光法等，这些方法并不是直接测量寿命的，而是可以测量与其相关的某一特性。特别是光致发光法，可非破坏性地测出薄外延层表面附近的缺陷和能减低寿命的杂质，是一种比较好的方法，因此下面简单介绍一下。

图 2-8 是测量装置<sup>[17]</sup>。把氩离子激光聚焦成直径  $50\mu\text{m}$  的光束照射硅的表面，然后测量从晶体发出的荧光的强度。当晶体中的非发光复合中心深能级多时，荧光强度就会下降。用这种激光束扫描外延层表面，则可以了解外延层表面附近的缺陷分布。在发光强度弱的地方，可以确认存在着位错或沉积物等晶体缺陷，并发现与元件形成后的 C-E 短路的部位是完全对应的。因此，在外延生长后或形成元件区域之后，通过观察光致发光强度的分布，可以非破坏性地预测片子内的缺陷分布。

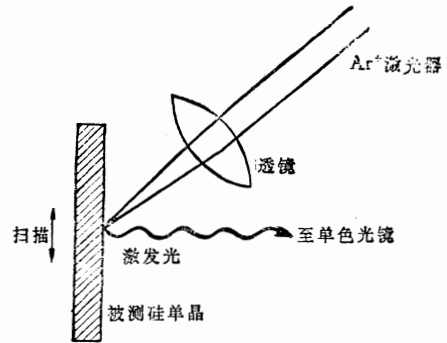


图2-8 光致发光测量装置<sup>[17]</sup>

### 2.3.4 晶体缺陷检验法

晶体缺陷的观察可以通过光学显微镜、X射线测绘和电子显微镜（SEM 法、复制法、透射法）等方法进行。关于各种测量法在此就不讲了。如果外延层变薄时，在晶体表面所看到的缺陷尺寸就会变小，所以利用 SEM 是有效的方法。另外，最近也开始利用 EBIC（电子束感应电流）等方式进行观测，进一步扩大了 SEM 的应用范围。

用光学显微镜观察外延层表面的缺陷时，例如位错及氧化诱生缺陷（氧化诱生堆垛层错、简称 OSF），需使它们在表面上显现出来，为此可进行所谓显示腐蚀（preferential etching）。而呈现在表面上的形态随缺陷的种类和晶向而变化，这是需要注意的。在表 2-5 中表示了目前所掌握的各种显示腐蚀液的特点，Schimmel 的实验结果<sup>[18]</sup>后来作了补充。根据这个表，可以说过去经常采用的 Sirtl 腐蚀液不适合于 (100) 面，而 Secco 腐蚀液或 Wright 腐蚀液则较适合。图 2-9 是经腐蚀后通过显微镜所看到的在双极 LSI 外延层上的典型热形变位错和 DSF 的图像。当通过腐蚀和光学显微镜观察外延层内缺陷时，必须进行所谓分级腐蚀，逐次剥去表面层。但是在  $2\mu\text{m}$  左右的薄外延层的情况下，膜厚并没有多大余量，要了解纵向的缺陷分布很困难。所以今后作为观察  $1\sim 3\mu\text{m}$  左右的外延层内所有缺陷的方法，大概只能靠超高压电子显微镜（加速电压  $1000\text{keV}$  左右）。

表2-5 各种腐蚀液及其对(100)面腐蚀的适用性

| 腐蚀液       | 成分  | 腐蚀速度(大约数), 条件       | 适用性        |            |            |                                   |                              |                 |
|-----------|---|---------------------|------------|------------|------------|-----------------------------------|------------------------------|-----------------|
|           |   |                     | 衬底 (n + P) | 衬底 (n) OSF | 衬底 (P) OSF | n 衬底 n <sup>-</sup> 外延 (注入, B 扩散) | n 衬底 n <sup>-</sup> 外延 (磷扩散) | P 衬底 (注入, B 扩散) |
| Sirtl     | HF + CrO <sub>3</sub> (5M) 1:1  | ~3.5μm/min          | 2~3        | 2          | 2          | 2                                 | 3                            | 2~3             |
| Secco     | HF + K <sub>2</sub> Cr <sub>2</sub> O <sub>7</sub> (0.15M) 2:1  | ~1.5μm/min (超声波)    | 1          | 1          | 1          | 1                                 | 1                            | 1               |
| 另一种 Secco | HF + CrO <sub>3</sub> (0.15M) 2:1   | ~1μm/min (超声波)      | —          | —          | —          | —                                 | —                            | —               |
| Dash      | HF + HNO <sub>3</sub> + HAc 1:3:10  | ~0.1μm/min 光照射 n 衬底 | N          | N          | 3~N        | 2 (L)                             | 2 (L)                        | 1 (L)           |
| Schimmel  | HF + HNO <sub>3</sub> 155:1   | ~1.8μm/min 光照射 n 衬底 | N          | N          | 2 (L)      | 1~2 (L)                           | 3 (L)                        | 1               |
| Wright    | HAc + H <sub>2</sub> O + HNO <sub>3</sub> + CrO <sub>3</sub> + Cu(NO <sub>3</sub> ) <sub>2</sub> } 3:1 + HF | ~1μm/min            | 2          | 1          | 1          | —                                 | —                            | 1               |

注: 适用性判断标准, 1-优, 2-良, 3-可, N-劣, L-光照射。

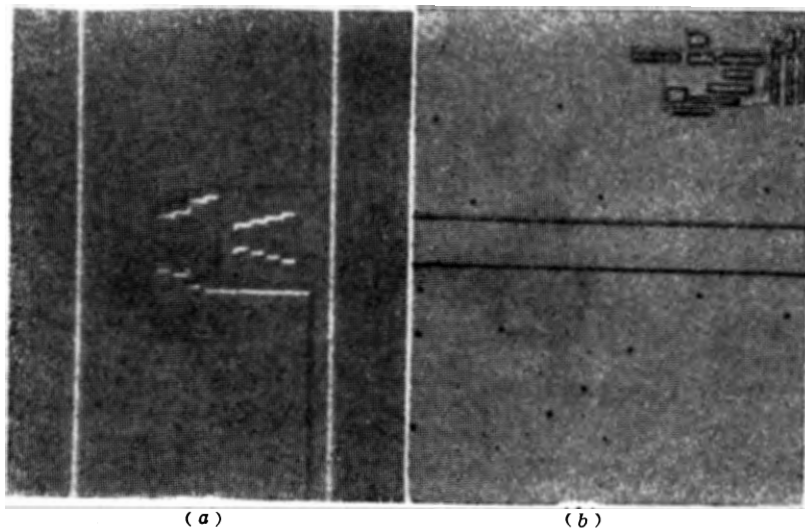


图2-9 在薄外延层中所看到的位错和OSF的典型例

((100)面, SiH<sub>4</sub>,  $d_{Epi} = 1.60\mu\text{m}$ , 生长后, 在1000°C下经15 h氧化处理)

(a) 位错坑 (Secco腐蚀, 3min)( $\times 140$ ); (b) OSF (Wright腐蚀, 1min)( $\times 140$ )。

### 2.3.5 自掺杂测量法

如果仅想知道自掺杂总量, 那末只测量 n/p 或 p/n 外延层的薄膜电阻就可以知道大概情况。但是要详细测定外延层内的纵向(生长方向)或横向的自掺杂分布时, 则必须采用 2.3.2 节中所讲的 C-V 法或 SRP 法。本节准备稍详细地介绍有关 C-V 法测量自掺杂的方法。



以 n 形外延生长的情况为例。首先在 n 形 (约  $10 \sim 20 \Omega \cdot \text{cm}$ ) 衬底上根据所要求的图形扩散 n 形杂质, 如 As, 然后在其上面进行非掺杂外延生长。这时如果自掺杂量比较小, 那末在 pn 结处的耗尽层将要贯通外延层和衬底之间的界面, 所以要预先计算耗尽层的厚度, 使外延层的厚度比耗尽层厚度稍微大一些。对于 As 来说, 外延层的厚度约为  $2 \mu\text{m}$  左右比较适合。生长后再通过硼扩散制作出直径为  $100 \sim 300 \mu\text{m}$  的平面二极管, 利用其 pn 结, 测量 C-V 特性。在薄外延层情况下,  $x_j = 0.3 \sim 0.4 \mu\text{m}$  比较好。pn 结的电容 C 和载流子浓度 (这种情况下最好考虑到自掺杂量)  $N_D$  之间有下列关系。

$$N_D = \frac{2}{q\epsilon\kappa A^2} [d(1/c^2)/dV]^{-1} \quad (2.1)$$

式中,  $q$  为单位电荷,  $\epsilon$  为真空介电常数,  $\kappa$  为相对介电常数,  $A$  为结面积,  $V$  为反向偏压。所以, 如果改变偏压来测量电容的变化, 就可以知道  $N_D$ 。最近市场上也有出售自动测量杂质浓度分布的仪器, 这种设备可以全自动地进行测量计算, 并能描绘出距表面的深度和载流子浓度的关系曲线, 非常方便。图 2.10 所示是其测量的例子。

这种横向自掺杂在衬底和生长层的界面上最大, 而在两侧, 特别是在外延层一侧, 分布曲线有拖尾。这种 C-V 法, 从 (2.1) 式可知, 当  $N_D$  变大时, C 随偏压的变化就小, 所以测量系统中的分布电容会带来测量误差, 影响测量精度。因此杂质浓度上限约为  $10^{18} \text{cm}^{-3}$ 。要想提高测量精度, 主要在于尽量减少测量系统的分布电容。

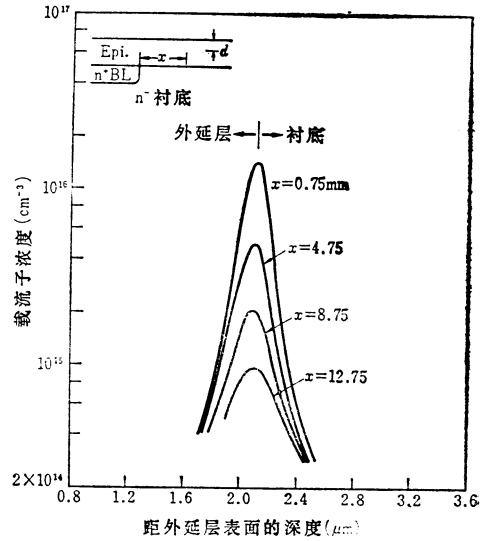


图2-10 测量衬底-外延层界面的自掺杂量的例子

## 2.4 外延层的厚度和电阻率的控制及其均匀性

### 2.4.1 批内以及晶片内的均匀性

有关均匀性, 无论是厚度还是电阻率, 对于生长条件来说, 都呈现出大致相同的倾向, 所以后面有关均匀性只论述厚度。外延层厚度的均匀性, 在一批生长多片时, 要讨论批内和晶片内两个方面的均匀性问题。如果不能保证批内的均匀性, 就不能够把批量产品的特性偏差控制在允许限度以内。那末, 外延层厚度对元件特性究竟有多大的影响呢? 让我们以图 2-1 所示的双极 LSI 结构为例分析一下。

在 2.1 节中已经讲过了  $n^-$  层的厚度会给特性带来很大影响, 而发射极和基极由于是通过扩散或离子注入形成的, 所以其深度可以比较精确地控制。因此,  $n^-$  层的厚度基本上是由外延层厚度控制的。而且, 集电区-基区电容也基本如此。例如  $n^-$  层的厚度 ( $t_e$ ) 为  $0.5 \mu\text{m}$  时, 设外延层厚度的偏差 ( $\Delta d_{Epi}$ ) 为  $\pm 0.1 \mu\text{m}$ , 则  $\Delta t_e/t_e$  大致接近于 20%。根据

特性值偏差的允许幅度可以算出  $\Delta d_{Epi}$  的许容幅度。 $\Delta d_{Epi}/d_{Epi}$  越小越好。但在普通的双极 LSI 中, 一般选为  $\pm(5\sim 10)\%$ 。在厚度偏差对元件特性影响更大的高速 I<sup>2</sup>L 中, 则希望  $\Delta d_{Epi}/d_{Epi}$  在  $\pm 2\%$  以下。

为获得均匀厚度分布的生长条件, 不同类型的生长炉会有很大的差异, 另外, “经验因素”的作用也很大。特别是圆盘式生长炉, 要分析反应管内的气流很困难, 大都通过改变喷嘴的形状、气体流量等, 凭经验来确定最佳生长条件。不过对于这种类型的生长炉来说, 厚度分布对气体流速的敏感系数比较小, 所以一旦确定了最佳条件, 将一批内的厚度均匀性保持在  $\pm 5\%$  以内是比较容易的。另外, 关于圆筒式和卧式生长炉, 因为容易建立气流模型, 所以用质量传递论进行分析的较多<sup>〔19〕~〔23〕</sup>。其中大多数都采取在一定边界条件下解下面 Navier-Stokes 基本方程式的办法。即

$$\rho \frac{Dv}{Dt} = -\nabla p + \mu \nabla^2 v + \rho g \quad (2.2)$$

式中,  $\frac{Dv}{Dt} = \frac{\partial v}{\partial t} + v_x \frac{\partial v}{\partial x} + v_y \frac{\partial v}{\partial y} + v_z \frac{\partial v}{\partial z}$ ,  $p$  是压力,  $\rho$  是流体密度,  $\mu$  是粘滞系数。(2.2) 式的右边第 1 项是压力项, 第 2 项是粘滞项, 第三项是重力项。

但实际上, 还有许多在计算中没有考虑的因素, 所以把理论分析的结果作为确定现场生长条件的指导原则, 看来尚未达到通用的地步。理论上已经明确的是, 随着气体从入口流向出口, 原料气体被分解消耗, 于是浓度逐渐下降, 使生长速度变慢。特别是当像  $\text{SiH}_4$  源那样热分解很激烈时, 这种下降更加显著。这可以用以下公式来表示<sup>〔24〕</sup>:

$$\frac{\partial C}{\partial x} = \frac{1}{\text{ReSc}} \left( \frac{\partial^2 C}{\partial y^2} \right) - \frac{Hk_a}{u} C \quad (2.3)$$

$$G(x) = D \left( \frac{\partial C}{\partial y} \right) = k_m (C - C^*) = k_r C^* \quad (2.4)$$

式中,  $C$  是源浓度,  $C^*$  是到达衬底表面上的源物质浓度,  $\text{Re}$  是雷诺兹数,  $\text{Sc}$  是施密特数,  $H$  是从衬底表面到反应管壁的高度,  $k_a$  是热分解常数,  $k_r$  是反应常数,  $k_m$  是质量传递系数 ( $D$ /界面层的厚度),  $D$  是扩散常数,  $G(x)$  是生长速度,  $u$  是气体流速。(2.3) 式右边的第 1 项表示在  $y$  方向上 (和气流垂直的方向) 由于扩散所损失的源气体量, 第 2 项表示在气相中由于热分解所失去的源气体量。根据这个式子, 热分解常数  $k_a$  越大, 气体流速  $u$  越小, 则  $x$  方向气体浓度的下降就越大。(2.4) 式是简单的扩散方程式, 生长速度  $G(x)$  取决于  $y$  方向的浓度差。

Eversteyn 等人<sup>〔19〕</sup>对卧式炉的气流作了分析, 很好地说明了实验结果。他们假设在基座上有厚度为  $\delta$  的气体滞流层或边界层, 从而计算出气流方向上的生长速度分布  $G(x)$  ( $\mu\text{m}/\text{min}$ ) (见图 2-11)。并用下式来表示,

$$G(x) = 7.23 \times 10^6 \frac{D_0 T_r p_0}{RT_0^2 \delta} \times \exp \left( \frac{-D_0 T_r x}{T_0 V_0 b \delta} \right) \quad (2.5)$$

式中,  $D_0$  是  $\text{H}_2$  中的  $\text{SiH}_4$  在 300K 时的扩散系数 ( $D_0 = 0.2 \text{cm}^2/\text{s}$ ),  $T_r$  是基座的温度 (K),  $T_0 = 300\text{K}$ ,  $p_0$  是反应管入口处  $\text{SiH}_4$  的分压 (达因/ $\text{cm}^2 \approx 10^{-6}$  原子),  $V_0$  是气流平均速度 (气体流量/反应管截面积,  $\text{cm}^2/\text{s}$ ),  $R$  是气体常数 ( $8.31 \times 10^7$  尔格/K),  $b$  是从基座表面到石英管上壁的距离 (cm)。该滞流层宽度  $\delta$  随气体流速  $V_r(x)$  变化

如下<sup>[19]</sup>;

$$\delta = \frac{A}{\sqrt{V_T}} - B \tag{2.6}$$

根据 (2.5) 式, 生长速度  $\ln G(x)$  应当随  $x$  线性变化, 实际上也是如此<sup>[19][23]</sup>。另外, 根据 (2.6) 式, 当流速  $V_T$  变大时,  $\delta$  变小; 而根据 (2.5) 式, 当  $\delta$  变小时,  $G(x)$  就变大。因而可以预想到, 如果使流速  $V_T$  越接近基座尾端越大, 则  $G(x)$  随  $x$  的变化会越小。Eversteyn 等人着眼于这种关系, 使基座朝着气流的方向倾斜一定角度, 计算了这种有意识地使  $\delta$  沿  $x$  方向变化情况下的  $G(x)$  的分布。当基座相对于气流方向的倾角为  $\phi$  时, 则  $V_T(x)$  和  $G(x)$  分别用下式计算:

$$V_T(x) = \frac{V_0 b T_m}{(b - x \tan \phi) T_0} \tag{2.7}$$

$$G(x) = 7.23 \times 10^8 \frac{D_0 T_s P_0}{RT_0^2 \delta(x)} \times \exp \left\{ -\frac{2D_0 T_s T_m}{4gT_0^2 \tan \phi} (\delta(0) - \delta(x)) + 0.2 \ln \frac{\delta(0)}{\delta(x)} \right\} \tag{2.8}$$

根据这些公式, 如在图 2-11(b) 中所表示的那样, 滞流层的厚度  $\delta(x)$  随着  $x$  的增加 (沿气流方向前进) 而变薄。因此 (2.4) 式中的  $k_m$  随  $x$  的增加而变大, 所以  $G(x)$  沿气流方向的变化减小。Eversteyn 等人的计算和实验结果示于图 2-12 和 2-13。随着气体流速增加, 气流下方的生长速度变大。当基座倾斜约为  $3^\circ$  时,  $V_0 = 34 \text{cm/s}$ , 大致可以得到平坦的厚度分布。这种结果, 适用于实际的卧式外延炉的生长, 其有效性已经得到证实。但是 Eversteyn 的模型并没有对浓度、速度和温度三种边界层加以明确的区分, 一般

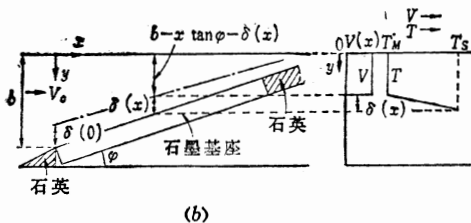
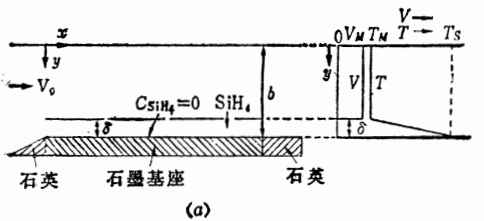


图2-11 滞流层模型<sup>[19]</sup>  
(a) 基座不倾斜的情况; (b) 基座倾角为  $\phi$  的情况。

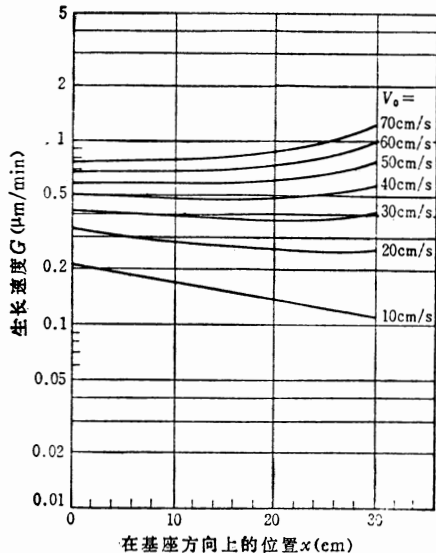
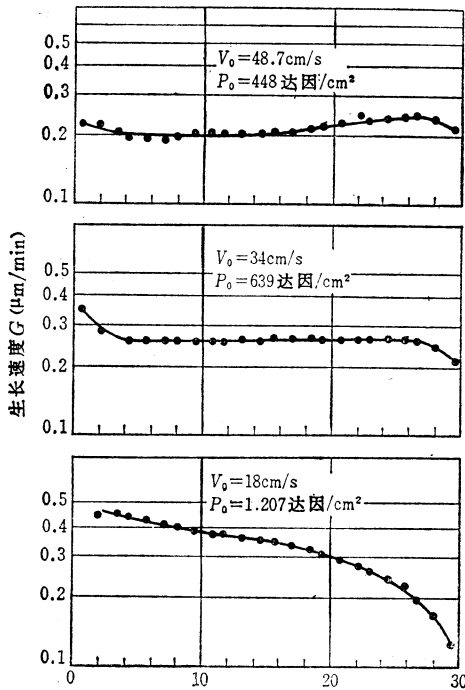


图2-12 基座倾斜  $2.9^\circ$  角时在气流方向上的生长速度分布 (计算例子,  $T_m = 700 \text{K}$ ,  $T_s = 1350 \text{K}$ ,  $b = 2.05 \text{cm}$ ,  $P_0 = 10^3$  达因/ $\text{cm}^2$ ,  $D_0 = 0.2 \text{cm}^2/\text{s}$ )<sup>[19]</sup>

认为这是该理论的欠缺之处。在实际的反应管内，沿着  $x$  方向，不仅浓度分布有变化，而且温度分布和速度分布也是变化的（见图 2-14）<sup>[25]</sup>，这三种分布稳定的区域离反应管入口有一段距离。

这样，把分布达到稳定为止的区间称作过渡区，在普通的卧式炉中，温度过渡区 ( $L_T$ ) 和气体流速过渡区 ( $L_V$ ) 都是数十厘米。在高频加热方式的卧式炉中， $L_T$ 、 $L_V$  分别表示为<sup>[25]</sup>：



在基座方向上的位置  $x$  (cm)

图2-13 把基座倾斜 2.9 度角时在气流方向上的生长速度分布 (实验例子,  $b = 2.05\text{cm}$ ,  $T_s = 1350\text{K}$ )<sup>[18]</sup>

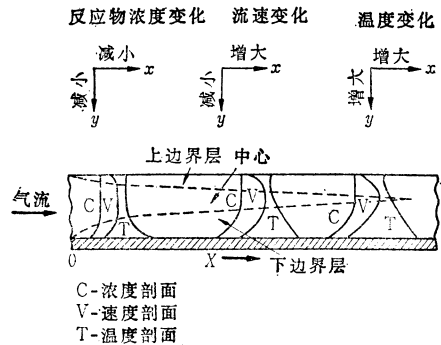


图2-14 反应管内温度、流速和浓度分布变化的概况

$$L_T = 0.4 b \cdot Pe \tag{2.9 a}$$

$$L_V = 0.029 b \cdot Re \tag{2.9 b}$$

式中的  $b$  和 (2.5) 式相同， $Pe$  和  $Re$  分别是佩克莱特数和雷诺兹数，两个数同样都是在质量传递理论中常使用的无量纲数。在表 2-6 中汇集了用炉内质量传递理论进行分析时常用的无量纲数（包括上述两个数在内）。采用这些无量纲数，在大多数情况下使分析变得容易了。

表2-6 在反应管内质量传递理论中常使用的无量纲数

| 无量纲数 | 符号 | 物理意义   | 公式                             | 外延生长时的范围 |
|------|----|--|--------------------------------|----------|
| 雷诺兹  | Re | $\frac{\text{惯性力}}{\text{粘滞力}}$                        | $\rho V D / \mu$               | 25~200   |
| 格拉肖夫 | Gr | $\frac{\text{惯性力} \times \text{buoyancy}}{\text{粘滞力}}$ | $\beta g \Delta T L^3 / \nu^2$ | 100~1000 |
| 普兰特  | Pr | $\frac{\text{动量扩散率}}{\text{热扩散率}}$                     | $\nu / \alpha$                 | 0.4~0.8  |

雷利(Ra) = Gr · Pr; 佩克莱特(Pe) = Re · Pr

注:  $\rho$ : 密度;  $V$ : 流速;  $D$ : 反应管直径;  $\mu$ : 静粘滞系数;  $\beta$ : 膨胀系数;  $\Delta T$ : 温差;  $\nu$ : 动粘滞系数;  $\alpha$ : 热导;  $g$ : 重力常数;  $L$ : 长度。

后面将要讲到，最近研究出一种在生长过程中当场直接测量反应炉内的浓度分布和温度分布的方法。目前正通过这种测量方法寻找有关上述分析的实验根据<sup>[26]~[30]</sup>。基于这一新的知识，已有几例在修正(2.8)式的基础上来计算厚度分布，但还没有得到能够满足实验条件的理论公式。

以上是关于  $x$  方向厚度分布的分析。为了让许多的晶片在卧式炉中同时进行生长，要把晶片沿气流方向排列外，同时还需要在与气流垂直的方向上排列。在这种情况下，与气流垂直方向的厚度分布受反应管内气体流速分布的影响很大。这种流速分布取决于反应管的断面形状，所以厚度分布也显著依赖于石英管的断面形状。由于对流的作用，在基座上会产生涡流，从而影响垂直于气流方向上的厚度分布。

Andrew 等人<sup>[31]</sup>通过计算和实验，研究了卧式管断面形状对生长层厚度的影响。关于圆形断面和矩形断面的情况得出如图 2-15 和表 2-7 所示的结果，其分布的理论值和实验值都是中间厚，而矩形断面反应管的分布则均匀一些。目前工艺上所采用的卧式炉几乎都

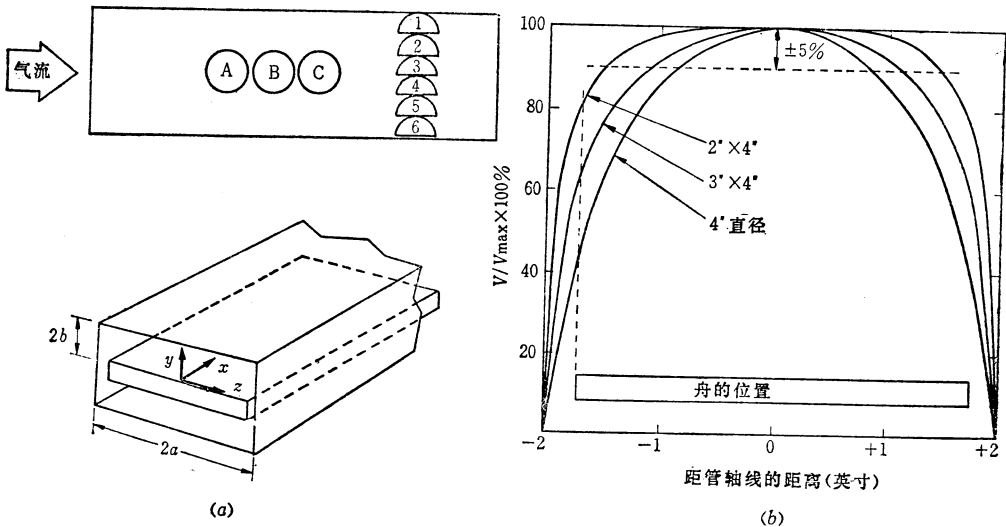


图2-15 反应管断面形状和外延层厚度分布<sup>[28]</sup>  
 (a) 尺寸的定义和样片的配置；(b) 厚度分布的计算结果。

表2-7 反应管断面形状和生长速度<sup>[28]</sup>

| 管子            | U (cm/s) | Y       | V (μ/min), 晶片No.: |      |      |      |      |      | K <sub>exp</sub> , 晶片No.: |    |    |    |    |    |
|---------------|----------|---------|-------------------|------|------|------|------|------|---------------------------|----|----|----|----|----|
|               |          |         | 1                 | 2    | 3    | 4    | 5    | 6    | 1                         | 2  | 3  | 4  | 5  | 6  |
| 圆形<br>直径4"    | 7.3      | 0.00565 | 0.33              | 0.52 | 0.55 | 0.51 | 0.44 | 0.43 | 23                        | 28 | 27 | 25 | 24 | 30 |
|               | 9.3      | 0.00542 | 0.41              | 0.55 | 0.76 | 0.77 | 0.55 | 0.33 | 31                        | 26 | 32 | 32 | 26 | 25 |
|               | 11.5     | 0.00537 | 0.40              | 0.63 | 0.81 | 0.80 | 0.60 | 0.36 | 27                        | 26 | 30 | 29 | 25 | 25 |
| 矩形<br>3" × 4" | 8.9      | 0.00565 | 0.46              | 0.63 | 0.62 | 0.63 | 0.66 | 0.44 | 25                        | 29 | 27 | 28 | 31 | 26 |
|               | 11.3     | 0.00550 | 0.51              | 0.73 | 0.70 | 0.71 | 0.71 | 0.46 | 26                        | 31 | 28 | 29 | 30 | 25 |
|               | 17.0     | 0.00458 | 0.43              | 0.59 | 0.69 | 0.71 | 0.62 | 0.36 | 23                        | 24 | 27 | 28 | 25 | 20 |
| 矩形<br>2" × 4" | 11.2     | 0.00392 | 0.56              | 0.65 | 0.64 | 0.64 | 0.66 | 0.57 | 35                        | 37 | 36 | 36 | 38 | 36 |
|               | 18.6     | 0.00398 | 0.57              | 0.66 | 0.66 | 0.66 | 0.68 | 0.62 | 29                        | 29 | 29 | 29 | 30 | 30 |
|               | 23.5     | 0.00400 | 0.62              | 0.76 | 0.76 | 0.76 | 0.70 | 0.65 | 28                        | 29 | 29 | 29 | 27 | 27 |

注: U: 气体流速; Y: SiCl<sub>4</sub> 的克分子浓度; V = KY√U。

是矩形断面的，长宽比为 1:2~1:3，呈扁平。在高频加热方式的卧式炉中，由于仅以基座为加热热源，所以在基座上方的气相中，会因对流而产生涡流，这种涡流将影响厚度分布。高桥等人<sup>[20]</sup>通过所谓 TiO<sub>2</sub> 白烟法，从反应管外侧直接观察了反应管中的涡流。

图 2-16 是经过计算所得出的涡流流线。图 2-17 表示有涡流时的反应管长度方向和垂直方向上的厚度分布。图中把涡流的方向用正负加以区别。而以图 2-16 所示的方向为正方向。产生涡流时，厚度分布会严重变坏。这种现象无论是圆形断面还是矩形断面都是一样的。根据高桥等人介绍，在流速小的情况下，会由于自然对流而产生涡流，而在流速大的情况下，强制对流起主要作用，可以视为没有涡流产生。通常在硅外延生长所用的反应炉中，气体流速比较大，达每秒几十厘米，所以几乎看不到涡流的产生。另外，当反应管中的压力降低时，则有效流速增加，因此也可认为无涡流产生。

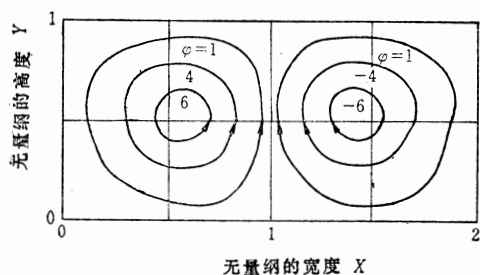


图2-16 在反应管断面上的涡流流线  
( $G_r^* = 3000, P_r = 1, B/H = 2$ )

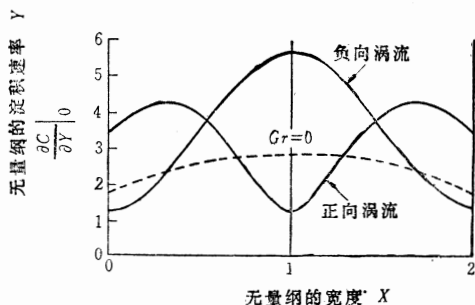


图2-17 有涡流时的外延层厚度分布

以上是有关卧式炉的分析，而有关圆筒式炉也可采用类似的方法处理。圆筒式炉的质量传递理论最初是由藤井等人<sup>[21]</sup>采用的。最近 Manke 等人<sup>[22]</sup>又使其稍有发展，采用“扩展温度模型”（把所谓温度过渡区也考虑在内的处理方法）计算了圆筒式炉中的厚度分布。其计算例子示于图 2-18 和图 2-19。雷诺兹数  $Re$  越大（也就是说流速越大），则在气流方向上温度的变化越缓慢，生长速度的降低也越小。从这些情况来看，无论是横卧式，还是圆筒式（立式），在气流方向上的均匀性大致取决于气体流速和基座上温度分布的最佳化。

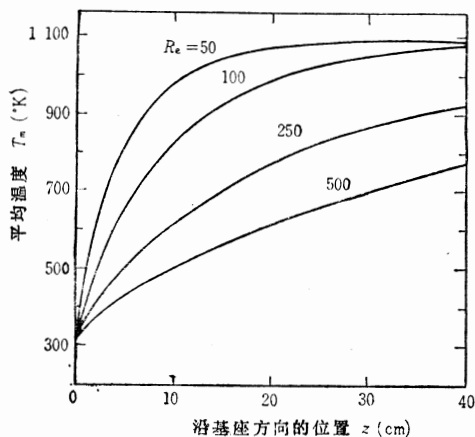


图2-18 雷诺兹数对圆筒式炉中气体温度分布的影响

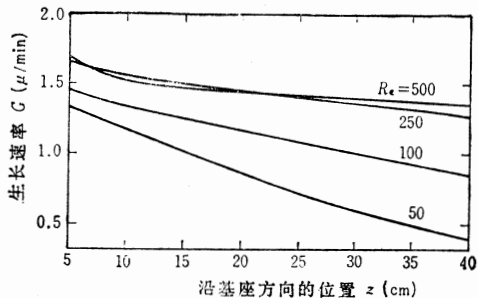


图2-19 雷诺兹数对圆筒式炉中膜厚分布的影响

圆筒式炉一般都具有多角锥形的衬底架，在生长中这些架子进行旋转，从而获得较好的厚度均匀性。如果单看多角锥形中的一个面的衬底架，它和石英管壁之间的相对关系同卧式炉是相同的。而且石英管壁的曲率在大型炉中接近于平面，所以与气流垂直方向上的厚度分布比较好。但是，由于旋转支架，喷嘴上的喷口接近晶片，自由空间太宽等等，所以同卧式炉相比，在厚度分布控制方面，条件的设定比较困难。

#### 2.4.2 各批间的偏差控制

对于外延层厚度的控制，由于所用的原料不同，控制方法也不一样。如果送进反应管内的原料浓度和衬底的温度是一定的，那末，从理论上讲，膜厚也应是一定的。因此至少要确实满足这两个条件。在这两个条件中，前者比较困难。当采用  $\text{SiCl}_4$  和  $\text{SiHCl}_3$  等液体原料时，为了使这些原料在运载气体中饱和后再输送，必须通过气化器。但由于原料的蒸发量决定于容器的温度（原料的气化需要气化热，从而使温度逐渐下降）和液量等条件，所以很难控制。最近安装了 MFC，并且还有使运载气体中的原料浓度恒定的装置。另外，对于  $\text{SiH}_4$  和  $\text{SiH}_2\text{Cl}_2$  等气体原料，可以通过用 MFC 直接控制气体流量，从而控制送入反应管的输入量。MFC 的控制精度一般在 1~2%（公认），所以厚度的控制精度也理应达到这种程度。但是这些气体状态的原料和  $\text{SiCl}_4$  等相比容易发生热分解，所以容易在反应管壁及其它石英夹具上淀积。因此，气体原料在到达衬底之前浓度一直在变化，影响厚度的控制。在采用  $\text{SiHCl}_3$  和  $\text{SiCl}_4$  等液体原料的情况下，也可直接测量反应管入口处的浓度，再把它换算成气化器运载气体流量。图 2-20 就是由铃木等人<sup>[32]</sup>所作的这种试验的一例。他们采用红外吸收法进行  $\text{SiHCl}_3$  的浓度测量，这种测量法也适用于  $\text{SiCl}_4$ 。

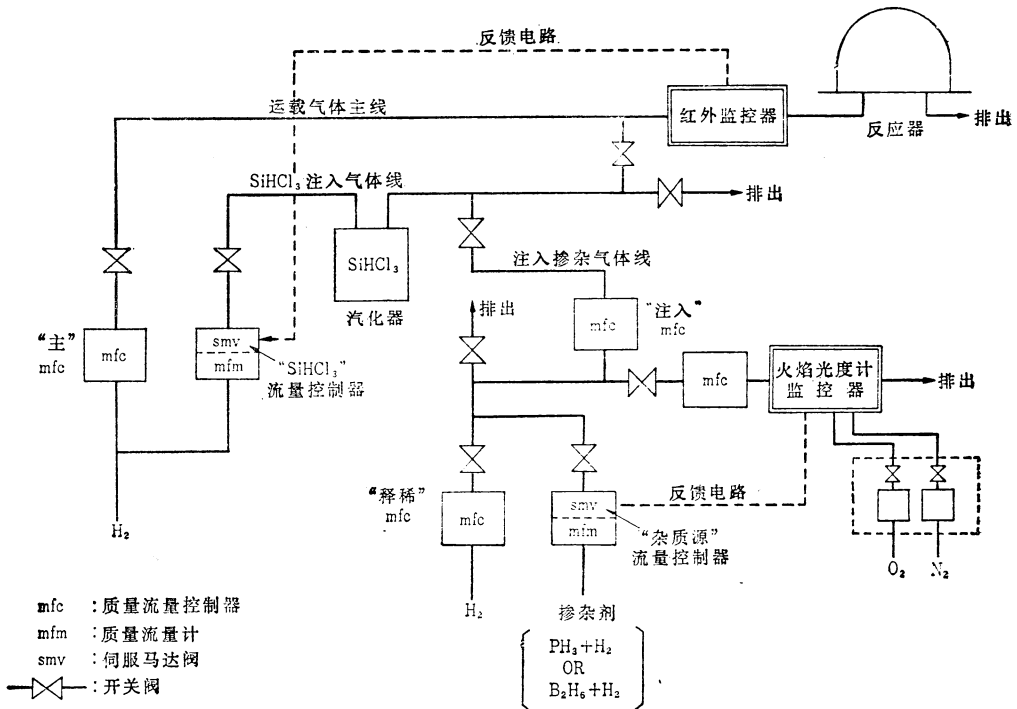


图2-20 在外延生长装置中气体浓度监控的应用例子<sup>[32]</sup>

以上所讲的控制方法，都是为了使反应管入口的气体浓度保持一定，进入反应管之后的气体的情况，只要确定了炉子的结构，就不可能从外部进行任何控制了。即炉中的气体情况，从晶片的外延膜厚度和电阻率方面来看简直是一种暗箱。最近有人进行了旨在解决这种状况的一些试验。其中之一是直接测量生长中的膜厚，另一种是直接测量反应管内的气体浓度。关于前者，菅原等人<sup>[83]、[84]</sup>采用红外辐射法对外延膜厚度进行监控。也就是，在硅衬底内注入氮离子，在衬底表面上形成 $\text{Si}_3\text{N}_4$ 膜，然后再在上面生长一层外延层，或者在 $\text{SiO}_2$ 和 $\text{Si}_3\text{N}_4$ 膜上生长上多晶膜，用这个绝缘膜和硅之间的辐射红外光的干涉来当场监控外延层膜厚。在图 2-21 中表示了(111)面上的外延层的厚度和多晶硅厚度的关系，已经取得了非常良好的相关性，菅原等人采用这种红外辐射法获得了 $\pm 0.03\mu\text{m}$ 的控制精度。过去用 SOS 和 CVD- $\text{SiO}_2$ 等也进行了类似的试验<sup>[85]~[88]</sup>，作为适用于硅外延生长的例子是很宝贵的。

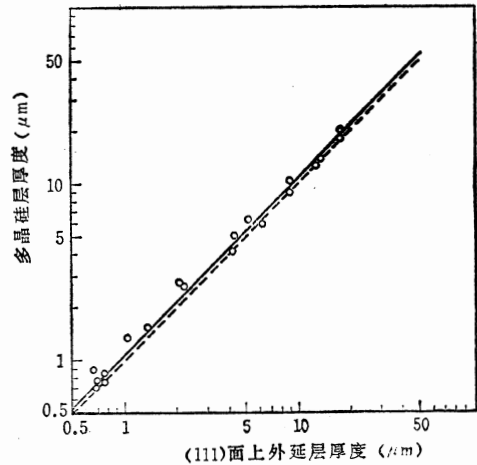


图2-21  $\text{SiO}_2$ 上的多晶硅膜厚度和(111)面上外延层厚度的相关关系<sup>[83]</sup>

关于直接测量反应管内的气体浓度的方法，已经报导的有红外线吸收法<sup>[28]</sup>、质量分析法<sup>[26]</sup>、激光拉曼分光法<sup>[80]</sup>，等等。前两种方法是从反应管内把气体样品取出进行分析。而激光拉曼分光法是直接测量炉内某体积中的气体成分。

图 2-22 是通过质量分析法测量卧式炉中基座上气体浓度的一种设备<sup>[29]</sup>。由金属波纹管上下移动毛细管的针头，来改变取样位置。Ban 等人暗示，通过这种设备分析炉内的气体成分，作为控制硅外延生长速度的因素， $\text{SiCl}_2$ 有重要的作用<sup>[28]</sup>。图 2-23 是 Sedgwick 等人所报导的采用激光拉曼分光法测量炉内气体成分的一种分析装置<sup>[80]</sup>。这种设备的特点，是不需要气体的取样就可以真正作到现场监控，进而还可以测量气体温度。但是担心激光照射会促进反应。Sedgwick 等人还指出了 $\text{SiCl}_2$ 的重要性<sup>[80]</sup>。

如上所述，过去一直被认为是“暗箱”的炉内质量传递和气体反应，相当一部分已经搞清楚了，期望利用这一成果，能够研制出更好的膜厚现场监控方法。

电阻率的控制与膜厚控制相比，不确定的因素更多。掺杂的杂质一般在 n 型中采用  $\text{PH}_3$ (磷化氢)、 $\text{AsH}_3$ (胂)；在 p 型中采用  $\text{B}_2\text{H}_6$ (乙硼烷)。而这些气体在基本气体 ( $\text{H}_2$  或  $\text{Ar}$ 、 $\text{He}$ ) 中稀释，以 1~100ppm 的浓度充入氧气瓶中。把这些气体在运载气体中再进行稀释，然后送到反应管内，因此在运载气体中，掺杂剂的克分子浓度在  $10^{-4}$  以下，是非常稀薄的。所以微少流量的控制困难，气瓶内浓度不均匀并随时变化，气体吸附到气体管道和反应管壁上等，这些都是妨碍各批之间杂质浓度控制的因素。对反应炉内的电阻率进行现场监控非常困难，从目前来看，最好的方法是在离反应管入口尽可能近的地方，在管道上测量运载气体中的掺杂剂气体浓度，并在气体流量控制系统中加上反馈。虽说是检测掺杂剂气体浓度，但由于浓度非常小，所以检测的方法并不多。图2-20是采用 FPD 法进行掺杂剂监控的例子<sup>[82]</sup>。



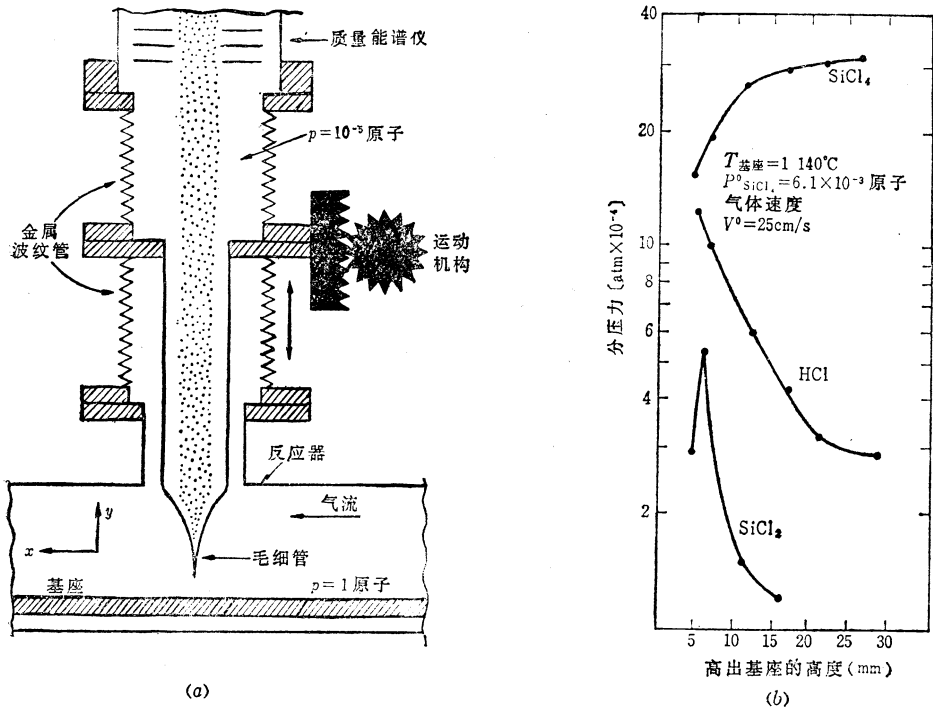


图2-22 用质量分析计测量反应管中气体浓度的例子<sup>[26]</sup>  
(a) 装置略图; (b) 测量结果。

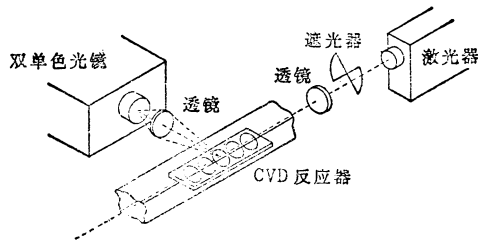


图2-23 激光拉曼分光法的装置简图

能用这种方法监控的有  $\text{PH}_3$  和  $\text{B}_2\text{H}_6$ ，控制的下限是几十到几百 ppb。由于对送进反应管的气体浓度进行现场监控，所以能把各批间电阻率的偏差缩小到原来的  $\frac{1}{2}$  左右。当外延层变薄时，由衬底产生的自掺杂以及生长初期掺杂剂浓度的变化也不能忽视。有关这方面的情况在下一节讨论。

## 2.5 自掺杂

### 2.5.1 外延层中的杂质浓度分布

在高密度双极 LSI 所用的薄外延层生长工艺中，最大问题之一是控制由衬底造成的自掺杂。由于自掺杂在衬底和外延层的界面上最为严重，所以外延层越薄其影响也就越大。当然如果没有自掺杂现象最好，但只要采用高浓度衬底，其影响或多或少总是不可避免的。如上所述，对于双极 LSI 来说，为了减小集电区电阻，在衬底中通过扩散形成副集电区

(称做埋层, 一般以 As 和 Sb 为杂质)。但当元件密度增大时, 由该埋层产生的自掺杂也要增大。在双极 LSI 情况下, 如果把自掺杂分为  $n^+$  埋层上方和埋层以外两部分来考虑则比较方便。把埋层正上方(即形成元件的区域)的自掺杂称作纵向自掺杂, 把埋层以外的部分(即元件隔离区域)的自掺杂称作横向自掺杂。无论哪种情况, 自掺杂现象本身是相同的, 而且埋层正上方的自掺杂量最大。

图 2-24 是表示存在自掺杂现象时  $n^+$  埋层上方载流子浓度分布的一例。该曲线分三个区域: I 主要由向外扩散形成的区域; II 由自掺杂形成的区域; III 由外延掺杂形成的区域。当区域 I 和 II 的厚度在膜厚整体中所占的比例大时, 被控制的区域 III 必然变薄, 这样, 在很多情况下元件特性达不到设计要求。由于区域 I 大致是由扩散来决定的, 所以为了减少该区域的厚度, 应尽量降低外延温度, 同时希望尽可能采用扩散系数小的杂质 ( $n$  型杂质的扩散系数按铟、砷、磷的顺序变大)。由于在外延层薄的情况下生长时间也短, 所以通常即使采用砷, 区域 I 的厚度也在  $0.1\mu\text{m}$  以下。有关这个区域的理论研究, 已有许多报告, 详细情况请参考阿部的说明<sup>[49]</sup>。

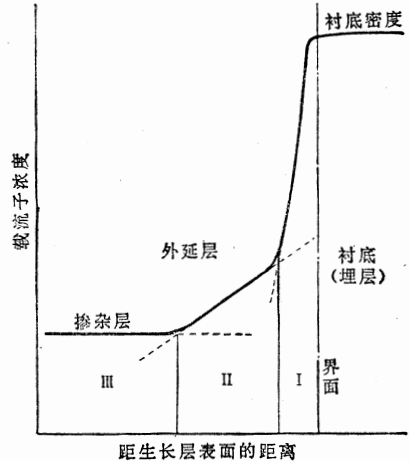


图2-24 高浓度衬底上外延层内的载流子浓度分布模型图

关于自掺杂, 以前也有许多研究人员进行了研究。但由于生长条件等的不同, 所得数据彼此差异很大, 还没有取得一致见解。

### 2.5.2 减少自掺杂的方法

关于自掺杂的机理暂且不谈, 先讲一下减少自掺杂的方法。如前所述, 自掺杂是不必要地从衬底向外延层扩散杂质, 因为很难控制, 所以希望尽可能减少。为了减少自掺杂, 可以减少从衬底蒸发的杂质质量, 或者尽量使蒸发出的杂质不扩散到外延层中, 为此可采用下列方法:

- ① 用  $\text{SiO}_2$  或高纯度硅等覆盖衬底背面<sup>[41][42]</sup>;
- ② 衬底掺杂剂采用铟<sup>[48]</sup>;
- ③ 采用两步外延生长法<sup>[44]</sup>;
- ④ 采用  $\text{SiH}_4$  等不含 Cl 的原料<sup>[42][45]</sup>;
- ⑤ 用减压外延生长法<sup>[46]~[49]</sup>; 等等。

下面对各项稍加解释:

① 这种方法是根据衬底背面常常会成为杂质的供给源这一想法所采用的, 是行之有效的措施。但在像双极 LSI 那样仅在表面有高浓度层的情况下, 不需要这种方法。当背面也有扩散层时, 可用腐蚀的方法去掉扩散层。

② 由于铟的蒸汽压力低, 并且迁移率(汽相中的杂质扩散到固体中的比例)又小<sup>[48~50]</sup>, 所以和砷相比自掺杂要少。但铟在硅中的固溶度小, 所以在需要低电阻衬底时不能使用。

③ 两步外延生长法，就是在生长初期待外延层薄薄地覆盖在高浓度层上之后，稍中断一会生长，等到汽相中的杂质浓度变得非常低的时候，再开始生长（见图 2-25）。这种方法对防止纵向自掺杂有效（见图 2-26），而对于防止在界面上有最大值的横向自掺杂不怎么有效。

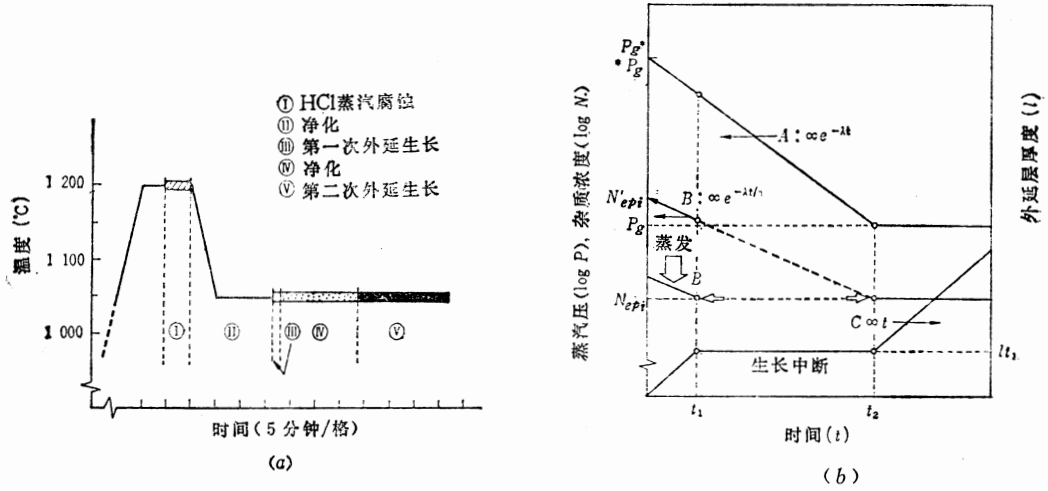


图2-25 两步外延生长法中的温度程序表(a)和滞流层内的气体浓度以及外延层厚度随时间的变化(b)<sup>[44]</sup>

A: 滞流层的杂质浓度, B: 外延层中的杂质浓度, C: 外延层厚度。

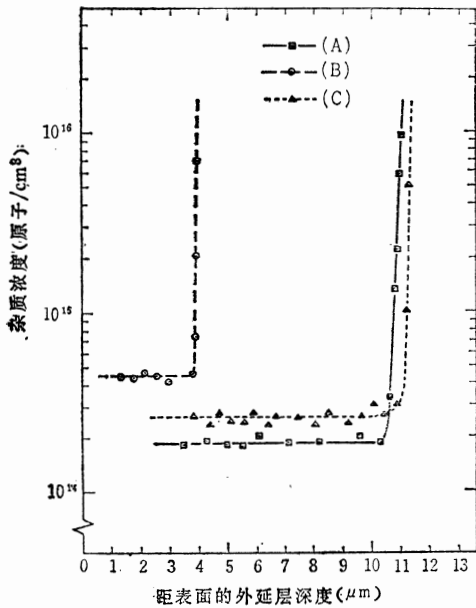


图2-26 采用两步外延法时的载流子浓度分布<sup>[44]</sup>

(A) — 在N<sup>+</sup>(As)层上的N型(As)杂质; (B) — 在N<sup>+</sup>(Sb)层上的N型(As)杂质; (C) — 在P<sup>+</sup>(B)层上的P型(B)杂质。

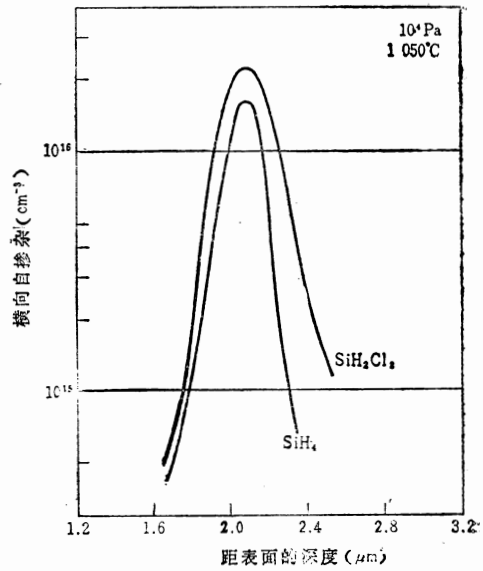


图2-27 SiH<sub>4</sub>和SiH<sub>2</sub>Cl<sub>2</sub>自掺杂的差异(As埋层)

④ 由于  $\text{SiH}_4$  对衬底没有腐蚀作用, 所以认为其自掺杂比  $\text{SiCl}_4$  要少。支持这种看法的实验例子也比较多。但另一方面, 藤林等人认为  $\text{SiH}_4$  和  $\text{SiHCl}_3$  的自掺杂的程度相同<sup>[51]</sup>。也有人认为在生长过程中添加  $\text{HCl}$ , 可以使硼的自掺杂减小<sup>[52]</sup>。目前还没有得到统一的见解。但是根据我们的实验, 含有  $\text{HCl}$  的  $\text{SiH}_2\text{Cl}_2$  同  $\text{SiH}_4$  相比, 自掺杂要严重些(如图2-27)<sup>[53]</sup>。上述各种实验结果之间的差异, 主要是由于实验条件, 特别是掺杂剂的种类和生长温度等的不同造成的。图2-27的结果也表示了当杂质种类和生长条件不同时, 自掺杂程度的不同。

⑤ 有的认为自掺杂主要是由于从衬底蒸发出的杂质暂时停留在衬底上的滞流层中, 然后再扩散到外延层中<sup>[54]</sup>。把这种滞留层中的杂质在低压下迅速除掉, 这是低压外延生长的基本想法<sup>[46]</sup>。在我们的实验结果中, 横向自掺杂的量与压力成正比例(如图2-28), 所以在  $1/10$  的气压下, 自掺杂量约降为原来的  $1/10$ , 具有显著的效果<sup>[48]</sup>。这种现象可用从衬底中放出的杂质原子的分压与反应管内的总压成正比而变化来解释。

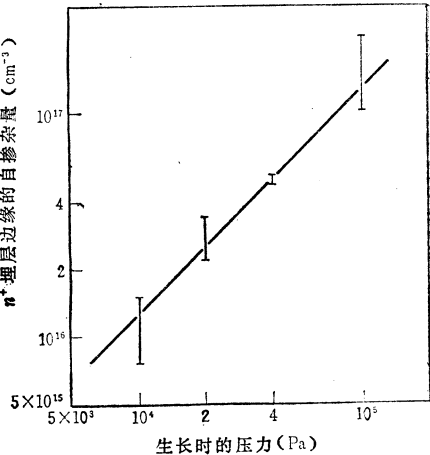


图2-28 横向自掺杂与生长时压力的关系

上面介绍了几种减少自掺杂的方法, 但要根据元件种类和所需特性采取适当的方法。

### 2.5.3 自掺杂的机理和各种生长参数的影响

自掺杂随外延生长条件而变化。如果按其影响大小的顺序例举的话, 就是: (1) 生长温度; (2) 生长前退火条件; (3) 生长速度; (4) 气流流速; 等等。此外, 生长炉的形状也会引起变化。所谓生长炉形状的影响最终还是归结于炉内的气体流速分布, 因此没有过多地进行这方面的研究。

图2-29所示是生长温度对横向自掺杂的影响<sup>[49], [55]</sup>。在该情况下, 在整个温度区间是通过调节原料气体 ( $\text{SiH}_4$ ) 的浓度, 而使生长速度保持为  $\sim 0.4 \mu\text{m}/\text{min}$ 。如图所示, 自掺杂随生长温度的降低而增大, 而且曲线对横轴的倾角变小, 这也是它的一个特点。

最近 Srinivasan<sup>[56]</sup>也报导了自掺杂与生长温度的上述关系。图2-30是一个例子。在该图中, 在生长速度为  $0.25 \mu\text{m}/\text{min}$  的情况下, 在  $1000^\circ\text{C}$  时横向自掺杂达到最大值, 温度高于或低于  $1000^\circ\text{C}$  时, 自掺杂浓度将要下降。这种现象在我们的实验中没有观察到。如图2-29所表示的那样, 外延层内的自掺杂分布在单对数坐标系中是直线。而这种现象本身和以前 C. O. Thomas 等人的对流模型是相同的。根据这种模型(图2-31), 来自衬底的自掺杂可以用下式来表示:

$$N_x = N_0^* e^{-\phi x} + A(1 - e^{-\phi x}) \quad (2.10)$$

式中,  $N_x$  是与界面的距离为  $x$  处的外延层中载流子浓度,  $N_0^*$  是在衬底-外延层界面上的自掺杂量,  $x$  是距界面的距离,  $A$  和  $\phi$  是常数。常数  $\phi$  相对于生成温度也呈现出与图2-29相同的倾向。这是由 C. O. Thomas 等人提出的。根据图2-29所示, 从开始生长经过一分

钟之后（距界面约 $0.5\mu\text{m}$ 的位置），在靠衬底非常近的地方残留的砷量约为最大值的  $1/3$ ，这一点用一般的汽相扩散模型是不能说明的。那末，如果认为从衬底放出来的砷原子被衬底表面所吸附，则正好能说明图 2-29 的变化。Srinivasan 也暗示，由于用通常的平衡态模型不能够说明自掺杂，所以需要考虑某些抑制机理<sup>[56]</sup>。另外，田部等人<sup>[59][60]</sup>将吸附模型应用于掺杂和自掺杂现象，充分地说明了实验结果。

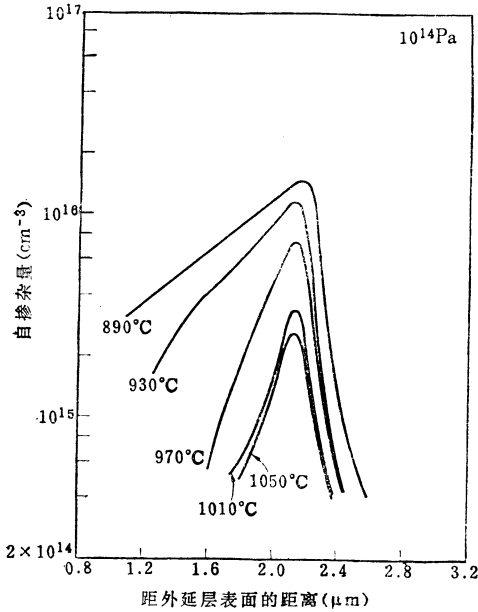


图2-29 生长温度对横向自掺杂的影响<sup>[49]</sup>

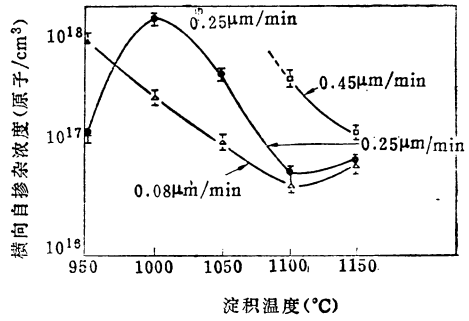


图2-30 生长温度对横向自掺杂的影响<sup>[56]</sup>

对于圆盘式生长炉，由于气流分析比较困难，因而关于自掺杂机理的报导也很少。Bozler<sup>[61]</sup>采用圆盘式生长炉研究了减少自掺杂的方法。他在圆形基座上方约  $0.5\text{mm}$  处设置一个石英制的滑动片，用以干扰衬底上方的气流，实验结果表明滑动片没有产生影响。假如在晶片上方存在所谓的滞流层，一般该层的厚度是几毫米，所以理应受到滑动片的影响。根据这个试验也可以说证实了吸附模型比滞流层模型更正确。

下面介绍生长前退火的影响。当然，如果在高温下进行长时间的退火，则  $n^+$  (或  $p^+$ ) 层表面浓度要降低，自掺杂量也要减少。图 2-32 是一个例子<sup>[56]</sup>。在  $\text{H}_2$  中退火也是在低压条件下进行时的效果大<sup>[46]</sup>。关于在  $\text{H}_2$  中退火时杂质从衬底向外扩散的问题，前面提到的 Srinivasan 已进行了详细的研究<sup>[56]</sup>。

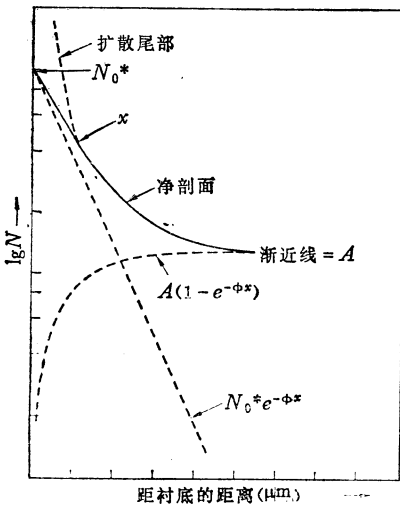


图2-31 自掺杂的对流模型<sup>[58]</sup>

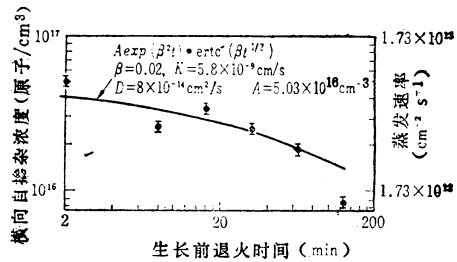


图2-32 生长前退火时间对砷自掺杂的影响（温度 $1150^\circ\text{C}$ ，生长速度  $0.25\mu\text{m}/\text{min}$ ）<sup>[56]</sup>

下面讲一下生长速度对自掺杂的影响。一般生长速度快时自掺杂就大<sup>[61]</sup>，图 2-33 是一个例子。通常认为，这是由于生长速度越慢，生长过程中的杂质逸散越多的缘故。前面所提到的 Bozler<sup>[61]</sup> 提出了关于在圆盘式生长炉中自掺杂的公式，清楚地说明了各种参数的影响。即自掺杂量  $N$  为

$$N = hC_0 \exp\left(-\frac{kf}{VG}x\right) + B_0 \frac{V}{f} \times \exp\left(-\frac{\eta}{G}x\right) \quad (2.11)$$

式中， $h$ 、 $k$ 、 $B_0$  和  $\eta$  都是常数； $C_0$  是气体中杂质初始浓度， $f$  是气体流量， $V$  是基座上方的自由空间， $G$  是生长速度。根据 (2.11) 式，如果气体流速增大，则  $N$  减小，而生长速度  $G$  增大时，则  $N$  增大。

如上所述，自掺杂随各种生长参数而变化。表 2-8 定性地表示出目前所知道的各种生长参数的影响。根据该表中所表示的倾向，设法使生长参数达到最佳化，可以将自掺杂控制在一般程度的十分之一以下。

表 2-8 各种生长参数对 As 的自掺杂量 ( $N$ ) 的影响

| 生长参数                  | 对自掺杂的影响    |   | 试验范围                                | 重要性* |
|-----------------------|------------|---|-------------------------------------|------|
| 生长时的压力 ( $P_G$ )      | $dN/dP_G$  | + | 10~760 托 (1330~10 <sup>5</sup> Pa)  | A    |
| 生长时的温度 ( $T_G$ )      | $dN/dT_G$  | - | 850~1100°C                          | A    |
| 生长速度 ( $R_G$ )        | $dN/dR_G$  | + | 0.03~0.8 $\mu\text{m}/\text{min}$   | B    |
| 气体流速 ( $f$ )          | $dN/df$    | - | 10~40 l/min                         | C    |
| 生长前退火时间 ( $t_A$ )     | $dN/dt_A$  | - | 0~60min                             | B    |
| 生长前退火温度 ( $T_A$ )     | $dN/dT_A$  | - | 1000~1100°C                         | A    |
| 生长前退火压力 ( $P_A$ )     | $dN/dP_A$  | + | 10~760 托 (1330~10 <sup>5</sup> Pa)  | C    |
| 原料中的 Cl 浓度 ( $[Cl]$ ) | $dN/d[Cl]$ | + | SiH <sub>4</sub> ~SiCl <sub>4</sub> | B    |

注：\* 重要性：A—影响大；B—影响稍大；C—影响小。

#### 2.5.4 埋层和自掺杂

对于双极 LSI，一般是从  $p^-$  衬底表面向内部扩散 As(或 Sb)，形成分散在各点上的埋层，再在上面生长外延层。在这种情况下，自掺杂量随着  $n^+$  埋层的大小以及离开埋层的距离而变化。图 2-34 所示的例子，便是在晶片中央正方形的区域里扩散 As (表面浓度约  $5 \times 10^{19} \text{cm}^{-3}$ )，在其上面生长外延层，然后分析其中自掺杂的分布所获得的结果<sup>[62]</sup>。正如图中所表示的那样，当  $n^+$  埋层的面积增大时，自掺杂急剧增加，离开  $n^+$  埋层的距离的影响也变小。图 2-34 中所采用的样片是中央存在大的埋层的情况。而实际的 LSI，其  $n^+$  埋层从几微米到几百微米大小不等，并分散在多处。在这种情况下，晶片上任意一点的横向自

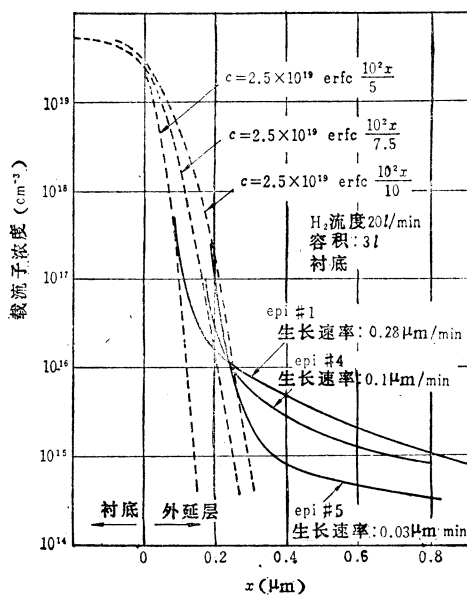


图 2-33 生长速度对自掺杂的影响<sup>[61]</sup>

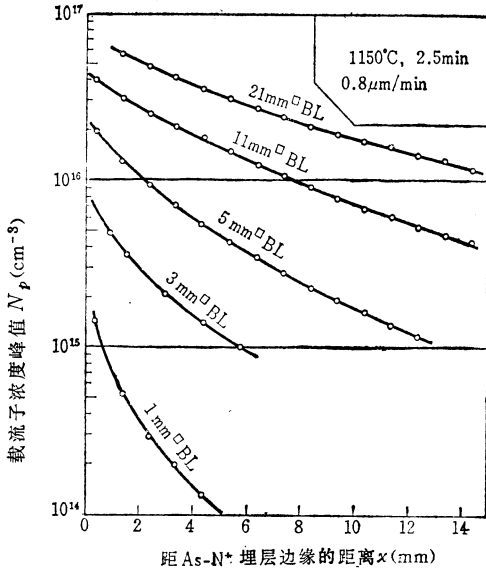


图2-34 横向自掺杂量同离开  $n^+$  埋层 (BL) 的距离的关系<sup>(62)</sup>

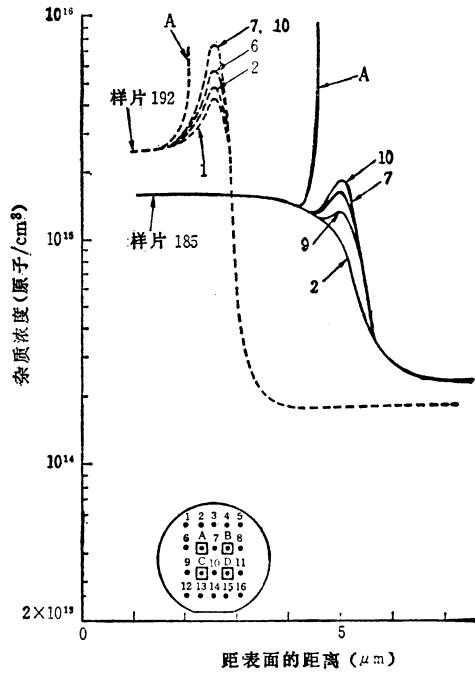


图2-35 由分布在晶片内4点的埋层产生的自掺杂分布<sup>(63)</sup>

As-N<sup>+</sup>埋层  $N_s = 2 \times 10^{19} \text{ (cm}^{-3}\text{)}$

样片185  $\text{SiCl}_4$ , 1150°C 样片192  $\text{SiH}_4$ , 1050°C

掺杂量又是怎样变化的呢？三桥等人<sup>(63)</sup>在晶片中作了4个1mm见方的埋层，间隔3mm，然后分析在晶片内各点的自掺杂量，得出了图2-35所示的结果。川村等人进一步采用实际的高密度LSI图形，分析了 $n^+$ 埋层的面积、分布和形状对横向自掺杂的影响，从而得出下面的结论。即晶片内的横向自掺杂分布同 $n^+$ 埋层的分布、形状或者离 $n^+$ 埋层的距离几乎没有什么关系，而仅对其面积比有关系。而且自掺杂量 $N$ ，当采用 $\text{SiCl}_4$ 、在1150°C

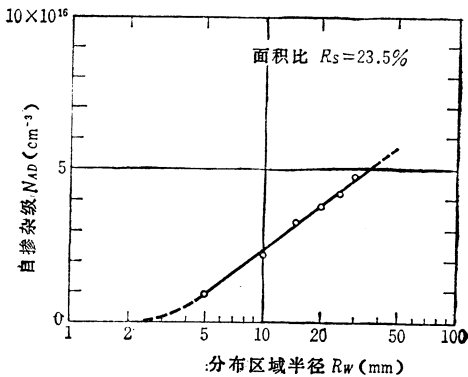


图2-36  $n^+$ 埋层分布区域的半径和自掺杂量的关系<sup>(64)</sup>

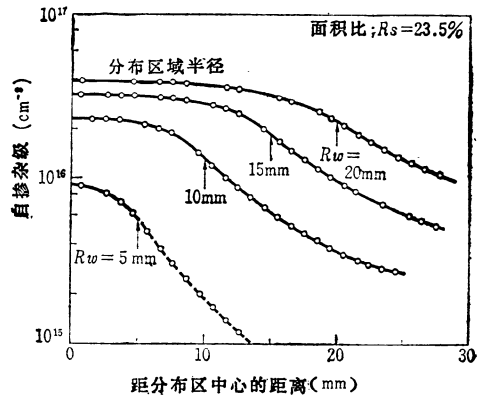


图2-37  $n^+$ 埋层分散在晶片内时的自掺杂分布 (埋层分布区域半径 $R_w$ ，生长温度1150°C,  $\text{SiCl}_4$ )<sup>(64)</sup>

下生长时，可用下式表示：

$$N = 0.9 \times R_s (1.15 + \ln R_w) \times 10^{15} \text{ cm}^{-3} \quad (2.12)$$

式中， $R_s$  表示分散在各点上的埋层与整个区域的面积比（%）， $R_w$  表示分散在各点上的埋层区域整体的大小（半径  $R_w$ , cm）。图 2-36 中表示  $n^+$  埋层的面积比与自掺杂的关系。在整个晶片中，如果埋层均匀地分散在各点，则除了晶片边缘部分之外，至少从宏观上看，横向自掺杂量在晶片内大致是均匀的（见图 2-37）。但是，从微观上看，上述的结果并不能保证在  $n^+$  埋层附近的自掺杂量也是均匀的。当  $n^+$  埋层的间隔在微米数量级时，用  $n^+$ - $n^+$  之间的隔离电阻进行分析是最简便且实际可行的测试方法。

## 2.6 图形的塌边和错位

双极 LSI 在  $n^+$  埋层的光刻工艺中，衬底表面上要做成几百毫微米的台阶，这样就使下道工序中的掩模对准变得容易。这个台阶在外延生长工艺中有时会产生错位或塌边现象（见图 2-38）。如果这种塌边（造成图形模糊）和错位（造成图形偏移）比较大的话，则副集电区的  $n^+$  埋层和晶体管本身的位置会发生偏移，造成元件隔离不良等，从而影响元件特性。特别是在高密度 LSI 中，由于光刻工艺的对准余量小，所以塌边和错位在  $0.5 \mu\text{m}$  左右就会出现。一般情况下，外延层的厚度越大，则塌边和错位越大，因此，它的大小通常采用归一化值来表示，即用外延层的厚度  $d_{Epi}$  去除塌边和错位的绝对值。当  $d_{Epi}$  小时，塌边和错位的绝对值也小，在  $1 \mu\text{m}$  以下。所以测量时一般都根据  $d_{Epi}$  大的情况来推断。塌边和错位与生长条件、特别是生长温度和原料的种类有很大的关系。同时也会受到衬底晶面的影响。一般来说，氯化物原料的塌边和错位都比  $\text{SiH}_4$  大，而生长温度高时则比温度低时小。

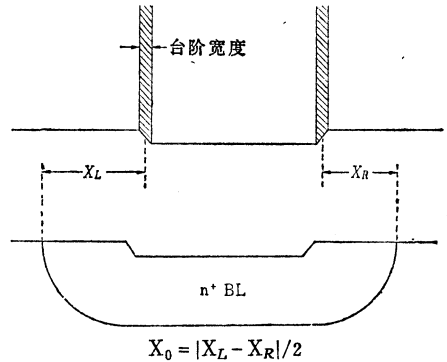


图 2-38  $n^+$  埋层 (BL) 台阶的塌边和错位的模型图

图 2-39 表示用  $\text{SiH}_2\text{Cl}_2$  原料在 (100) 面上进行外延生长时温度的影响。很明显，温度高时图形的塌边小。产生塌边的原因是由于在生长中形成了小平面的，并且台阶的倾斜随着生长渐渐变小。

关于 (111) 面的情况示于图 2-40<sup>[65]</sup>。在 (111) 面的情况下，把晶面朝 (110) 面向偏离几度，能够减小图形的塌边和错位（图 2-41）<sup>[65]</sup>。这与小平面的形成有关。在 (111) 面边缘的小平面宽度  $\alpha$  与台阶的高度及偏离 (111) 面的角度（偏角） $\alpha$  的关系可用下式表示：

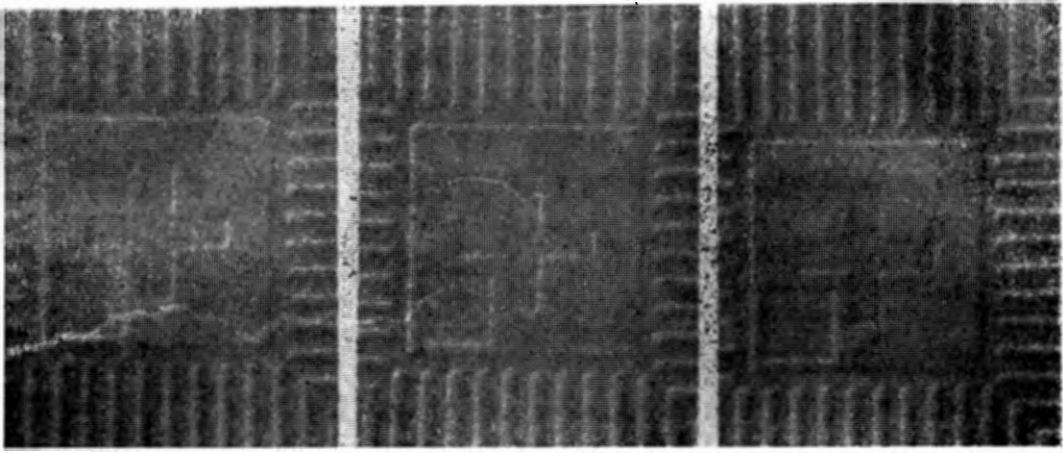
$$\sigma = h / \text{tg } \alpha \quad (2.13)$$

另外，关于 (100) 面的情况如图 2-42 所示，图形的错位随着偏离 (100) 面的角度的增大而增大<sup>[66]</sup>。至于图形塌边，我们测量的结果是随着偏角（朝 (100) 面的方向）增大而急剧减小（图 2-43）。

关于其它生长条件对塌边和错位的影响还没有得到较清楚的认识。P. H. Lee 等人报导了由于炉子型式所造成的图形错位的变化，但与以上所述没有太大的差别<sup>[62]</sup>。另外，据



我们所知，低压外延生长同常压生长相比，图形的塌边和错位都比较小，特别是(100)面<sup>[68]</sup>。



$T = 1000^{\circ}\text{C}$                        $T = 1050^{\circ}\text{C}$                        $T = 1100^{\circ}\text{C}$   
 图2-39 图形塌边随生长温度的变化 (从(100)面朝(110)面偏离 $4^{\circ}$ ,  
 $d_{epi} = 1.60^{\mu}\text{m}$ ,  $\text{SiH}_2\text{Cl}_2 10^4\text{Pa}$ )

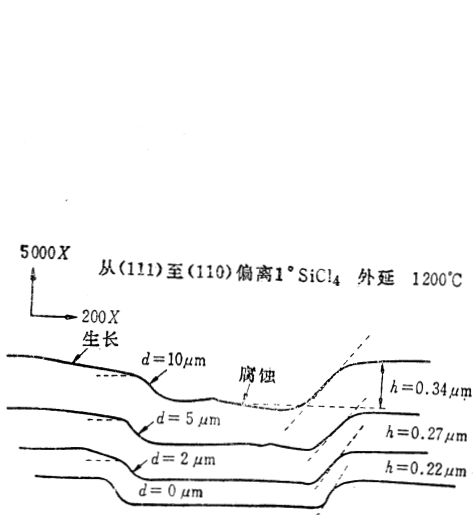


图2-40  $n^+$ 埋层台阶的塌边和错位<sup>[65]</sup>

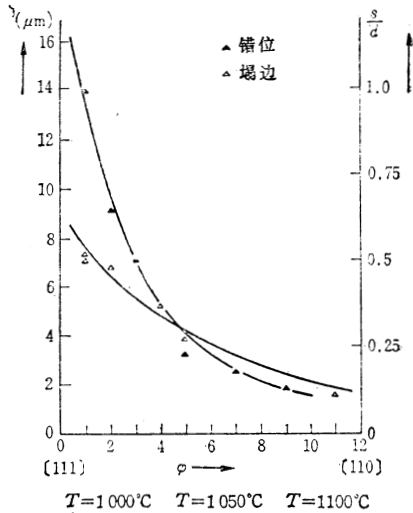
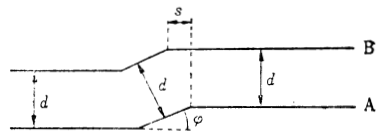


图2-41 偏离(111)面的角度和图形塌边、错位的关系<sup>[65]</sup>

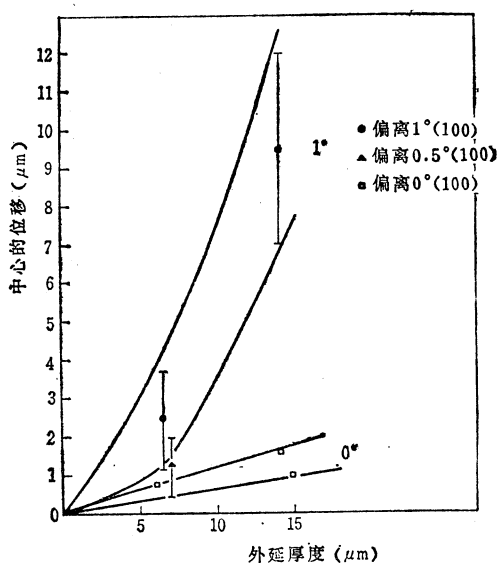


图2-42 偏离(100)面角度的大小与图形错位的关系<sup>[66]</sup>

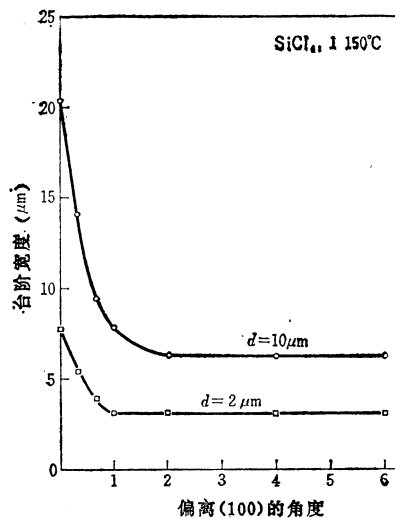


图2-43 偏离(100)面的角度和塌边的关系

## 2.7 外延层中的晶体缺陷

外延层中的晶体缺陷，有位错、堆垛层错、沉积物、异物和氧化引起的缺陷等。从广义上说，缺陷也包括氧、碳、重金属等杂质以及原子空位和填隙原子等点缺陷。在六十年代的硅外延生长中，堆垛层错出现很多，有关这方面的报导也比较多。堆垛层错大多发生于外延层和衬底之间的界面，也有时利用表面的堆垛层错大小来测量膜厚。作为堆垛层错的起因有以下几种：

- ① 衬底表面的损伤和沾污<sup>[69]</sup>；
- ② 气体中的杂质，特别是烃（CH<sub>4</sub>等）等含碳的化合物<sup>[70]~[72]</sup>；
- ③ 衬底中的缺陷，例如位错环<sup>[73]</sup>和沉积物等。

此外有关堆垛层错的结构也有许多报导<sup>[74]</sup>。

由于对堆垛层错方面的许多研究成果，使得在目前的生产中外延层的堆垛层错几乎看不到了（密度在0~几个/cm<sup>2</sup>的数量级）。改进之处主要有以下几点：

针对①，引进高标准的净化台，改进衬底表面的研磨法，改善衬底的处理方法和衬底清洗方法等。

针对②，对运载气体 H<sub>2</sub> 和净化气体 N<sub>2</sub> 进行纯化，使用高纯度的原料。另外，不锈钢管道等管道材料的改进也是不可忽视的一大进步因素。

针对③，提高衬底质量起到了很大的作用。特别是最近的大直径衬底都是无位错的，漩涡等缺陷也非常少。

在生长后不作任何处理时，所看到的外延层中的异物（漩涡和损伤等）等缺陷数，通过装备净化台和改进晶片处理方法等，已经可以控制到接近于零的程度。但是当外延生长后进行所谓 OS 处理（氧化 Sirtl 腐蚀——最近不仅采用 Sirtl 腐蚀液，也大量使用表 2-5 中

所示的其它一些较好的腐蚀液)时,出现了几种缺陷。典型的缺陷有OSF。有关OSF的一般性质,已有许多报导<sup>[75]~[78]</sup>。这种缺陷的存在,对高密度双极LSI元件的特性来说是致命的,这种线缺陷(堆垛层错是面缺陷,所以在表面看成是直线状的),只要一部分接触到发射极,就会造成C-E短路。特别是当外延层的厚度在 $2\mu\text{m}$ 以下、基极宽度在 $0.2\mu\text{m}$ 左右的情况下,这种影响更大。这种现象被认为是由于沿着OSF周围的半位错扩散增强的结果。在LSI工艺中,从外延生长后到发射区扩散前,中间一定要经过氧化工艺,所以在高密度双极LSI中需要质量极高的外延层。在图2-44<sup>[69]</sup>中表示了OSF密度和晶体管废品率之间的关系。这种废品的绝大部分都是由于 $BVC_{EO}$ 不好,即由于C-E短路所造成的。以图2-44为基础,计算集成 $6 \times 10^4$ 个和 $10^5$ 个发射区面积为 $4\mu\text{m}^2$ 的晶体管的芯片的成品率,得出图4-45所示的结果。元件数在10万个的情况下,为了使除布线工艺之外的芯片成品率达到10%以上,OSF密度必须在50个/ $\text{cm}^2$ 以下。在实际的LSI工艺中,双极LSI中的OSF产生几乎都在形成隔离区域之前,即集中在外延生长期间,从这一点来考虑可以知道,在外延工艺中的缺陷控制,特别是OSF的控制,是提高成品率的重要关键。那末,如何降低OSF呢?我认为OSF的产生有种种原因,而由重金属等造成的沾污是重要原因之一,所以必须尽量排除由外延生长工艺引起的这些沾污。为此需改善生长前的清洗、改善晶片处理以及防止基座和炉体的污染等等。也就是说,要使外延工艺(也包括前处理)达到完全净化。图2-46表示,在采取外延工艺净化措施前后,氧化隔离型双极LSI芯片成品率的变迁及隔离氧化膜形成后OSF密度的变化。明显地表现出净化的效果。

如上所述,工艺净化对减少OSF起着非常大的作用,而工艺上的污染又常常是在无

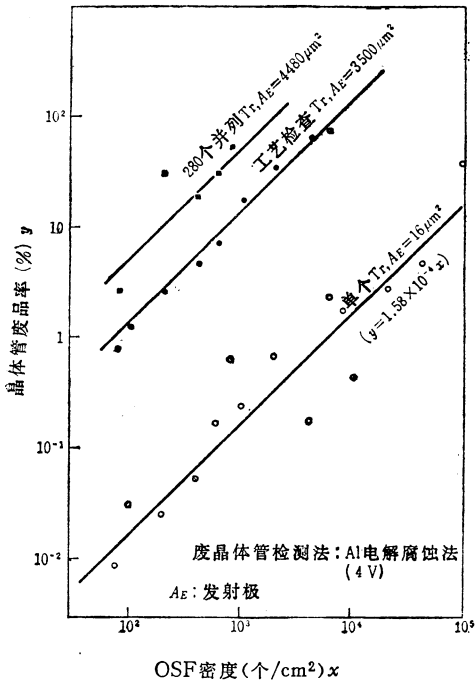


图2-44 OSF密度和晶体管 (Tr) 废品率的关系

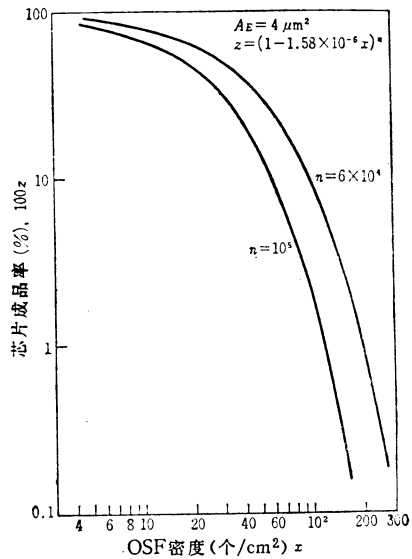


图2-45 OSF密度和LSI芯片成品率的关系 (n 是一块芯片内的晶体管数)

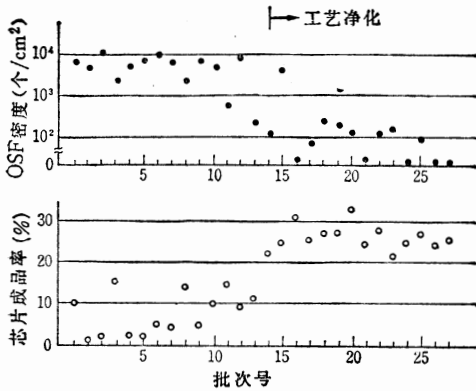


图2-46 氧化隔离型双极LSI芯片成品率及OSF密度的变化

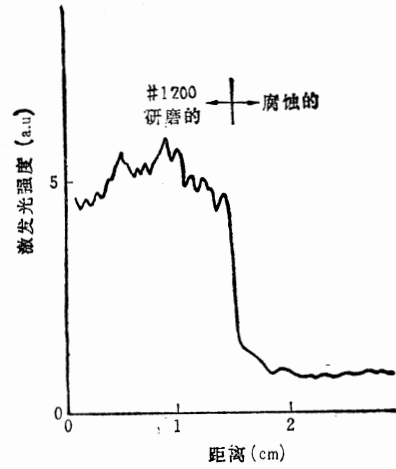


图2-47 外延生长后研磨晶片背面时的吸除作用 ( $1100^{\circ}\text{C} \times 2\text{h}$  湿氧氧化)<sup>[17]</sup>

意之中产生的。为了对付这种突然造成的污染，提出了称作杂质吸除的方法。所谓吸除，就是在晶片特定的部分（一般在背面）吸收重金属和碱金属等有害的杂质，把元件形成部分处理干净。这种方法在很早以前就有，如由PSG膜进行Na吸除等。Rozgonyi等人<sup>[80]~[82]</sup>又提出了POGO工艺，具体方法举出下列几种，即：

- ① 在背面造成机械形变；
- ② 在背面进行离子注入；
- ③ 在背面淀积一层 $\text{Si}_3\text{N}_4$ 膜；
- ④ 在背面进行高浓度的磷或硼等的扩散；
- ⑤ 在惰性气体中进行高温退火 ( $>1200^{\circ}\text{C}$ )；等等。

①~④的处理，都需要在该处理之后进行 $1000\sim 1200^{\circ}\text{C}$ 的退火。在外延层形成前后，通过上述的处理，事实上吸除了不需要的杂质和减少了缺陷密度。例如用光致发光法来测试由上述①的方法进行吸除的效果时，得出如图2-47所示的结果。这是在外延生长后进行背面研磨，被研磨的部分与没有进行的部分相比，可以看出光致发光强度提高近一个数量级。另外，OSF密度也大大减少。但是要在生产线中进行这种消除，还有一些基本的、生产经验的问题，如在工艺上加在什么地方好？会不会有吸除工艺本身的污染？吸除剂层在什么地方去掉？或者什么样的杂质可以被消除？等等。作为一般性的方法，还不能够说已经确立了。

最后讲一下由外延生长产生的滑移（位错）问题。位错多数是在扩散和外延生长等工艺中由热畸变引起的。大家都知道，这些位错是所谓星状图形，一般容易发生在晶片边缘。关于产生滑移的原因以及滑移对元件特性的影响，已有很多报导<sup>[83]~[85]</sup>，在此就不详细介绍了，但当外延层薄时，肯定会对结特性产生影响。图2-48表示高密度双极LSI芯片成品率和宏观滑移图形之间的对应关系。由图可以知道，在产生滑移的每个地方几乎都没有获得成品芯片。在外延工艺中产生滑移主要是由于衬底晶片的翘曲<sup>[86]</sup>。为了减少衬底翘曲的影响，曾试图在基座上加铰孔，但随着晶片直径的加大，滑移问题也变得更加严重了。就生长炉的加热方法来说，从晶片内的温度分布这点来看，红外灯加热方式比高频加

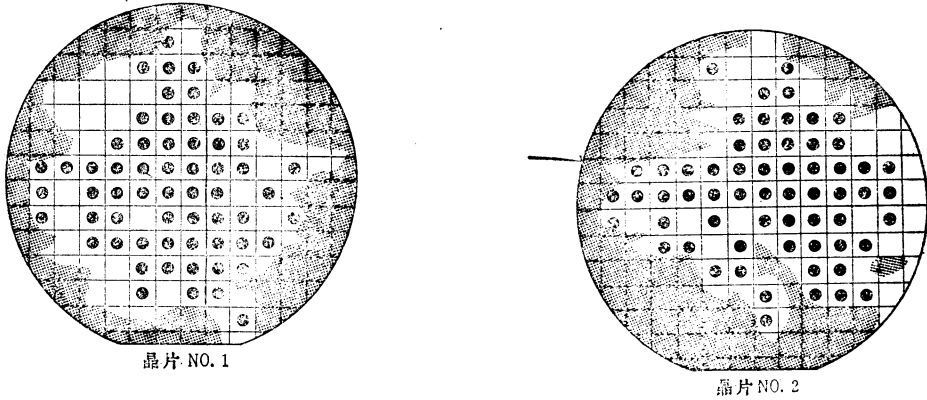


图2-48 主要在外延生长工艺中产生的热畸变滑移图形(阴影部分)和晶体管成品率的关系(●:成品)

热方式有利。另外低压外延法同一般的外延法相比,气流中的对流少,这是其缺点。

如上所述,要使外延生长工艺中产生的滑移达到最少程度,如前面所述,必须尽量减少衬底的翘曲,同时在外延生长的前一工序中也要尽量减少滑移。因为位错在进行传播和增殖时所需要的力比产生时所需要的力要小。

## 2.8 结 束 语

以上讲述了有关高密度双极 LSI 外延生长技术的各种问题。几乎所有问题不仅是上述外延生长的问题,而且是整个外延生长工艺中共同的问题。在自掺杂和缺陷以外的方面,可以说在厚的外延生长中难题更多一些。所以在本章中,除了高密度双极 LSI 的外延生长中特有的问题之外,也较多地列举了在整个外延生长中共同的问题。外延生长工艺被认为是半导体工业中比较成熟的技术,根据经验所确定的生长参数比较多,但决不能说是十分完善的技术。本章的目的也在于试图摆脱那种经验主义的方法,力求尽量搞清楚实验的基本条件,但以前数据的获得,其基本条件是多种多样的,要想把它们统一起来感到很困难。

最后,考虑到在双极 LSI 用外延生长中,最终还会存在晶体缺陷问题,因此希望今后能在这方面有更大进展。

## 参 考 文 献

- [1] 半導体研究振興会編:半導体研究 4,工業調査会(1969)
- [2] 村岡久志:半導体研究 7,半導体研究振興会編,工業調査会(1971)
- [3] 西沢潤一,新保雅文:半導体研究 11,半導体研究振興会編,工業調査会(1975)
- [4] 羽田祐一,中沼尚:半導体技術の最近の進歩,「物性」実験技術シリーズ V,「物性」編集委員会編,慎書店(1974)
- [5] J. W. Matthews ed.: Epitaxial Growth, Academic Press (1975)
- [6] R. M. Burger and R. P. Donovan ed.: Fundamentals of Silicon Integrated Device Technology, p. 347, Prentice-Hall Inc. (1967)
- [7] 半導体ハンドブック編集委員会編:半導体ハンドブック第 2 版,オーム社(1977)
- [8] E. Sirtl and A. Adler: Chromsäure-Flußsäure als spezifisches System zur Ätzenentwicklung auf Silizium, Z. Metallkd, 52, p. 529-531 (1961)
- [9] Digilabo社: FTG 取扱説明書
- [10] 野村正敬:半導体研究 4,半導体研究振興会編,工業調査会(1969)
- [11] L. J. van der Pauw: A Method of Measuring Specific Resistivity and Hall Effect of Discs of Arbitrary Shape, Philips Res. Repts, 13, No. 1, p. 1-9 (1958)
- [12] M. Zerbst: Relaxationseffekte an Halbleiter-

- Isolator-Grenzflächen, *Z. angew. Phys.*, **22**, p. 30—33 (1966)
- [13] J. Lindmayer and M. Kutsko : Reflection of Microwaves from Semiconductors, *Solid-State Electronics*, **6**, p. 377—381 (1963)
- [14] 例えば R. H. Kingston : Switching Time in Junction Diodes and Junction Transistors, *Proc. I. R. E.*, **42**, p. 829—834 (1954)
- [15] D. V. Lang : Deep-level Transient Spectroscopy ; A New Method to Characterize Traps in Semiconductors, *J. Appl. Phys.*, **45**, No. 7, p. 3023—3032 (1974)
- [16] D. V. Lang and R. A. Logan : A Study of Deep Levels in GaAs by Capacitance Spectroscopy, *J. Electron. Mater.*, **4**, No. 5, p. 1053—1066 (1975)
- [17] 中島尚男, 白木靖寛 : フォトルミネッセンスによるシリコン結晶の評価, 電子通信学会技術研究報告, SSD 77—79 (1978)
- [18] D. G. Schimmel : A Comparison of Chemical Etches for Revealing (100) Silicon Crystal Defects, *J. Electrochem. Soc.*, **123**, p. 734—741 (1976)
- [19] F. C. Eversteyn, P. J. W. Severin, C. H. J. v. d. Brekel and H. L. Peek : "A Stagnant Layer Model for the Epitaxial Growth of Silicon from Silane in a Horizontal Reactor, *J. Electrochem. Soc.*, **117**, p. 925—931 (1970)
- [20] R. Takahashi, Y. Koga, and K. Sugawara : Gas Flow Pattern and Mass Transfer Analysis in a Horizontal Flow Reactor for Chemical Vapor Deposition, *J. Electrochem. Soc.*, **119**, p. 1406—1412 (1972)
- [21] E. Fujii, H. Nakamura, K. Haruna and Y. Koga : A Quantitative Calculation of the Growth Rate of Epitaxial Silicon from SiCl<sub>4</sub> in a Barrel Reactor, *J. Electrochem. Soc.*, **119**, p. 1103—1113 (1972)
- [22] C. W. Manke and L. F. Donaghey : Analysis of Transport Processes in Vertical Cylinder Epitaxy Reactors, *J. Electrochem. Soc.*, **124**, p. 561—569 (1977)
- [23] P. C. Rundle : The Epitaxial Growth of Silicon in Horizontal Reactors, *Int. J. Electronics*, **24**, p. 405—413 (1968)
- [24] R. B. Bird, W. E. Stewart and E. N. Lightfoot : Transport Phenomena, John Wiley & Sons, Inc. (1960)
- [25] V. S. Ban : Transport Phenomena Measurements in Epitaxial Reactors, *J. Electrochem. Soc.*, **125**, p. 317—320 (1978)
- [26] V. S. Ban : Fundamental Studies and Reactor Design in Silicon Epitaxy, *J. Japan. Assoc. Crystal Growth*, **5**, p. 119—139 (1978)
- [27] J. Nishizawa : Chemical Vapor Deposition of Silicon, *J. Japan. Assoc. Crystal Growth*, **5**, p. 17—30 (1978)
- [28] J. Nishizawa and H. Nihira : Mechanism of Chemical Vapor Deposition of Silicon, Preprints for ICVGE-4, p. 6—7 (1978)
- [29] T. O. Sedgwick : Present Status and New Directions for In Situ Gas Phase Measurements in Chemical Vapor Deposition, Preprints for ICVGE-4, p. 278—279 (1978)
- [30] T. O. Sedgwick and G. V. Arbach : Gas Phase Reaction in Si Epitaxial Growth, *J. Japan. Assoc. Crystal Growth*, **5**, p. 93—102 (1978)
- [31] R. W. Andrew, D. M. Rynne and E. G. Wright : Effect of Reactor Geometry on Growth Rate of Epitaxial Silicon, *Solid State Techn.*, **12**, p. 61—66 (1969)
- [32] T. Suzuki, Y. Inoue, M. Ura and T. Ogawa : In-Process-Monitoring and Control of Doping Gas Concentration During Vapor Phase Silicon Epitaxial Growth by Using a Flame Photometric Detector, Preprints for ICVGE-4, p. 63—64 (1978)
- [33] K. Sugawara, Y. Nakazawa, and T. Yoshimi : In Situ Monitoring of Thick Polycrystalline Silicon Film and Its Application to Silicon Epitaxial Growth, *J. Electrochem. Soc.*, **123**, p. 586—588 (1976)
- [34] 菅原活郎, 吉見武夫, 広部嘉道 : 半導体プロセスにおける薄膜形成のインプロセス・モニタリング, 日経エレクトロニクス7月10日号, p. 108—127 (1978)
- [35] T. I. Kamins and C. J. Dell'Oca : In-Process Thickness Monitor for Polycrystalline Silicon Deposition, *J. Electrochem. Soc.*, **119**, p. 112—114 (1972)
- [36] R. Glang : Handbook of Thin Film Technology, p. 1—114, McGraw-Hill Book Co., New York (1970)
- [37] K. Sugawara, T. Yoshimi, H. Okuyama, and T. Shirasu : In-situ Monitoring of Film Deposition Using He-Ne Laser System, I. Measurements of CVD Insulating Film at 6328Å, *J. Electrochem. Soc.*, **121**, p. 1233—1235 (1974)
- [38] K. Sugawara, T. Yoshimi, H. Okuyama and Y. Homma : In-situ Monitoring of Film Deposition Using He-Ne Laser System, II. Measurements of Polycrystalline Silicon Film in the Infrared, *J. Electrochem. Soc.*, **121**, p. 1235—1237 (1974)
- [39] D. J. Dumin, Measurement of Film Thickness Using Infrared Interference, *Rev. Sci. Instr.*,

- 38, p. 1107—1109 (1967)
- [40] 阿部敏雄：半導体研究，4，半導体研究振興会編，工業調査会 (1969)
- [41] B. A. Joyce, J. C. Weaver, and D. J. Maule : Impurity Redistribution Processes in Epitaxial Silicon Layers, *J. Electrochem. Soc.*, **112**, p. 1100—1106 (1965)
- [42] D. C. Gupta and R. Yee : Silicon Epitaxial Layers with Abrupt Interface Impurity Profiles, *ibid.* **116**, p. 1561—1565 (1969)
- [43] E. F. Cave and B. R. Czorny : Epitaxial Deposition of Silicon and Germanium Layers by Chloride Reduction, *RCA Rev.*, **24**, p. 523—543 (1963)
- [44] T. Ishii, K. Takahashi, A. Kondo, and K. Shirahata : Silicon Epitaxial Wafer with Abrupt Interface by Two-Step Epitaxial Growth Technique, *J. Electrochem. Soc.*, **122**, p. 1523—1531 (1975)
- [45] S. R. Bholá and A. Mayer : Epitaxial Deposition of Silicon by Thermal Decomposition of Silane, *RCA Rev.*, **24**, p. 511—522 (1963)
- [46] J. L. Deines and A. Spiro : Low-Pressure Silicon Epitaxy, *Electrochem. Soc.*, Spring Meeting Extended Abstracts, p. 161—163 (1974)
- [47] V. J. Lucarini, R. L. Bratter and J. E. Basso : Epitaxial Growth from  $\text{SiH}_4$  in a Reduced Pressure System, *ibid.*, p. 164—165 (1974)
- [48] M. Ogirima, H. Saida, M. Suzuki, and M. Maki : Low-Pressure Silicon Epitaxy, *J. Electrochem. Soc.*, **124**, p. 903—906 (1977)
- [49] 小切間正彦，齋田広二，牧道義：シリコン基板からのオートドーピングを少なくする低圧エピタキシャル技術，日経エレクトロニクス，No. 184，p. 103—127 (1978)
- [50] R. Nuttall : The Dependence on Deposition Condition of the Dopant Concentration of Epitaxial Silicon Layers, *J. Electrochem. Soc.*, **111**, p. 317—323 (1964)
- [51] 藤林肇次：半導体研究，4，半導体研究振興会編，工業調査会 (1969)
- [52] P. H. Langer and J. I. Goldstein : Boron Autodoping during Silicon Epitaxy, *J. Electrochem. Soc.*, **124**, p. 591—598 (1977)
- [53] 小切間正彦：未発表データ
- [54] H. B. Pogge, D. W. Boss and E. Ebert : Autodoping during Silicon Epitaxial Growth, *Proc. of the 2nd Intern. Conf. on CVD, Los Angeles, California*, (1970)
- [55] 小切間正彦，牧道義，齋田広二：低圧エピタキシャル成長技術，電子通信学会技術研究報告，CPM 77—9 (1977)
- [56] G. R. Srinivasan : Kinetics of Lateral Autodoping in Silicon Epitaxy, *J. Electrochem. Soc.*, **125**, p. 146—151 (1978)
- [57] C. O. Thomas, D. Kahng, and R. C. Manz : Impurity Distribution in Epitaxial Silicon Films, *J. Electrochem. Soc.*, **109**, p. 1055—1061 (1962)
- [58] D. Kahng, C. O. Thomas, and R. C. Manz : Epitaxial Silicon Junction, *J. Electrochem. Soc.*, **110**, p. 394—400 (1963)
- [59] 照沼幸雄，田部道晴，中村宏昭：Si エピタキシャル層中の As オートドーピング，第24回応用物理関係連合会講演会講演予稿集，p. 173 (1977)
- [60] 田部道晴，中村宏昭：Si エピタキシャル層中の As オートドーピングⅡ，Ⅲ，第38回応用物理学会学術講演会講演予稿集，p. 319—320 (1977)
- [61] C. O. Bozler : Reduction of Autodoping, *J. Electrochem. Soc.*, **122**, p. 1705—1709 (1975)
- [62] 川村雅雄，本間孝治，鈴木道夫：Si エピタキシャル成長におけるオートドーピング，第38回応用物理学会学術講演会発表 (1977)
- [63] G. Mizuhashi : Impurity Profile in Silicon Epitaxial Wafer with Buried Layers, *NEC Research and Development*, No. 36, p. 68—74 (1975)
- [64] M. Kawamura, K. Homma, M. Ogirima, M. Suzuki and M. Maki : Autodoping during Silicon Epitaxial Growth, *Electrochem. Soc.*, Spring Meeting, Seattle, Washington (1978)
- [65] C. H. J. van den Brekel : Growth Rate Anisotropy and Morphology of Autoepitaxial Silicon Films from  $\text{SiCl}_4$ , *J. Crystal Growth*, **23**, p. 259—266 (1974)
- [66] C. M. Drum and C. A. Clark : Anisotropy of Macrostep Motion and Pattern Edge-Displacements during Growth of Epitaxial Silicon on Silicon near  $\{100\}$ , *J. Electrochem. Soc.*, **117**, p. 1401—1405 (1970)
- [67] P. H. Lee, M. T. Wauk, R. S. Rosler, and W. C. Benzing : Epitaxial Pattern Shift Comparison in Vertical, Horizontal, and Cylindrical Reactor Geometries, *J. Electrochem. Soc.*, **124**, p. 1824—1826 (1977)
- [68] W. C. Benzing : 私信
- [69] P. Rai-Choudhury : Substrate Surface Preparation and Its Effect on Epitaxial Silicon, *J. Electrochem. Soc.*, **118**, p. 1183—1189
- [70] Y. Avigal and M. S. Wieber : Silicon Carbide Contamination of Epitaxial Silicon Grown by Pyrolysis of Tetramethyl Silane, *J. Crystal Growth*, **9**, p. 127—131 (1971)
- [71] A. C. Abbink, R. M. Broudy and C. P. McCarthy : Surface Processes in the Growth of

- Silicon on (111) Silicon in Ultrahigh Vacuum, *J. Appl. Phys.*, **39**, p. 4673—4681 (1968)
- [72] R. Ogden, R. R. Bradley, and B. E. Watts :  
Stacking Fault Structures in Carbon-Contaminated Low-Temperature Epitaxial Silicon, *Phys. Stat. Sol.*, (a), **26**, p. 135—146 (1974)
- [73] G. R. Booker and B. A. Unvala : Vacuum Evaporated Silicon Layers Free from Stacking Faults, *Philos. Mag.*, **8**, p. 1597—1598 (1963)
- [74] 例えば, 角南英夫, 西沢潤一: 半導体研究, **4**, 半導体研究振興会編, 工業調査会, p. 15—29 (1969); H. Aharoni : Stacking Faults in Silicon Epitaxial Layers, *Vacuum*, **26**, p. 167—180 (1976)
- [75] S. M. Hu : Defects in Silicon Substrates, *J. Vac. Sci. Technol.*, **14**, p. 17—31 (1977)
- [76] 杉田吉充 : シリコンの酸化と格子欠陥, *応用物理*, **46**, p. 1056—1058 (1977)
- [77] K. V. Ravi, C. J. Varker and C. E. Volk : Electrically Active Stacking Faults in Silicon, *J. Electrochem. Soc.*, **120**, p. 533—541 (1973)
- [78] K. V. Ravi and C. J. Varker : Oxidation-induced Stacking Faults in Silicon, I, II, *J. Appl. Phys.*, **45**, p. 263—287 (1974)
- [79] 小林一成 : 私信
- [80] G. A. Rozgonyi, P. M. Petroff, and M. H. Read: Elimination of Oxidation-Induced Stacking Faults by Preoxidation Gettering of Silicon Wafers, I, Phosphorus Diffusion-Induced Misfit Dislocations, *J. Electrochem. Soc.*, **122**, p. 1725—1729 (1975)
- [81] P. M. Petroff, G. A. Rozgonyi, and T. T. Sheng : Elimination of Process-Induced Stacking Faults by Preoxidation Gettering of Si Wafers, II.  $\text{Si}_3\text{N}_4$  Process, *J. Electrochem. Soc.*, **123**, p. 565—570 (1976)
- [82] G. A. Rozgonyi and R. A. Kushner : The Elimination of Stacking Faults by Preoxidation Gettering of Silicon Wafers, III. Defect-Etch pit Correlation with p-n Junction Leakage. *J. Electrochem. Soc.*, **123**, p. 570—576 (1976)
- [83] C. M. Melliar-Smith : *Treatise on Material Science and Technology*, ed. H. Harman, Academic Press, New York, **11**, p. 47 (1977)
- [84] G. H. Schwuttke : Silicon Material Problems in Semiconductor Device Technology, *Microelectronics and Reliability*, **9**, p. 397—412 (1970)
- [85] L. E. Katz : Relationship Between Process-Induced Defects and Soft P-N Junctions in Silicon Devices, *J. Electrochem. Soc.*, **121**, p. 969—972 (1974)
- [86] H. R. Huff, R. C. Bracken, and S. N. Rea : Influence of Silicon Slice Curvature on Thermally Induced Stresses, *J. Electrochem. Soc.*, **118**, p. 143—145 (1971)



## 第三章 离子注入技术

鸭志田 元孝

### 3.1 前言

半导体中的杂质种类、数量和密度分布，是决定半导体器件电气特性的重要设计因素。近年来，半导体器件，特别是集成电路，正向着高响应速度、高密度和大容量的方向发展。为此，在制作器件时，需要精密地控制上述的杂质质量和密度分布。

目前半导体掺杂的方法，有热扩散法和离子注入法等。而离子注入法具有通常热扩散法所没有的如下主要优点：

(i) 由于所要注入的掺杂剂用质量分析器加以精选，所以掺杂剂的纯度一般很高。

(ii) 杂质注入量可通过照射样品的离子束流在照射时间的积分值来计算。所以控制该积分值，就可以精密控制杂质质量。特别是在低密度区域，这一优点的应用面很广。

(iii) 离子注入时的杂质密度分布，取决于注入杂质的种类、注入量、加速能量和被离子照射的样品结构等电气量和物理常数，所以杂质密度分布也能精密控制。

(iv) 由于能低温掺杂，所以进行选择掺杂时，可用的掩模材料很丰富。例如可以把光刻胶膜作为选择掺杂的掩模，这也是在通常的热扩散法中所得不到的优点<sup>(2)</sup>。选择注入的掩模厚度和 (iii) 一样，也取决于杂质离子的种类、加速能量、注入量和被注入的半导体材料原来的杂质密度等。

(v) 如果在离子注入时调节加速能量，杂质也可以穿过半导体表面上原有薄膜和掺杂层，向深处注入。

特别是 MOS 器件，利用离子注入法的上述优点，能很容易地控制阈值电压并得到高击穿电压。仅从这个称作沟道掺杂的技术就可以看出，离子注入技术对今天的 MOS 器件的发展作出了不可估量的贡献，这是不可忽视的事实。

有关离子注入技术的文章和书籍很多<sup>(5)~(8)</sup>。本文拟从实用角度出发，对主要用于制造硅集成电路器件的离子注入技术作一概述。首先，在 3.2 节中，作为低密度离子注入技术的应用例子，举出 MOS 器件制造工艺中的沟道掺杂技术。在这一节中，将分别讲述注入与衬底杂质导电类型相反和相同的导电杂质的情况。特别是后者，它与前者不同，不仅注入离子量，而且密度分布也同表面最大耗尽层宽度有关，因而显著影响电气特性。在 3.3 节中，介绍高密度离子注入技术，例如制作浅 pn 结的主要实际问题，即注入杂质密度分布，以及也包括高次缺陷的离子注入损伤。其中，首先介绍精确而简便地测量象离子注入杂质分布那样的浅区域的杂质密度分布的方法，并举例讨论离子注入后在热处理和氧化过程中再分布的注入杂质的密度分布。其次，综合介绍热处理后的残留损伤和减少这种损伤的对策，以及残留损伤的利用等。最后在 3.4 节中，作为上述基础技术的应用，举例

介绍在 LSI 的设计和制造中反映出来的离子注入技术。

## 3.2 低密度离子注入

### 3.2.1 导电类型与衬底相反的杂质离子注入

#### (1) 电气特性

如图 3-1 所示, 在 MOS 器件的沟道区进行离子注入, 可以控制阈值电压。首先介绍向 n 型硅注入 P 型杂质或向 P 型硅注入 n 型杂质的情况。

在这种情况下, Swanson 和 Meindl<sup>[10]</sup>认为, 离子注入的杂质分布深度与表面耗尽层深度相比非常浅, 并且杂质分布近似矩形。这时阈值电压  $V_T$  的变化量  $\Delta V_T$  可用下式表示:

$$\Delta V_T = \frac{qN_I}{C_{ox}} \quad (3.1)$$

式中,  $q$  为电子电荷;  $N_I$  为分布在半导体内的离子注入总量;  $C_{ox}$  是栅氧化膜的电容。下面与实验值作一比较。

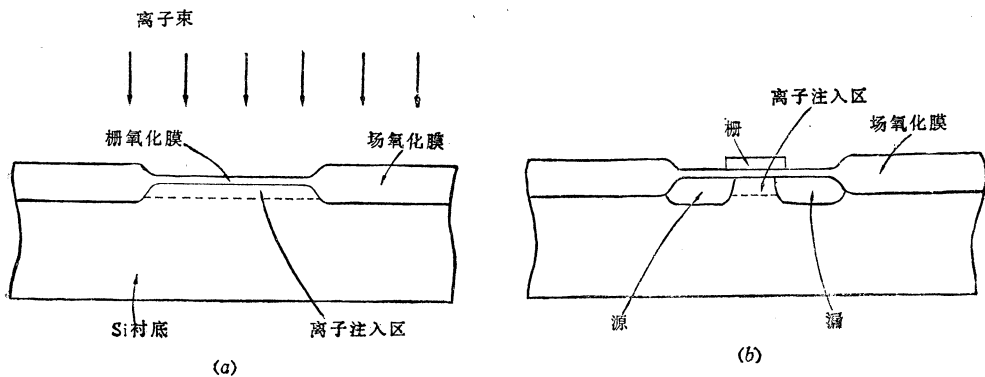


图3-1 MOS晶体管沟道区的离子注入

本节中所讲的数据是采用  $5\Omega \cdot \text{cm}$  的 n 型硅 (100) 制作的、有效沟道长  $L_{eff}$  为  $11\mu\text{m}$ 、沟道宽度  $W$  为  $800\mu\text{m}$  的环形器件的数据, 样品制作方法和普通的作法一样。场氧化膜为  $1.5\mu\text{m}$ , 栅氧化膜在  $800 \sim 2000 \text{ \AA}$  的范围内制成多种厚度。加速能量为 50、100、150keV 的  $^{11}\text{B}^+$  离子, 用  $10^{11} \sim 10^{12}/\text{cm}^2$  的剂量穿过栅氧化膜注入到沟道区域内。为了避免沟道效应, 注入时偏离  $\langle 100 \rangle$  方向  $7^\circ$ , 然后让它在该面内旋转  $10^\circ$ 。离子注入后, 在  $900^\circ\text{C}$  的氮气中进行 30 分钟的热处理。

阈值电压  $V_T$  的意义是, 在漏-源之间加上 10V 电压, 其间流过的电流  $I_{DS}$  为  $1\mu\text{A}$  时的栅极电压  $V_G$ 。图 3-2 示出由中村等人<sup>[11]</sup>得出的  $V_T$  和离子注入总量  $\Phi$  的关系。  $V_T$  相对于  $\Phi$  大致按直线变化。这是因为在  $\Phi$  中当忽略分布在栅极氧化膜中的注入量时, 在 (3.1) 公式中  $N_I \approx \Phi$ , 所以  $V_T$  的变化量  $\Delta V_T$  与离子注入总量  $\Phi$  大致成正比例关系。但是应该注意, 当离子注入的杂质分布在离表面较浅的区域内 (50keV) 时, 和定量计算值一致, 而分布在离表面较深的区域 (100keV, 150keV) 时, 从表面起浓度保持不变的近似矩形分布是不成立的, 也就是偏离定量计算值。

Swanson 和 Meindl<sup>[10]</sup>从理论上预测到, 如果在 n-Si 衬底和离子注入的 P 型区之间形

成的 pn 结比表面最大耗尽层宽度  $x_{d,max}$  还深的话, 晶体管就不能达到截止状态。图 3-3 是上述情况的实验数据<sup>[11]</sup>。这个实验表明, 当栅氧化膜为 1500 Å 时, 用斜线范围的注入量就会形成如上所述的不能达到截止的晶体管。

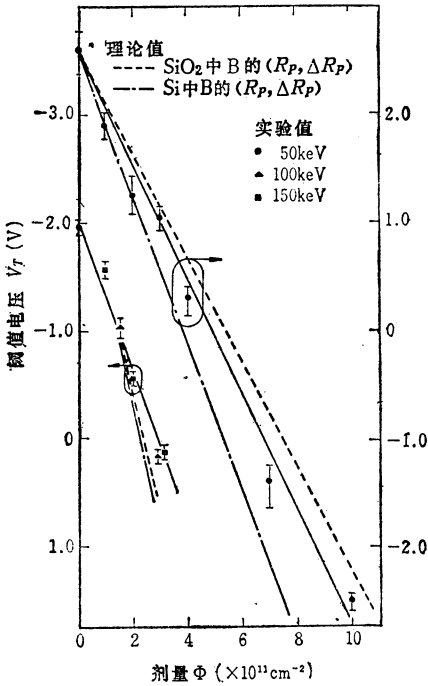


图3-2 阈值电压和离子注入量及离子注入加速电压之间的关系<sup>[11]</sup>  
( $t_{ox} = 1500 \text{ \AA}$ ; 热处理温度为 900 °C)

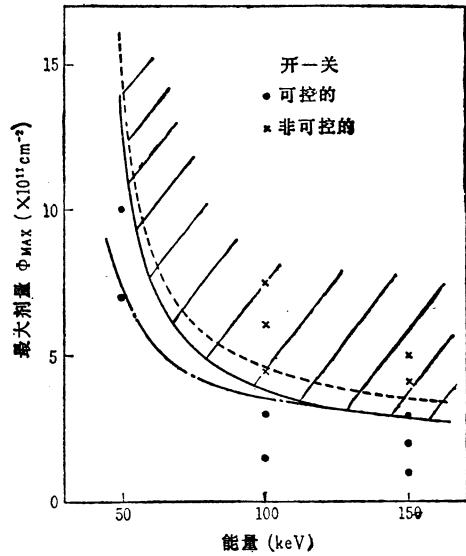


图3-3 晶体管达不到截止状态的注入条件 (斜线部分)<sup>[11]</sup> ( $t_{ox} = 1500 \text{ \AA}$ )

电流放大系数  $\beta$  定义为<sup>[12]</sup>:

$$\beta = (W/L_{eff})C_{ox}\mu_{eff} \tag{3.2}$$

式中,  $\mu_{eff}$  是有效迁移率。如果假设衬底内杂质分布是均匀的, 并且也没有衬底效应, 则正如大家所知道的那样, 饱和区的源漏电流  $I_{DS}$  为<sup>[12]</sup>

$$I_{DS} = (1/2)\beta_{SAT}(V_G - V_T)^2 \tag{3.3}$$

式中,  $\beta_{SAT}$  为饱和区的电流放大系数。

设  $V_G - V_T = -5 \text{ V}$ ,  $V_{DS} = -10 \text{ V}$  时, 求出  $I_{DS}$ , 并用 (3.3) 式算出  $\beta_{SAT}$ ,  $\beta_{SAT}$  与  $\Phi$  的关系示于图 3-4<sup>[11]</sup>。当 p 沟 MOS 器件的沟道区注入  $^{11}\text{B}^+$  离子时, 如图所示, 随着  $\Phi$  的增加,  $\beta_{SAT}$  也有一些增加, 随后有减少的趋势。这种现象如后面所讲到的那样, 可以用载流子的杂质散射效应和表面散射效应定性加以说明(见 3.2.2 节)。

沟道区的杂质质量尽管存在这种变化, 但以流过 1 $\mu\text{A}$  电流的电压所定义的源漏之间的耐压  $BV_{DS}$  几乎不受其影响。另外, 尽管进行这种程度的离子照射, 如果经过 900 °C、30 分钟的热处理, 就看不到  $BV_{DS}$  的变化。若用波形计测量  $BV_{DS}$  时, 通常会看到增大现象。图 3-5 分别用  $BV_{DSI}$  和  $BV_{DSF}$  表示这种增大前和增大后的值<sup>[11]</sup>。

以上是栅绝缘膜仅采用  $\text{SiO}_2$  时的例子。即使在  $\text{SiO}_2$  上重叠  $\text{Si}_3\text{N}_4$  构成的绝缘膜, 上

述的电气特性在定性上也是同样的。图 3-6 示出两种关系<sup>[13]</sup>，一是  $^{11}\text{B}^+$  离子穿过栅绝缘膜（在  $920\text{ \AA}$  的  $\text{SiO}_2$  上重叠  $1040\text{ \AA}$  的  $\text{Si}_3\text{N}_4$  膜）注入时， $V_T$  和加速能量之间的关系（见图 3-6 (a)）；另一是用  $80\text{keV}$  的  $^{11}\text{B}^+$  离子注入时，硅衬底内净  $^{11}\text{B}^+$  量和  $V_T$  的关系（见图 3-6 (b)）。这里，硅衬底内净含硼量是根据古川-石原理论<sup>[14]、[15]</sup>求出的。

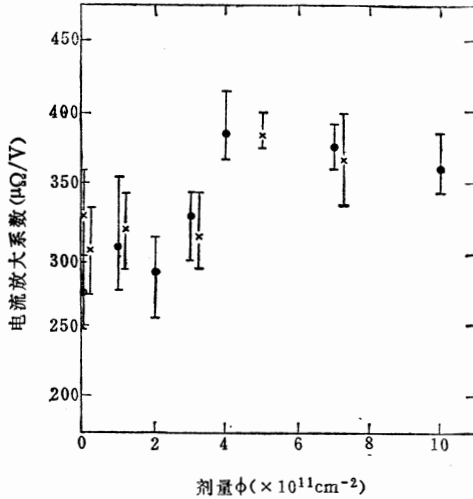


图3-4 饱和区的电流放大系数和离子注入量的关系<sup>[11]</sup>  
( $V_G - V_T = -5\text{V}$ ;  $V_{DS} = -10\text{V}$ ;  $t_{ox} = 1500\text{ \AA}$ )

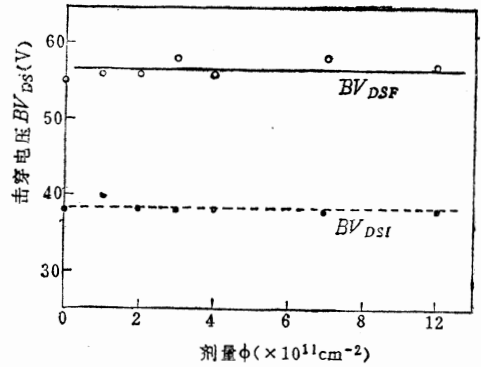


图3-5 源漏之间耐压和离子注入量的关系<sup>[11]</sup>

( $BV_{DS1}$  为增大前的值;  $BV_{DS}$  为增大后的值; 注入离子为  $50\text{keV}$  的  $^{11}\text{B}^+$ ; 热处理温度为  $900^\circ\text{C}$ )

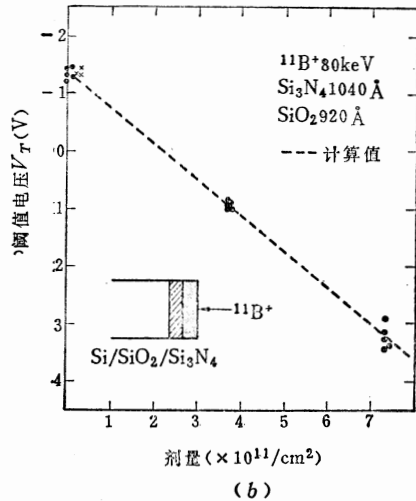
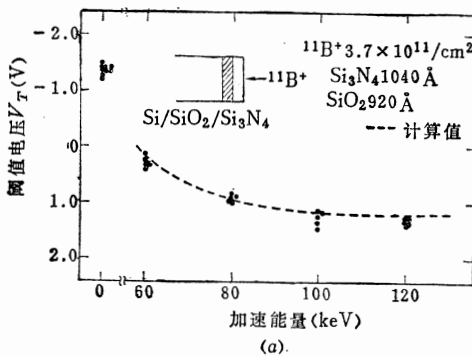


图3-6 MNOS结构的离子注入条件和阈值电压<sup>[13]</sup>

(a)  $V_T$  与加速能量的关系; (b)  $V_T$  与注入量的关系。

根据古川-石原理论<sup>[14]、[15]</sup>，即使向迭层结构样品注入离子时，也能够计算出密度分布。如图 3-7 所示，向物质 I 和物质 II 的迭层结构注入离子，且两种物质注入离子的  $\Delta R_p/R_p$  比没有太大差别时，在图中转变成  $N_1 = N'_1$ ,  $N_2 = N'_2$ 。并且根据  $N_1 + N'_2 = \Phi$  画出  $N_1$  和  $N'_2$ ，则如图 (c) 那样连上就行。所以在这种情况下代入 (3.1) 式，可得出  $N_1$  为<sup>[13]</sup>

$$N_1 = \frac{\Phi}{\sqrt{2\pi} \Delta R_P(\text{SiO}_2)} \int_{\delta}^{\infty} \exp \left\{ -\frac{1}{2} \left( \frac{x}{\Delta R_P(\text{SiO}_2)} \right)^2 \right\} dx \quad (3.4)$$

式中,

$$\delta = \frac{t(\text{Si}_3\text{N}_4)}{\Delta R_P(\text{Si}_3\text{N}_4)} + \frac{t(\text{SiO}_2)}{\Delta R_P(\text{SiO}_2)} - \frac{R_P(\text{Si}_3\text{N}_4)}{\Delta R_P(\text{Si}_3\text{N}_4)} \quad (3.5)$$

式中,  $t$ 、 $R_P$ 、 $\Delta R_P$  分别表示各个括弧内的物质膜厚、射程和离散。该石原-古川理论<sup>[14]、[15]</sup>, 对于诸如在穿过栅氧化膜向沟道区注入离子的情况下求出硅内杂质密度分布也是非常有用的。

(2) 离子注入层的热处理和电气特性

上节的数据是离子注入后在900°C(图3-6是1000°C)下进行热处理的数据。本节以电气特性为中心归纳这种热处理的效应。

这一节所列举的数据, 其样品结构和制造方法都和上节一样。但在这里, 当热处理温度超过450°C时, 在该热处理结束之后, 再用电子束蒸发法进行蒸铝; 而当热处理温度在300~450°C时, 则先进行蒸铝, 然后再进行热处理。

图3-8是用和前述晶体管相同的工艺制造的MOS结构的C-V特性<sup>[16]</sup>。这是在1MHz下测量的结果, 样品以50keV注入 $3 \times 10^{11}/\text{cm}^2$ 的 $^{11}\text{B}^+$ 离子, 并在各种温度下进行了热处理。中村等人<sup>[16]</sup>在这个数据中提出了如图所示的三个特征, 即:

- 〔特征 I〕 C-V 特性曲线随热处理温度的上升向正电压方向移动;
- 〔特征 II〕 C-V 特性曲线的斜率随热处理温度上升而变陡;
- 〔特征 III〕 在500°C以下进行热处理的样品, 在C-V特性上出现下摆。

以50keV注入 $3 \times 10^{11}/\text{cm}^2$ 的 $^{11}\text{B}^+$ 离子, 并在各种温度下进行热处理, 以制作晶体管。设晶体管的 $V_T$ 变化量为 $\Delta V_T$ , 通过(3.1)式由 $\Delta V_T$ 求出载流子数 $N_I$ , 则 $N_I$ 与热处理温度的关系如图3-9所示<sup>[16]</sup>。图中也表示出由平带电压 $V_{FB}$ 的变化量 $\Delta V_{FB}$ (根据图3-8求出)算出的离化电荷密度变化量 $\Delta N_{FB}$ 与热处理温度之间的关系<sup>[16]</sup>。但 $\Delta V_{FB}$ 是假定衬底杂质密度一定时进行计算的。与此不同,  $N_I$ 是表示耗尽层内的电荷, 可以认为 $N_I$ 是有物理意义的。在该图中, 恢复离子注入损伤层的激活能在500°C左右已发生变化, 这意味着在该温度下损伤恢复的机理发生了变化。这个温度也对应于后面3.3.2(2)节所述的二次热处理法的低温处理温度, 所以意义

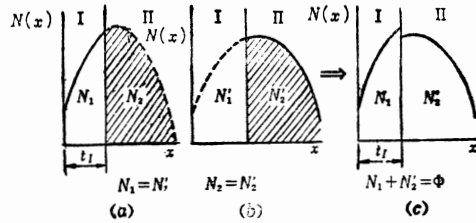


图3-7 对迭层结构进行注入离子的杂质密度分布的计算方法(根据石原-古川理论<sup>[16]</sup>)

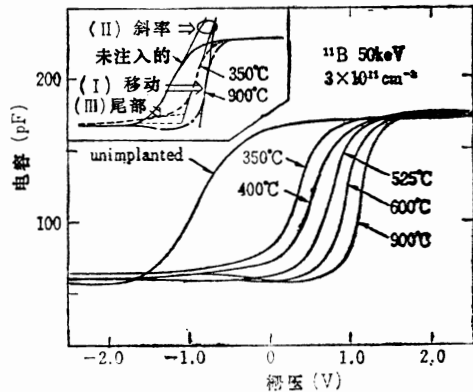


图3-8 离子注入的MOS电容器C-V特性与热处理温度的关系<sup>[16]</sup>。插图用模型图表示出三个特征( $t_{ox} = 1500 \text{ \AA}$ ; 热处理时间为30分钟)

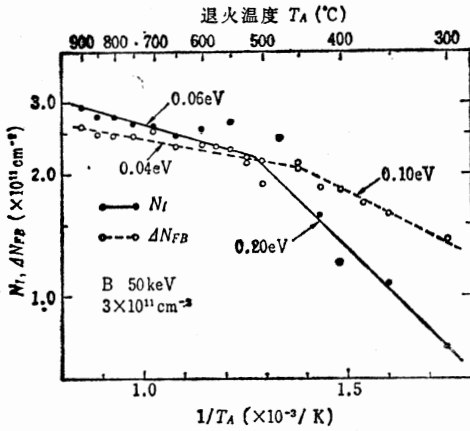


图3-9 电激活的硼含量及表面电荷变化量与热处理温度的关系<sup>[16]</sup>

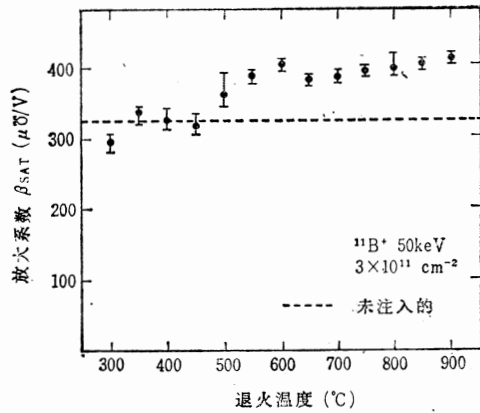


图3-10 饱和区的电流放大系数和离子注入后的热处理温度的关系<sup>[16]</sup>  
(热处理时间: 30分钟)

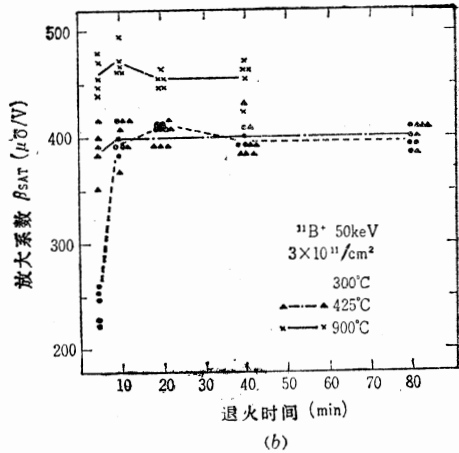
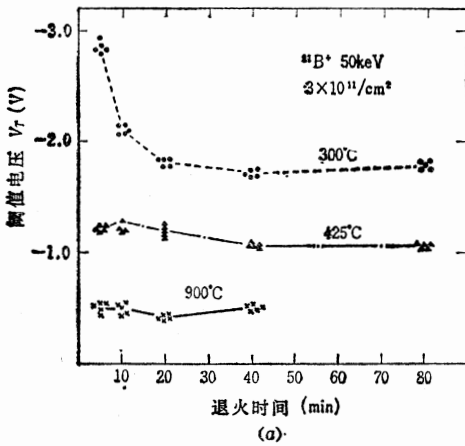


图3-11 阈值电压 (a) 和饱和区的电流放大系数 (b) 与热处理时间的关系<sup>[16]</sup>

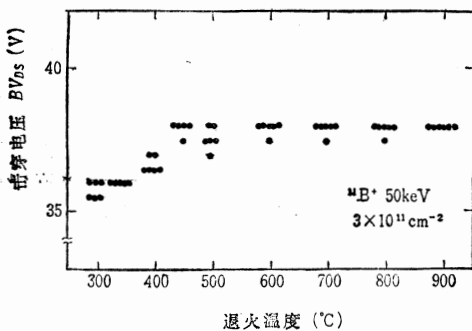


图3-12 <sup>11</sup>B<sup>+</sup>离子注入的p沟MOS晶体管源漏之间耐压与热处理温度的关系<sup>[16]</sup>  
(热处理时间: 30分钟)

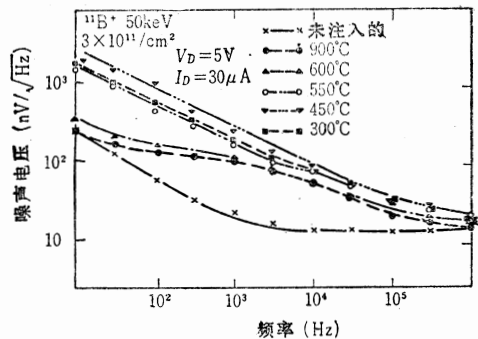


图3-13 等效噪声电压的频率特性和热处理温度<sup>[16]</sup>  
(热处理时间: 30分钟)

很大。

与前述〔特征Ⅱ〕相对应，图 3-9 中在  $450^{\circ}\text{C}$  以下时， $\Delta N_{FB} > N_I$ 。随着温度升高其差值减小，在  $550^{\circ}\text{C}$  以上便反转。〔特征Ⅲ〕的出现可能是由于残留下来的离子注入损伤层的原因。在前面图 3-8 所示的 C-V 特性中也可以看出，热处理对  $V_T$  变化的影响比对  $V_{FB}$  变化的影响更为明显。

电流放大系数  $\beta_{SAT}$  也和前面所讲的一样，是根据  $V_G - V_T = -5\text{V}$  和  $V_{DS} = -10\text{V}$  时的饱和特性 (3.3) 式求出的，从图 3-10 可以看出，也是在  $500^{\circ}\text{C}$  以上恢复<sup>〔16〕</sup>。在  $900^{\circ}\text{C}$  下进行热处理时，如在前面图 3-4 中所说明的那样，和没有进行离子注入的样品相比， $\beta_{SAT}$  约增加 30%。这与前面所讲的〔特征Ⅲ〕是相适应的。

以上介绍的都是研究在 30 分钟这一固定的热处理时间内与热处理温度的关系。下面再讨论与热处理时间的关系。图 3-11(a) 是表示  $V_T$  与热处理时间的关系的数据<sup>〔16〕</sup>。我们知道，如果热处理温度在  $300^{\circ}\text{C}$  以上，则在该温度下在 30 分钟以内就可以达到恢复值。另外，再从图 3-11(b) 来看，如果在  $300^{\circ}\text{C}$  以上经十分钟的热处理，也可以认为  $\beta_{SAT}$  在该温度下达到了饱和值<sup>〔16〕</sup>。

图 3-12 表示源-漏之间耐压  $BV_{DS}$  与热处理温度的关系<sup>〔16〕</sup>。在上述范围的离子注入条件下， $BV_{DS}$  经  $500^{\circ}\text{C}$  的热处理大致可以恢复。由于和离子注入量无关，所以认为〔特征Ⅰ〕的影响不会体现在  $BV_{DS}$  与热处理温度的关系上。

为了进一步分析由低密度离子注入所造成的损伤，详细地研究了噪声特性<sup>〔17〕、〔18〕</sup>。图 3-13 是其频率特性的典型例子<sup>〔16〕</sup>。对于前述各种特性， $500^{\circ}\text{C}$  附近都是热处理温度特性上的一个转折点。但是只要看看这个噪声特性，就会知道即使在  $900^{\circ}\text{C}$  下进行热处理，仍然没有恢复到未进行离子注入样品的水平。

图 3-14 是用  $4 \pm 2\Omega \cdot \text{cm}$  的 n 型硅制作的样品的噪声特性<sup>〔17〕、〔18〕</sup>。图中示出了噪声与制作时的离子加速电压和测量时的漏电流的关系。如图 3-14(a) 所示，漏电流  $I_D$  在  $1\mu\text{A}$  的情况下，在频率特性上产生一个“肩”，这可以认为是由于离子注入损伤引起的 G-R 中心所致。而且这个“肩”随着加速能量的增加而变高。但漏电流为  $1\text{mA}$  时，如图 3-14(b) 所示，“肩”消失了，出现整齐的  $1/f$  特性。其理由是：

(i) 当外加使漏电流增大的电场时，陷阱被隐埋，G-R 中心产生的影响不会出现在噪声特性上。

(ii) 在使漏电流减小的电场条件下，形成电流通路的沟道比 Si-SiO<sub>2</sub> 界面深，所以电流流过靠近注入杂质分布峰值位置的离子注入损伤区。与此相反，在使漏电流增大的电场条件下，表面附近能带弯曲度加剧，电流通路靠近 Si-SiO<sub>2</sub> 界面，远离离子注入损伤层。因此，在前者的测试条件下，在噪声特性上可以看到损伤层的影响。相反，在后者条件下则测不出其影响。

图 3-15 表示等效输入噪声电压与 10Hz 时的漏电流的关系<sup>〔17〕、〔18〕</sup>。如上所述，在沟道区进行离子注入的样品中，当漏电流增加时，噪声电压就会减小。如图所示，在给定晶体管的尺寸下，当漏电流大于  $100\mu\text{A}$  时，离子注入损伤的影响就会消失。

如上所述，要想用电流通路和离子注入的 G-R 中心分布之间的位置关系来说明噪声特性，那末，在注入与衬底杂质导电类型相同的离子时，就必须进一步确认表面能带弯曲

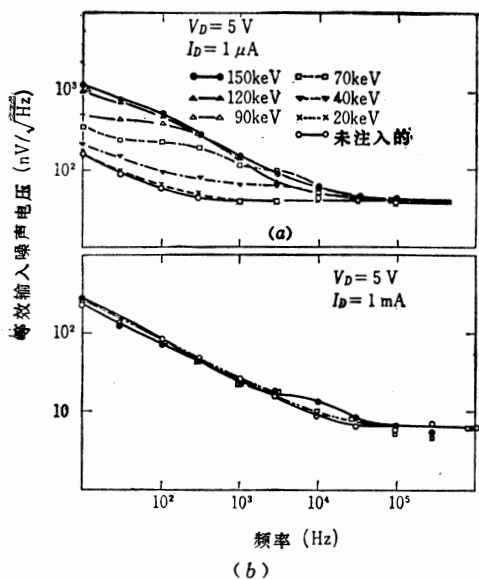


图3-14 等效噪声电压的频率特性和离子注入能量<sup>(17)、(18)</sup>(漏电流为 $1\mu A$ (图(a))、 $1mA$ (图(b)); 热处理条件为 $1000^\circ C$ , 10分钟, 在 $N_2$ 中)

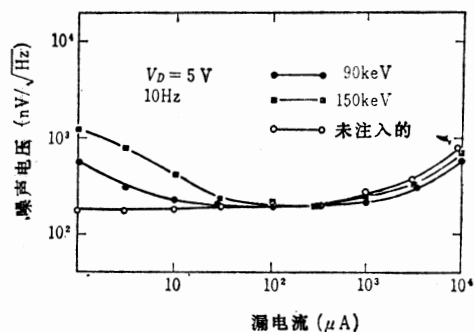


图3-15 等效输入噪声电压与漏电流的关系<sup>(17)、(18)</sup>( $L_{eff} = 11\mu m, W = 800\mu m$ )

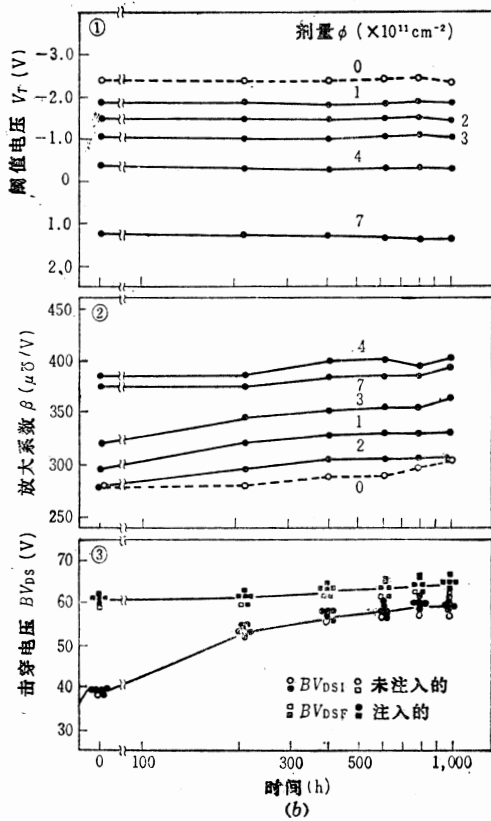
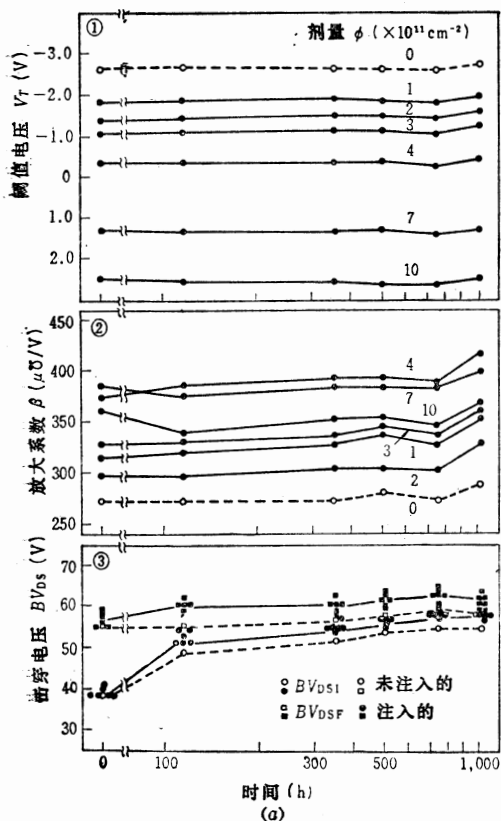


图3-16 在经过1000小时BT处理时各种电气特性的经过<sup>(11)、(20)</sup>  
〔温度:  $125^\circ C$ ; 栅极电压:  $+10V$ (a),  $-8V$ (b)〕



的变化和电流通路位置的变化。有关这方面的内容在后面讲到表面复合速度的数据时再一起介绍(3.2.2(1))。

最近 Wang<sup>[10]</sup>进一步详细地分析了在P沟MOSFET中注入 $^{31}\text{P}^+$ 、 $^{11}\text{B}^+$ 、 $^{28}\text{Si}^+$ 离子时的噪声特性。据说,注入 $^{28}\text{Si}^+$ 离子的样品经 $800^\circ\text{C}$ 以上的热处理后损伤已消除,而注入 $^{11}\text{B}^+$ 离子的样品尽管进行了热处理,还是不能完全恢复。并且发表了与前面讲到的图3-13、3-14、3-15相对应的结果。

虽然在噪声特性上还留有上述的问题,但与各电气特性有关的BT处理结果,如图3-16所示,在实用上却没发现有问题的地方<sup>〔11〕、〔20〕</sup>。图中的数据表示以 $50\text{keV}$ 注入 $^{11}\text{B}^+$ 离子的样品、在 $125^\circ\text{C}$ 下加 $+10\text{V}$ 或 $-8\text{V}$ 的栅压、进行1000小时的BT处理的经过。其中仅 $BV_{DSI}$ 向高值方向变化,这只不过是表示在各测量时间测量的 $BV_{DSI}$ ,到下个测量时间还没有恢复到原来的 $BV_{DSI}$ 值。

### 3.2.2 导电类型与衬底相同的杂质的离子注入

#### (1) 电气特性

与前一章所讲的情况不同,本章节的情况是,随着离子注入区杂质密度的增加,表面最大耗尽层宽度 $x_{d\max}$ 急速变窄,离子注入的杂质已经进入分布的区域内。即据工藤等人所讲,当向P沟道注入 $^{11}\text{B}^+$ 离子时,如图3-17(a)所示, $x_{d\max}$ 向深处扩展;而当向n沟道注入 $^{11}\text{B}^+$ 离子时,如图3-17(b)所示, $x_{d\max}$ 靠近表面,并在离子注入杂质分布的过程中向内部深入。同时,由于在 $x_{d\max}$ 外侧分布的离子注入杂质,对阈值电压 $V_T$ 的变化量 $\Delta V_T$ 不起作用,所以离子注入量和 $\Delta V_T$ 之间的失去了线性关系<sup>〔21〕、〔22〕</sup>。当设定n沟MOS晶体管的离子注入条件时,这个 $x_{d\max}$ 的变化是不能忽视的。

下面进一步介绍一个具体例子。图3-18是表示在前一节中所讲到的情况,即表示向n-Si晶体管沟道区注入 $^{11}\text{B}^+$ 离子时和向p-Si注入 $^{11}\text{B}^+$ 离子时的离子注入量和阈值电压的关系。这里是在 $4 \pm 1\Omega \cdot \text{cm}$ 的n-Si(100)和 $4 \pm 0.5\Omega \cdot \text{cm}$ 的p-Si(100)上制作有效沟道长度 $L_{\text{eff}}$ 为 $8.5 \pm 0.2\mu\text{m}$ 、沟道宽 $W$ 为 $48.6 \pm 0.2\mu\text{m}$ 的带型MOS晶体管。通过 $1100 \pm 100\text{\AA}$ 的栅氧化膜,在其沟道区注入 $50\text{keV}$ 的 $^{11}\text{B}^+$ 离子,然后在氮气中进行 $900^\circ\text{C}$ 、30分钟的热处理。根据这个图得出:

(1) 在低密度区离子注入量和阈值电压之间存在线性关系。

(2) 但是n沟MOS晶体管同P沟MOS晶体管相比,阈值电压变化小。在图中P沟器件的打点区域是考虑栅氧化膜厚度误差为 $\pm 100\text{\AA}$ 时,从(3.1)式得出的计算值。与此相反,在n沟器件中单纯根据(3.1)式计算出的值是图中斜线部分,而实际测量值 $\Delta V_T$ 要比它小得多。

(3) 另外, n沟MOS晶体管的实测值随着离子注入量的增加,将要偏离直线关系。

为了分析上述的实验结果,计算了 $x_{d\max}$ 的变化。在该计算中,需要知道在表面的能带结构。Brontherton和Burton<sup>〔23〕</sup>在杂质密度分布从半导体表面向深处按指数函数减少这种不均匀分布的情况下,计算了表面附近的能带结构。另外,田中<sup>〔24〕</sup>也求出了杂质从表面开始按误差函数减少这种不均匀分布时的能带结构。Macpherson<sup>〔25〕</sup>和蕨迫等人<sup>〔26〕</sup>也详细地计算了经过离子注入,杂质在硅内部按高斯分布时的能带结构。

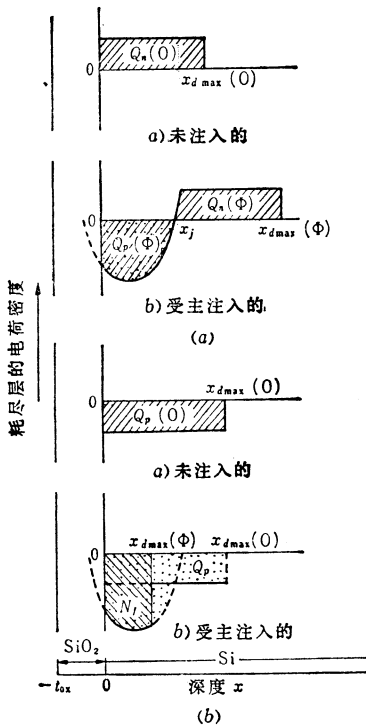


图3-17 受主离子注入后的杂质密度分布和 $x_{dmax}$ 的关系<sup>(21)</sup>  
(a) P沟MOS晶体管; (b) n沟MOS晶体管。

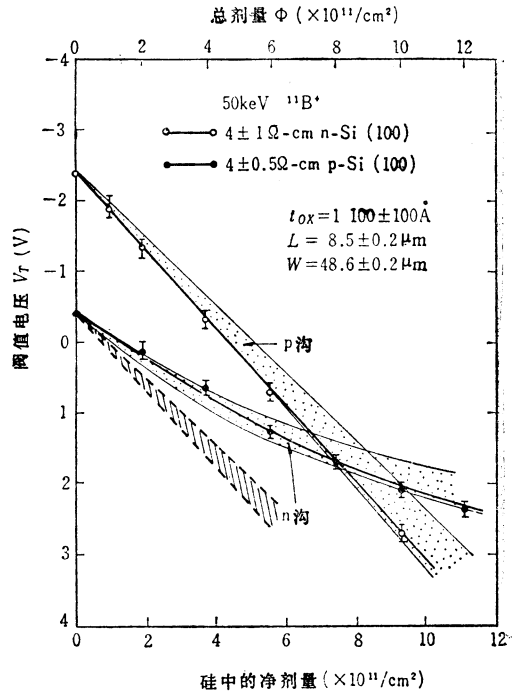


图3-18  $^{11}\text{B}^+$ 离子注入量和阈值电压的关系<sup>(22)</sup>

在这里用更简单的计算来解释一下图 3-19 的实验结果。根据古川-石原理论求出通过  $\text{SiO}_2$  向硅内注入离子时硅内的杂质分布，并假定近似耗尽是成立的。据工藤等人计算，在强反型开始点上的势垒分布  $\phi$  可以用下式表示。离子的射程为  $R_p$ ，离散为  $\Delta R_p$ 。即

$$\begin{aligned} \phi = & \frac{q\Phi}{\epsilon_s} \left\{ \frac{1}{2} (x - R'_p) \left[ \text{erf} \left( \frac{x - R'_p}{\sqrt{2} \Delta R'_p} \right) - \text{erf} \left( \frac{x_{dmax}(\Phi) - R'_p}{\sqrt{2} \Delta R'_p} \right) \right] \right. \\ & + \frac{\Delta R'_p}{\sqrt{2} \pi} \left[ \exp \left( -\frac{(x - R'_p)^2}{2 (\Delta R'_p)^2} \right) - \exp \left( -\frac{(x_{dmax}(\Phi) - R'_p)^2}{2 (\Delta R'_p)^2} \right) \right] \\ & \left. + \frac{qN_A}{2\epsilon_s} [x - x_{dmax}(\Phi)]^2 \right\} \end{aligned} \quad (3.6)$$

式中， $x$  是从  $\text{Si-SiO}_2$  界面到  $\text{Si}$  内测量的距离； $\Phi$  是单位面积的离子注入总量； $\epsilon_s$  是  $\text{Si}$  的介电常数； $N_A$  是这种情况下硅衬底的受主密度。另外， $R'_p$  和  $\Delta R'_p$  可以用下式表示：

$$\left. \begin{aligned} R'_p &= R_p - t'_{ox} \\ \Delta R'_p &= [(\Delta R_p)^2 + 2Dt]^{1/2} \end{aligned} \right\} \quad (3.7)$$

式中， $t'_{ox}$  是根据  $\text{SiO}_2$  和  $\text{Si}$  的离子阻止能比率计算的栅  $\text{SiO}_2$  和等价的  $\text{Si}$  厚度（即在图 3-7(b) 中把物质 I 作为  $\text{SiO}_2$ ，物质 II 作为  $\text{Si}$  时的  $N'_i$  的厚度）； $D$  是表示在离子注入后的热处理中杂质的扩散系数； $t$  表示热处理时间。

把  $\phi_f$  作为费米能级时，如果固定栅极电压以使  $x = 0$  时， $\phi = 2\phi_f$ ，则  $x_{dmax}$  作为  $\phi$  的函数，可用 (3.6)、(3.7) 式进行计算。分布在  $x_{dmax}$  内的杂质质量决定  $\Delta V_T$ 。图 3-19 表示通过 1100 Å 的 SiO<sub>2</sub> 向 4Ω·cm 的 p-Si 以 50keV 注入 <sup>11</sup>B<sup>+</sup> 离子时的总注入量  $\Phi$  和用 (3.6)、(3.7) 式求出的  $x_{dmax}$  之间的关系<sup>[22]</sup>。在图 3-18 中，关于 n 沟晶体管的打点区域的栅极氧化膜厚度误差一直认为是 ±100 Å。根据图 3-19，把分布在  $x_{dmax}$  内侧的硼量代入 (3.1) 式  $N_I$ ，求出  $\Delta V_T$  的结果和实际测量值完全一致。

与  $x_{dmax}$  的位置有关的上述想法，在前一节的情况下也应该是适用的。图 3-20 (a) 是前一节情况的例子，表示在采用 4Ω·cm 的 n-Si 晶体管的沟道部位注入  $2 \times 10^{11}/\text{cm}^2$  的 <sup>11</sup>B<sup>+</sup> 离子时的  $\Delta V_T$  和注入能量  $E$  之间的关系。这是在  $20\text{keV} \leq E \leq 150\text{keV}$  的范围内改变  $E$ ，通过 1150 Å 或 1000 Å 的栅极氧化膜进行注入时的情况。在向 P 沟器件注入这种程度的受主离子时，由于  $x_{dmax}$  随离子注入量  $\Phi$  而扩大，所以如果按上述离子注入条件，一般情况下，分布在硅内的量完全贡献给  $\Delta V_T$ 。图中的虚线是把分布在硅内的杂质质量原样代入 (3.1) 式  $N_I$  中所得到的计算值，同实际测量值非常一致<sup>[21]</sup>。

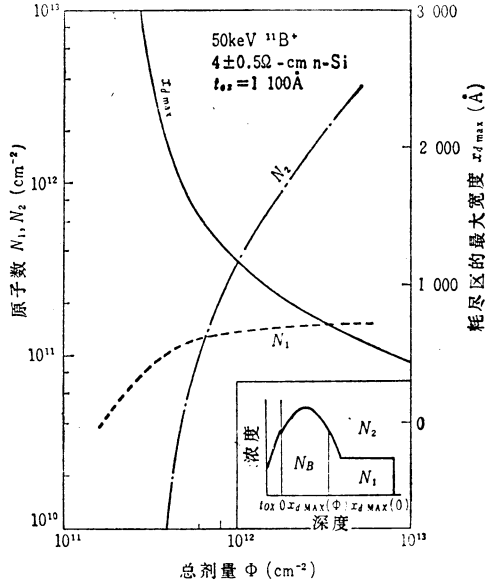
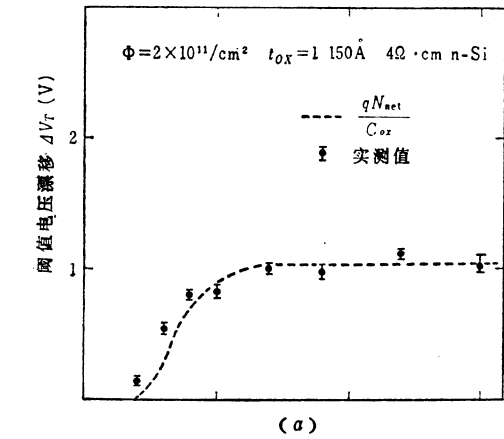
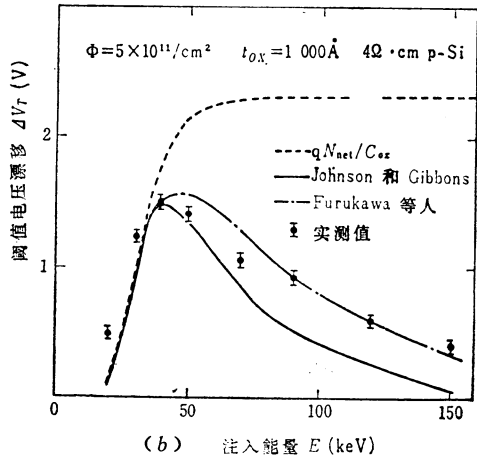


图3-19  $x_{dmax}$ 和离子注入总量的关系<sup>[22]</sup>



(a)



(b) 注入能量  $E$  (keV)

图3-20 通过栅极氧化膜注入 <sup>11</sup>B<sup>+</sup> 离子时的阈值电压和离子加速能量<sup>[21]</sup>

图 3-20 (b) 是在 P 沟器件中注入  $5 \times 10^{11}/\text{cm}^2$  的 <sup>11</sup>B<sup>+</sup> 离子的例子。把分布在 Si 中的注入杂质完全代入 (3.1) 式  $N_I$  中进行计算时，得出图中虚线的值，正如在图 3-18 中所说明的那样，与实测值有很大的差异。与此相反，如果从前面所讲的 (3.6) 式中求出  $x_{dmax}$ ，再把分布在  $x_{dmax}$  内侧的注入杂质质量代入 (3.1) 式  $N_I$  中，则其结果与实测值相符。图中的实线是采用 Johnson 和 Gibbons 计算  $R_p$  和  $\Delta R_p$ <sup>[27]</sup> 时的情况；点划线部分是基于

古川和石原<sup>[14]</sup>的计算的情况。后者与实验值非常相符。前者的情况是采用了由计算得来的电子阻止能的实验值，重新计算了  $R_p$  和  $\Delta R_p$ ，所得的值比较接近于古川和石原的理论，所以认为上述的分布在  $x_{d\max}$  内侧的注入杂质质量影响  $\Delta V_T$  这种看法是正确的。对于诸如后面所讲到的 E-D 型 MOS 存储器，这种看法有助于确定制造条件以获得希望的阈值电压(3-4)节。

掌握反栅压特性在实用上也是非常重要的<sup>[29]、[30]</sup>。

在离子注入区域  $x_{ii}$  比  $x_{d\max}$  浅得多的情况下：

$$V_T = \alpha \sqrt{-(\phi_{sub} + V_{BG})} + \frac{i_{ox}}{\epsilon_c \epsilon_{ox}} q (N_{ii} - N_{sub}) x_{ii} + V_{FB} \quad (3.8)$$

$$\alpha = \frac{i_{ox}}{\epsilon_0 \epsilon_{ox}} \sqrt{2q \epsilon_0 \epsilon_s N_{sub}} \quad (3.9)$$

另外，若  $x_{ii} \gg x_{d\max}$ ，则<sup>[29]、[30]</sup>

$$V_T = \alpha' \sqrt{-(\phi_{ii} + V_{BG})} + V_{FB} \quad (3.10)$$

$$\alpha' = \frac{i_{ox}}{\epsilon_0 \epsilon_{ox}} \sqrt{2q \epsilon_0 \epsilon_s N_{ii}} \quad (3.11)$$

式中： $\phi_{sub}$  是在没有进行离子注入时的表面电位； $\phi_{ii}$  是离子注入区的表面电位； $V_{BG}$  是反栅压； $N_{ii}$  是离子注入区域的杂质密度； $N_{sub}$  是衬底的杂质密度。

图 3-21 表示  $V_T$  与  $V_{BG}$  的关系<sup>[29]、[30]</sup>。在这里为了查明衬底浓度的影响，在 (a) 图和 (b) 图中示出了采用  $4 \Omega \cdot \text{cm}$  和  $10 \Omega \cdot \text{cm}$  两种 p-Si 的例子。与 (3.8)、(3.9) 式相对应，当加深  $V_{BG}$  时，则表示具有取决于  $N_{sub}$  的 (3.9) 式斜率的特性。从 (a) 图和 (b) 图对比中可以看出，在  $N_{sub}$  大的 (a) 图的情况下，该斜率也大。

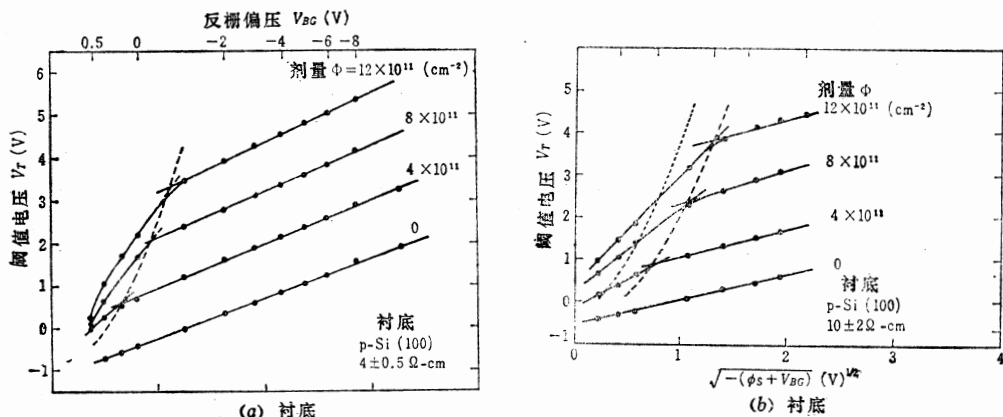


图 3-21  $^{11}\text{B}^+$  离子注入 n 沟 MOS 晶体管阈值电压的  $V_{BG}$  特性

(a)  $4 \Omega \cdot \text{cm}$  衬底<sup>[29]</sup>；(b)  $10 \Omega \cdot \text{cm}$  衬底<sup>[30]</sup>。

而在浅  $V_{BG}$  的情况下，则依从 (3.10)、(3.11) 式表示离子注入区域的特性，当  $N_{ii} > N_{sub}$  时则弯折成高斜率的特性。在定性上，如果离子注入条件相同，那末  $N_{sub}$  越低的样品离子注入杂质密度分布和  $N_{sub}$  的交点的位置越深，因此该弯折的偏压点  $V_{BG}$  也会加深。当比较 (a) 图和 (b) 图时，(b) 图的点线和 (a) 图的虚线相对应，(b) 图的虚线与同图的点线相比偏压更深，所以测定值可以用上述理论定性加以说明<sup>[29]、[30]</sup>。

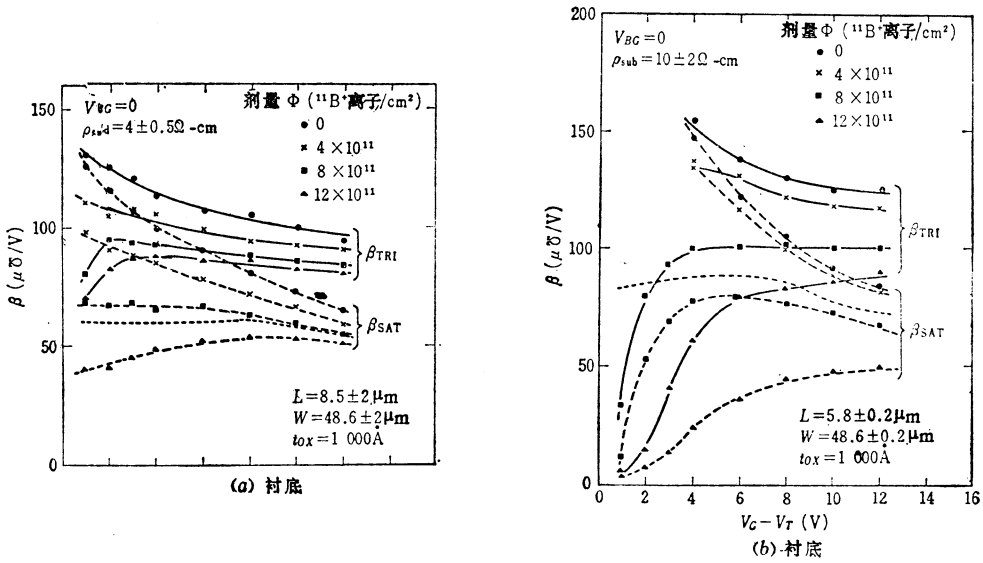


图3-22  $^{11}\text{B}^+$ 离子注入的n沟MOS晶体管的电流放大系数与栅极电压的关系  
 (图中点线部分是在形成栅氧化膜前注入了 $12 \times 10^{11}/\text{cm}^2$ 的样品的 $\beta_{\text{SAT}}$ )  
 (a)  $4\Omega\text{-cm}$ 衬底<sup>(29)</sup>; (b)  $10\Omega\text{-cm}$ 衬底<sup>(30)</sup>。

关于电流放大系数 $\beta$ ，有同前节3-2-1大致相同的倾向<sup>(29)、(30)</sup>。图3-22(a)和(b)与图3-21(a)和(b)相对应，用数据表示硅衬底电阻率为 $4\Omega\cdot\text{cm}$ 的样品和 $10\Omega\cdot\text{cm}$ 的样品的各个三极管区和饱和区中的 $\beta$ 与栅极电压的关系。图中 $V_{BG}$ 是地电位， $\beta_{\text{SAT}}$ 和 $\beta_{\text{TRI}}$ 是根据假设在饱和区没有衬底效应的(3.3)式和在三极管区的下式求出的。

$$I_D = \beta_{\text{TRI}} \left( V_G - V_T - \frac{V_D}{2} \right) V_D \tag{3.12}$$

但是， $I_D$ 是在饱和区的 $V_D$ 为10V、三极管区的 $V_D$ 为0.1V时测量的。另外，这里所采用的晶体管尺寸分别与图3-21、图3-22的(a)图、(b)图相对应。在(a)图 $L_{\text{eff}}$ 为 $8.5 \pm 0.2\mu\text{m}$ ，在(b)图 $L_{\text{eff}}$ 为 $5.8 \pm 0.2\mu\text{m}$ ， $W$ 和 $t_{\text{ox}}$ 分别为 $48.6 \pm 0.2\mu\text{m}$ 和1000Å。

图3-23表示在上述晶体管的饱和区和三极管区的 $\beta$ 与离子注入量的关系<sup>(30)</sup>。这是与前一节图3-4相对应的。

为了进一步明确 $\beta$ 与离子注入量的关系，向n沟器件和p沟器件分别注入 $^{11}\text{B}^+$ 离子或 $^{31}\text{P}^+$ 离子，然后归纳出饱和区的电流放大系数和离子注入量之间的关系(见图3-24)<sup>(21)</sup>。在此假设可以忽视衬底的影响而认为(3.3)式是成立的，则由(3.2)式可换算出 $\mu_{\text{eff}}$ 。这种假设严格说来如后面将讲到的那样是不正确的，但从该图中也可以得到一些定性的信息。由此可以得出：

(1) 注入导电类型与衬底相同的杂质离子时的 $\beta(\mu_{\text{eff}})$ ，一直随注入量的增加而减少。

(2) 注入导电类型与衬底相反的杂质离子时，在 $8 \times 10^{11}/\text{cm}^2$ 以下， $\beta(\mu_{\text{eff}})$ 具有大致固定或稍微增加的趋势，而在 $10 \times 10^{11}/\text{cm}^2$ 以上， $\beta(\mu_{\text{eff}})$ 随着注入量的增加而减少(图3-4)。

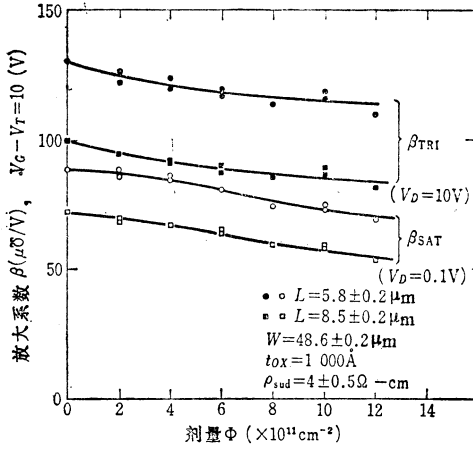


图3-23  $^{11}\text{B}^+$ 离子注入的n沟MOS晶体管的电流放大系数和离子注入量的关系<sup>(30)</sup>

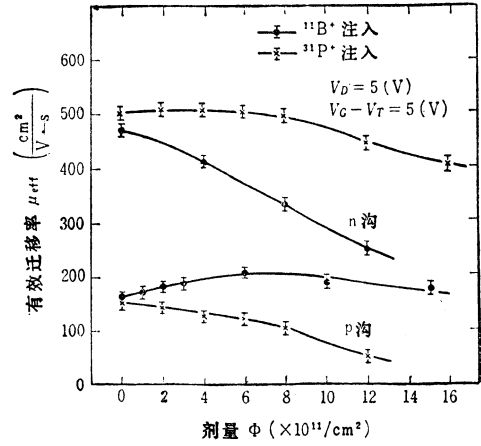


图3-24 假设饱和区的(3.3)式成立时求出的有效迁移率和注入量之间的关系<sup>(21)</sup>

上述结果用杂质散射效应和表面散射效应的变化可以定性加以说明。即不管注入的离子种类如何，只要杂质的总量增加， $\beta$ 值中与杂质散射有关的部分一直随离子注入量的增加而减少。另一方面，表面散射效应与离子注入杂质的导电类型有关。当注入导电类型与衬底相同的杂质离子时，表面电场随注入量增加而增强；当注入的杂质离子的导电类型与衬底相反时，随注入量的增加而减弱。 $\beta$ 值中与表面散射效应有关的部分在前一种情况下增加，而在后一种情况下则减少。相对于 $\beta$ 的杂质离子的导电类型和注入量之间的关系，综合上述效果可以定性加以说明。

关于源漏之间的耐压  $BV_{DS}$  与注入量的关系，和 3.2.1 (2) 部分所介绍的图 3-12 相同。在这种程度的注入量范围内，用流过  $1\mu\text{A}$  电流的电压所定义的  $BV_{DS}$  不受离子注入工艺的影响。该情况如图 3-25 所示<sup>(30)</sup>。

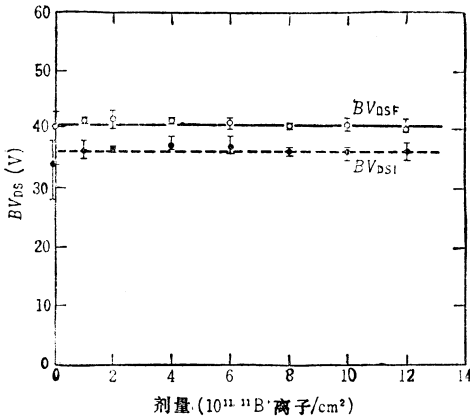


图3-25  $^{11}\text{B}^+$ 离子注入的n沟MOS晶体管的源、漏耐压和离子注入量的关系<sup>(30)</sup>

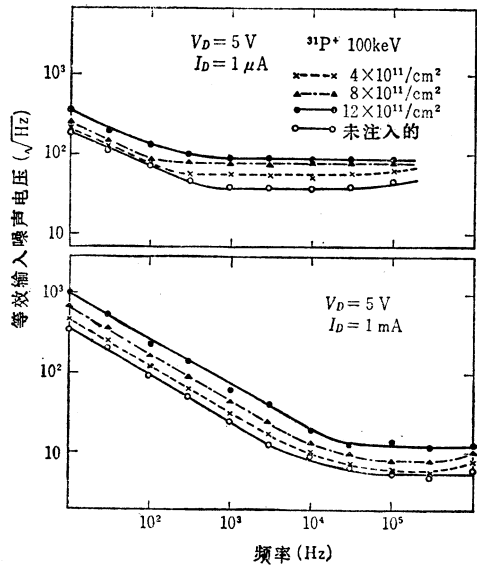


图3-26  $^{31}\text{P}^+$ 离子注入的p沟MOS晶体管的等效输入噪声电压频率特性与离子注入条件及测量时漏电流的关系<sup>(17)、(18)</sup>

图 3-26 是  $^{31}\text{P}^+$  离子注入的 P 沟 MOS FET 的噪声特性<sup>[17]、[18]</sup>。有关噪声特性，前面在介绍导电通路与由离子注入损伤层引起的 G-R 中心分布之间的关系时已进行了说明 [3.2.1(2)]。该图包括了这种情况，在这种情况下与漏电流的大小无关，同时 G-R 中心的影响也不体现在噪声特性上。也就是说，在这种情况下由于导电通路存在于 Si-SiO<sub>2</sub> 界面，所以衬底内部 G-R 中心分布对载流子的影响较小，因此作为 G-R 噪声是检测不出来的。

这同表面复合速度的实际测试结果也是相对应的<sup>[17]、[18]</sup>。图 3-27 是根据在  $4 \pm 2 \Omega \cdot \text{cm}$  的 n-Si 中注入  $^{11}\text{B}^+$  离子的栅控制型二极管和注入  $^{31}\text{P}^+$  离子的样品，所求出的表面复合速度与注入量的关系曲线。与噪声特性相对应，当注入  $^{11}\text{B}^+$  离子时，表面复合速度加快，而当注入  $^{31}\text{P}^+$  离子时，则检测不出离子注入对表面复合速度的影响。

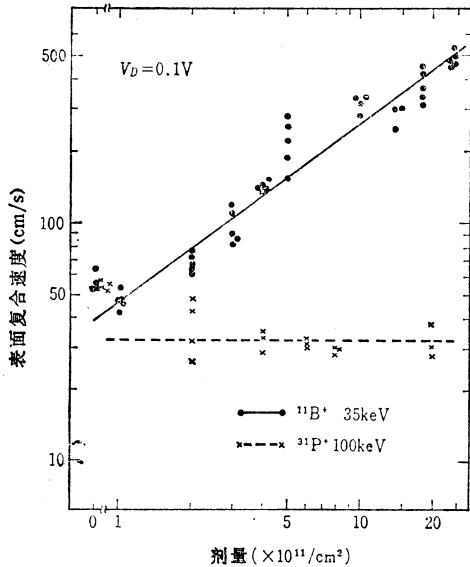


图3-27 注入 $^{11}\text{B}^+$ 或 $^{31}\text{P}^+$ 离子时n-Si表面复合速度与离子注入量的关系<sup>[17]、[18]</sup>

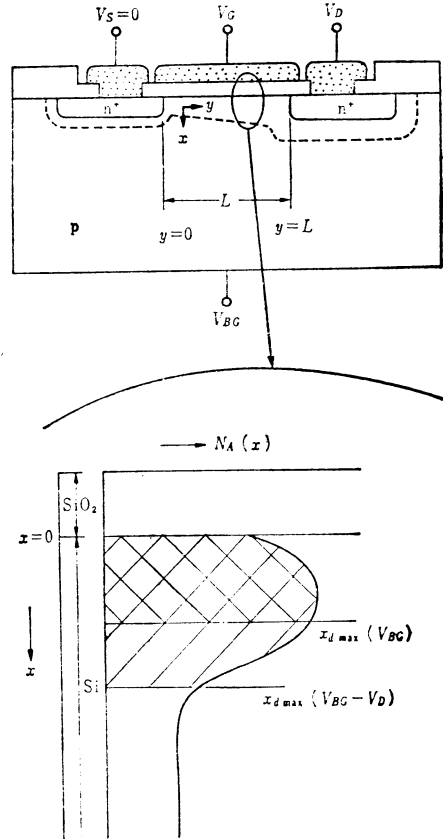


图3-28 离子注入MOS晶体管的剖面图

(2) 杂质分布与电压-电流特性

如前面所述，分析用离子注入法进行沟道掺杂的晶体管的  $V_T$  时，杂质分布的情况是其重要的因素。也有一些人发表了按杂质分布近似于矩形来计算电压-电流特性的实例<sup>[10]、[31]~[33]</sup>。另外还有人报导，将该杂质分布用函数来表示，假设杂质分布位置比  $x_{d\text{max}}$  浅得多，来分析低栅压区<sup>[34]</sup>。但是，采用杂质分布的原来形状，并且考虑到  $x_{d\text{max}}$  的变化来论述电压-电流特性的报导却很少。

由于漏极电压-电流特性可以用  $\mu_{\text{eff}}$  和  $V_T$  来表示，从而可以通过预先实际测量出的  $\mu_{\text{eff}}$  和由前面的 (3.6)、(3.7) 式计算出的  $V_T$  来计算漏的电压-电流特性<sup>[35]</sup>。

如图 3-28 所示，设源漏之间的距离为  $y$ ，则漏电流  $I_D$  在三极管区用下式表示：

$$I_D = \beta \left\{ \left( V_G - V_{FB} - 2\phi_{fp} - \frac{V_D}{2} \right) V_D + \int_{\phi_s(y=0)}^{\phi_s(y=L)} (Q_B/C_{ox}) dV \right\} \quad (3.13)$$

式中,  $\beta$  是在 (3.2) 式中给出的电流放大系数;  $\phi_{fp}$  是衬底的费米能级;  $Q_B$  是衬底电荷量。

杂质在衬底内均匀分布时, 可以解 (3.13) 式的积分。但是, 如向沟道区注入离子时那样, 当杂质在衬底内分布不均匀时, 一般很难解出 (3.13) 式的积分。

另外当把加在衬底上的反向栅压定为  $V_{BG}$  时, 阈值电压  $V_T$  可用下式来表示:

$$V_T(V_{BG}) = V_{FB} + 2\phi_{fp} - Q_B(V_{BG})/C_{ox} \quad (3.14)$$

在此如果把衬底内的杂质密度分布定为  $N_A(x)$ , 则  $Q_B(V_{BG})$  为:

$$Q_B(V_{BG}) = - \int_0^{x_{dmax}(V_{BG})} q N_A(x) dx \quad (3.15)$$

该  $x_{dmax}$  与  $N_A(x)$ 、 $V_{BG}$  及  $V_D$  有关。而且当  $x=0$  时, 下式成立:

$$\phi_s(x=0) = -V_{BG} + 2\phi_{fp} = -\frac{q}{\epsilon_s} \int_0^{x_{dmax}} \int_0^{x_{dmax}} N_A(x) d^2x \quad (3.16)$$

也就是说, 如果知道了  $N_A(x)$ , 用 (3.16) 式就可求出  $x_{dmax}$ , 将它再代入 (3.15) 式, 就可以求出  $Q_B(V_{BG})$ , 所以考虑到  $N_A(x)$ , 并且把  $x_{dmax}$  也代入进行计算, 就可以求出  $V_{T0}$ 。

如果使用该  $V_T$ , 并且考虑到在三极管区源及漏端的表面电位分别为:

$$\phi_s(y=0) = -V_{BG} + 2\phi_{fp} \quad (3.17)$$

$$\phi_s(y=L) = -V_{BG} + 2\phi_{fp} + V_D \quad (3.18)$$

则 (3.13) 式可变成

$$\begin{aligned} I_D &= \beta \left\{ (V_G - V_D/2) \cdot V_D + \int_{V_{BG}}^{V_{BG}-V_D} V_T(V) dV \right\} \\ &= (W/L) C_{ox} \mu_{eff} \left\{ V_G + V_T(V_{BG}) - V_D/2 \right\} V_D \\ &\quad + \int_{V_{BG}}^{V_{BG}-V_D} \{ V_T(V) - V_T(V_{BG}) \} dV \end{aligned} \quad (3.19)$$

也就是说,  $I_D-V_D$  特性可以用  $V_T$  和  $\mu_{eff}$  来表示<sup>[35]</sup>。

在此, 当  $V_D \ll 2\phi_{fp}$  时, (3.13) 式变成

$$I_D = \beta \{ V_G - V_T(V_{BG}) - V_D/2 \} V_D \quad (3.20)$$

该式和杂质均匀分布时的三极管区的 (3.12) 式是一致的。

但是, 当  $V_D > 2\phi_{fp}$  时, 便不可忽视 (3.19) 式中与杂质分布有关的各项, 它与所谓均匀分布时的饱和区的 (3.13) 式不一致。所以只有用通常的三极管区的 (3.12) 式计算的  $\mu_{eff}$  才可以代入 (3.19) 式<sup>[35]</sup>。

漏的夹断电压可以定义为在漏端载流子数  $Q_n$  为 0 时的电压。所以用满足下式关系的  $V_D$  可以求出夹断电压, 即

$$Q_n(y=L) = -C_{ox}(V_G - V_{FB} - 2\phi_{fp} - V_D) - Q_B\{\phi_s(y=L)\} = 0 \quad (3.21)$$



因为

$$V_T(V_{BG}-V_D)-V_T(V_{BG})=-V_D+[V_G-V_T(V_{BG})] \quad (3.22)$$

所以可以把 (3.14) 式的  $V_T$  代入 (3.22) 式进行计算。

根据上述理论, 考虑到其杂质分布而计算出 (3.14) 式的  $V_T(V_{BG})$ , 并预先实际测试出  $\mu_{eff}$ , 就可以用 (3.19) 和 (3.22) 式求出沟道区杂质不均匀分布的晶体管的漏电压-电流特性。

另外, 对于高于夹断电压的漏电压来说, 漏电流增加的效应 (即沟道调制效应) 可以通过在夹断电压时的漏电流乘以 (3.23) 式求出。

$$L - \sqrt{\frac{2\epsilon_s}{qN_A(0)}(V_D - V_{DS})} \quad (3.23)$$

图 3.29 表示上述计算值和实测的电压-电流特性。这是在  $4 \Omega \cdot \text{cm}$  的 P-Si 上制作  $L_{eff}$  为  $6.2 \mu\text{m}$ 、 $W$  为  $31.6 \mu\text{m}$  的带型 n 沟 MOS 晶体管所测出的数据<sup>[35]</sup>。这里是通过  $1000 \text{ \AA}$  的栅氧化膜, 注入  $30\text{keV}$  的  $^{11}\text{B}^+$  离子。如图所示, 实测值和计算值非常一致。

这种方法的特点是不需要复杂的计算机处理, 就可以简单地计算出电压-电流特性, 对集成电路的设计等立即能起作用。另外, 如后面 3.4 节所要讲的那样, 用于短沟道 MOS 晶体管也和实测值很一致<sup>[38]</sup>。

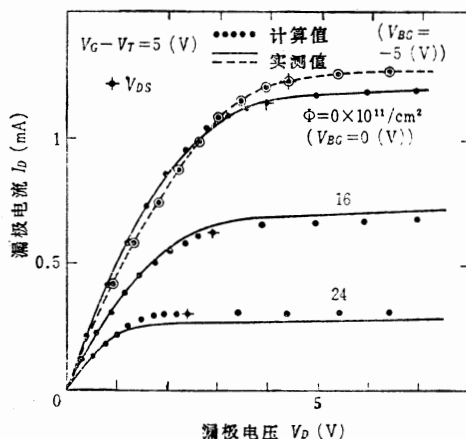


图3-29 漏电压-电流特性的计算值和实测值<sup>[35]</sup>

### 3.3 高密度离子注入

#### 3.3.1 杂质密度分布测试方法

##### (1) 纵向分布

在制作高速双极器件的发射结或高速、高密度 MOS 集成电路的源、漏结时, 需要离表面浅的 pn 结形成技术。另外, 为了制作这样高性能的集成电路, 必须提高硅片平面及纵向的加工精度。为此首先必须确立精密测试浅区内杂质分布的技术。

作为了解纵向杂质密度分布的方法, 已知有 C-V 法<sup>[39]</sup>、离子反向散射法<sup>[40]</sup>以及从表面开始削薄边用离子微型分析仪测试的方法<sup>[41]</sup>, 还有边削边测量霍尔效应和层电阻的方法<sup>[42]</sup>, 等等。在此讲一下通过测量斜研磨面的扩散电阻, 求出杂质分布的方法<sup>[43]</sup>。这种方法与反复进行削薄并测量的方法相比, 能在短时间内简便地进行测量。

为了求出由扩散电阻值换算成杂质密度分布用的补偿系数, 已经进行了许多试验<sup>[44]~[47]</sup>。其中最简单的方法是“逼近法”<sup>[44]</sup>。这种方法是在图 3-30 中按  $A_1, A_2, \dots, A_N$

顺次放上探针, 求出至 pn 结的厚度为  $a_1, a_2, \dots, a_N$  的被测物的扩散电阻  $R_1, R_2, \dots, R_N$ , 再换算成浓度。但是, 这种方法在 pn 结离表面浅的情况下所测量的分布值不够准确。这是由于“逼近法”中的补偿系数仅与探针和 pn 结之间的距离有关, 例如,  $A_1$  点的密度取决于厚度  $a_1$  层的平均值。即在图 3-30 中, 特别是在  $a_x$  大于离子的  $R_p$  的区域, 由于这种平均化, 而忽视了密度分布, 取矩形近似, 所以实质上由扩散电阻换算密度分布的精度显著下降。除了这种方法之外, 还有至 pn 结进行多层分割的差分法, 不过一般计算起来比较复杂。

下面所讲述的方法是, 根据探针在图 3-30 中  $A_N$  点测量的扩散电阻  $R_N$  和在  $A_{N-1}$  点测量的电阻  $R_{N-1}$ , 求出第  $N$  层的电阻率  $\rho_N$ , 然后再换算成杂质密度。通过这种方法, 用小型计算机就可以简单地求出至浅 pn 结为止的杂质密度分布。

一般情况下, 能量为 200keV 左右的离子注入, 其杂质分布深度大致在  $1\mu\text{m}$  以内。这样, 在 pn 结的深度比探针接触硅片部分的直径尺寸浅的情况下, 电流平行于样品表面流过, 并且探针的电位至 pn 结可以近似认为是均匀的。

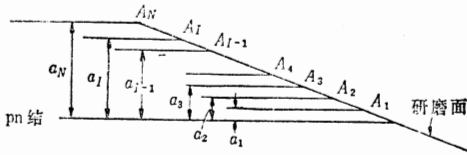


图3-30 扩散电阻测试点和到pn结的距离

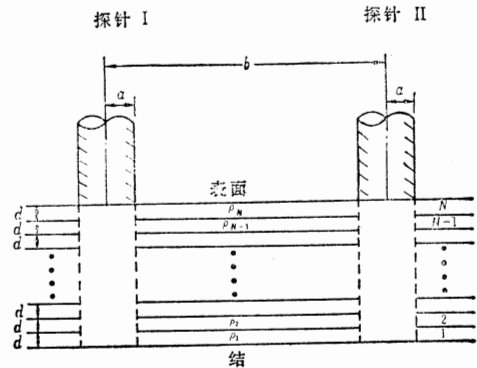


图3-31 用二根探针测量扩散电阻<sup>[48]</sup>

另外, Dickey 利用传输线路的解, 求出了均匀分布时的补偿系数<sup>[48]</sup>。按 Dickey 的方式, 如图 3-31 所示, 若把总厚度均匀地分成  $N$  层, 则把  $N$  层叠加起来的扩散电阻  $R_N$  用下式表示<sup>[49]</sup>:

$$\frac{1}{R_N} = \sum_{I=1}^N \frac{\pi d}{2\rho_I \ln(b/a)} \quad (3.24)$$

式中,  $b$  是探针之间的距离 (如图所示);  $a$  是探针半径;  $d$  是各层的厚度;  $\rho_I$  是第  $I$  层的电阻率。

根据 (3.24) 式得出

$$\rho_N = \frac{\pi d}{2 \ln(b/a)} \cdot \frac{R_{N-1} \cdot R_N}{R_{N-1} - R_N} \quad (3.25)$$

第  $N$  层的电阻率  $\rho_N$  用  $R_{N-1}$  和  $R_N$  来表示。所以, 在 Irvin<sup>[50]</sup> 的图表中, 如果预先使  $\rho$  和杂质密度之间的关系对应起来, 就可以求出各层的杂质密度。

但是, 这里测量的扩散电阻  $R_m$ , 是实际的扩散电阻  $R$  与探针-硅的接触电阻  $R_B$  之和。由于  $R_B$  已由 Mazer 和 Dickey 给出, 所以由  $R_m$  和  $R_B$  求出实际的扩散电阻  $R$  并代入 (3.25) 式即可。具体可按图 3-32 所示的步骤算出杂质密度分布。

图 3-33 是工藤等人以 150keV, 向硅中注入  $4 \times 10^{13}/\text{cm}^2 \sim 2 \times 10^{15}/\text{cm}^2$  的  $^{11}\text{B}^+$  离子

时，所测量的杂质密度分布<sup>[43]</sup>。这是在离子注入之后，在 900°C 的氮气中经 30 分钟热处理的情况下的分布。如图所示，在表面侧的扩散分布是非对称的。虽然 Mylroie 等人已通过计算指出过这种非对称性<sup>[51]</sup>，但用扩散电阻法来进行实际测量，这个数据可能是最早的了。射程  $R_p$  比 Johnson 和 Gibbons 根据 LSS 理论所得的计算值<sup>[27]</sup> 浅，而比 Gibbons 等人用电子阻止能的实验值所获得的计算值深一些。但还是可以认为与理论值比较一致。

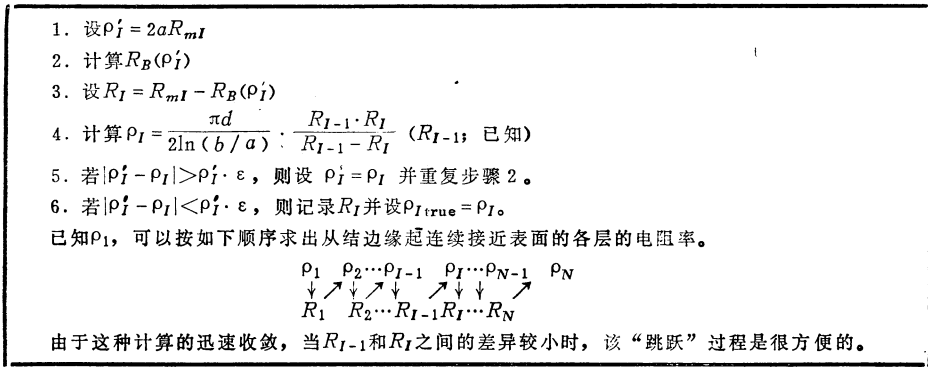


图3-32 从扩散电阻值求各层电阻率的反复运算<sup>[43]</sup>

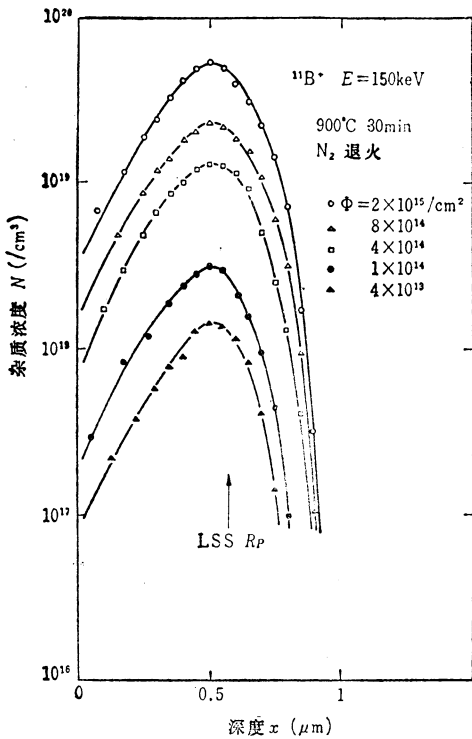


图3-33  $^{11}\text{B}^+$ 离子注入后用扩散电阻法测量的载流子浓度分布<sup>[43]</sup>  
 ( $^{11}\text{B}^+$ 离子能: 150keV; 热处理: 在 900°C 的  $\text{N}_2$  中, 30分钟)

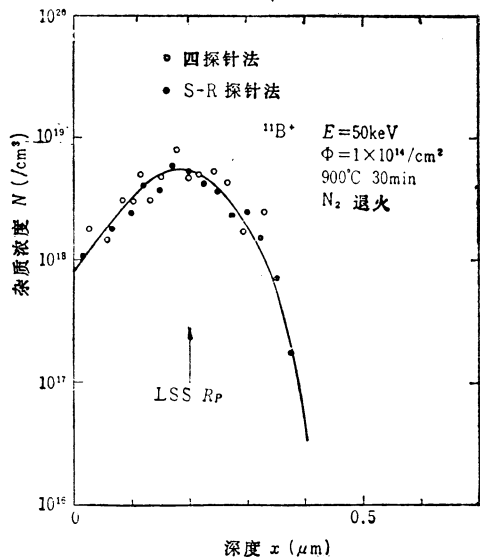


图3-34 用扩散电阻测量法和四探针法测量  $^{11}\text{B}^+$ 注入层的载流子分布的比较<sup>[43]</sup>

图 3-34 所示是采用边从表面薄切削、也用四个探针进行测量的方法所求出的杂质密度分布 (○符号) 同用上面所讲的扩散电阻法求出的杂质密度 (●符号) 的比较<sup>[48]</sup>。这是以 50keV, 注入  $1 \times 10^{14}/\text{cm}^2$  的  $^{11}\text{B}^+$  离子的例子。可见采用该扩散电阻法测得的数据误差较小。

图 3-35 所示是以 100keV 注入  $1 \times 10^{16}/\text{cm}^2$  的  $^{31}\text{B}^+$  离子的样品中的杂质分布的例子<sup>[48]</sup>。这里在 900°C 干氮中进行热处理的时间有所变化。如图所示, 无论哪块样品的曲线都在  $2 \times 10^{19}/\text{cm}^3$  附近出现“肩”。已经报导过用热扩散法掺磷时会产生这种“肩”<sup>[52]、[53]</sup>, 而用离子注入法在硅内进行掺杂时, 在热处理后的载流子分布上也会产生这种“肩”<sup>[48]</sup>。

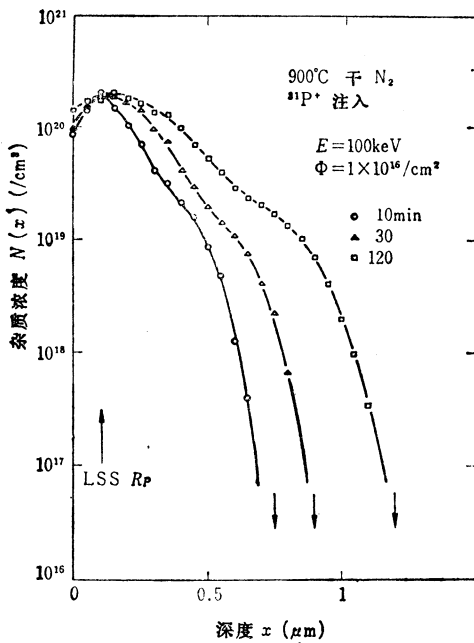


图3-35  $^{31}\text{P}^+$ 离子注入后经热处理的样品, 采用扩散电阻法测量的载流子分布<sup>[48]</sup>

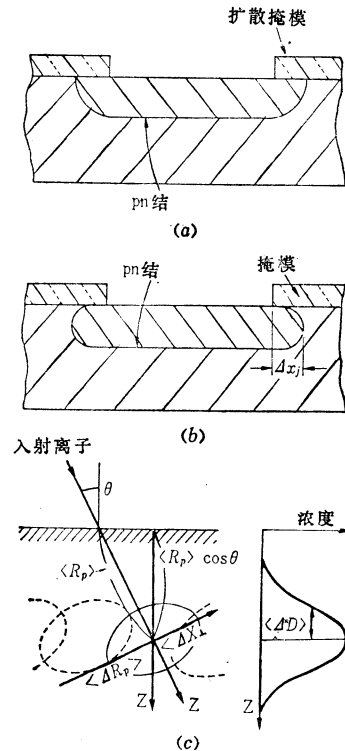


图3-36 pn结的横向扩散

(a) 用热扩散法形成的pn结的剖面; (b) 用离子注入法形成的pn结的剖面; (c) 用斜面离子注入法测量横向扩散尺寸所用的各部位常数。

## (2) 横向扩散

当进行集成电路设计时, 为了确定相邻元件的间隔, 需要掌握 pn 结超出掩膜的实际可行的值。

在采用热扩散法的情况下, 通常在半导体表面密度最高, 所以便出现如图 3-36 (a) 所示的 pn 结。Kennedy<sup>[54]</sup> 等人和可儿等人<sup>[55]</sup> 对横向扩散也进行了详细计算。

在采用离子注入法的情况下, 杂质密度分布最大的位置不在半导体表面而在半导体内部, 因而其断面出现象 (b) 图所示的 pn 结<sup>[56]</sup>。因此很难根据表面的扩散尺寸求出横向

扩散部分 $\Delta X_{\perp}$ 。

古川等人发表了测量由这种离子注入所造成的横向扩散部分 $\Delta X_{\perp}$ 的巧妙方法。如(c)图所示,当以某一角度 $\theta$ 进行离子注入时,在离表面垂直方向所测量的杂质密度分布的标准偏差 $\Delta D$ 用下式表示:

$$(\Delta D)^2 = (\Delta R_p)^2 \cos^2 \theta + (\Delta X_{\perp})^2 \sin^2 \theta \quad (3.26)$$

这是从 $\Delta R_p$ 、 $\theta$ 和实际测量的 $\Delta D$ 中求出 $\Delta X_{\perp}$ 的方法。冈林等人综合报导了用这种方法测量向硅中注入B和P时的横向扩散尺寸(表3-1)。

表3-1 离子注入分布横向扩散 $\Delta X_{\perp}$ 的实测值和理论值的比较<sup>[58]</sup>

| 离 子             | 能 量<br>(ke V) | 实测值或<br>理论值* | $\langle \Delta X_{\perp} \rangle$<br>(Å) | $\langle \Delta R_p \rangle$<br>(Å) | $\langle R_p \rangle$<br>(Å) | $\frac{\langle \Delta X_{\perp} \rangle}{\langle \Delta R_p \rangle}$ | $\frac{\langle \Delta X_{\perp} \rangle}{\langle R_p \rangle}$ |
|-----------------|---------------|--------------|---|-------------------------------------|------------------------------|---|--|
| $^{31}\text{P}$ | 145           | 实测值          | 570                                       | 675                                 | 1600                         | 0.84  | 0.35   |
|                 |               | 理论值 a        | 546                                       | 612                                 | 1860                         | 0.89  | 0.29   |
|                 | 260           | 实测值          | 825                                       | 825                                 | 2950                         | 1.0   | 0.28   |
|                 |               | 理论值 a        | 892                                       | 913                                 | 3264                         | 0.98  | 0.26   |
| $^{11}\text{B}$ | 80            | 实测值          | 725                                       | 675                                 | 2700                         | 1.07  | 0.27   |
|                 |               | 理论值 b        | 761                                       | 605                                 | 2380                         | 1.25  | 0.32   |
|                 |               | 理论值 a        | 1103                                      | 889                                 | 3081                         | 1.24  | 0.36   |
|                 | 150           | 实测值 b        | 1100                                      | 775                                 | 4500                         | 1.42  | 0.24   |
|                 |               | 理论值 b        | 1050                                      | 731                                 | 4010                         | 1.35  | 0.26   |
|                 |               | 理论值 a        | 1611                                      | 1226                                | 5481                         | 1.31  | 0.29   |

注: (1) 理论值是S. Furukawa, H. Matsumura 和 H. Ishiwara (日本J. Appl. Phys. 11(1972) 134) 以及古川(私信)提供的

(2) a、b 分别与使用LSS理论值和 Eisen 的实测值作为Se的情况相对应。

### 3.3.2 由热处理和热氧化引起的离子注入杂质的再分布

了解离子注入的杂质在高温下的驱入(drive-in),或在离子注入层氧化时的杂质分布,这在实用上也是很重要的。

一般情况下,和离子注入时的 $R_p$ 相比,向纵深驱入时的杂质密度分布与当初离子注入时的矩形分布相近似,和普通的热扩散一样,把它作为扩散源,可以看作是近似于在表面取最大值的高斯分布函数<sup>[59]</sup>。

众所周知,在与 $R_p$ 相比不太深的区域进行驱入时,所采用的式子是在与离子注入后的杂质分布相近似的高斯分布的式子中加上扩散系数 $D$ 和扩散时间 $t$ 等<sup>[60]</sup>。

下面探讨一下对离子注入层进行热氧化时的杂质密度分布。图3-37所示归纳了砷离子注入层在850~1000°C范围内的饱和水汽中氧化时的再分布情况,是中村等人提供的数据<sup>[61]</sup>。该杂质分布也是用前节的扩散电阻法<sup>[48]</sup>求出来的。而图中用细实线表示的刚注入的分布,是根据Gibbons等人<sup>[28]</sup>的 $R_p$ 和 $\Delta R_p$ 计算的结果。

图3-37(a)是在850°C进行氧化时的结果。这种情况下氧化速度要比杂质扩散速度

快。所以氧化后除去表面的  $\text{SiO}_2$  所测量的载流子分布随着氧化时间 (15、30、60分钟) 的增长而变浅。但是由于砷对硅的偏析系数比对  $\text{SiO}_2$  的偏析系数大的多<sup>[62]</sup>，所以砷并没有进入  $\text{SiO}_2$  中，而看上去减少的砷估计是在  $\text{Si-SiO}_2$  界面析出，而变成电气上不活泼的物质。

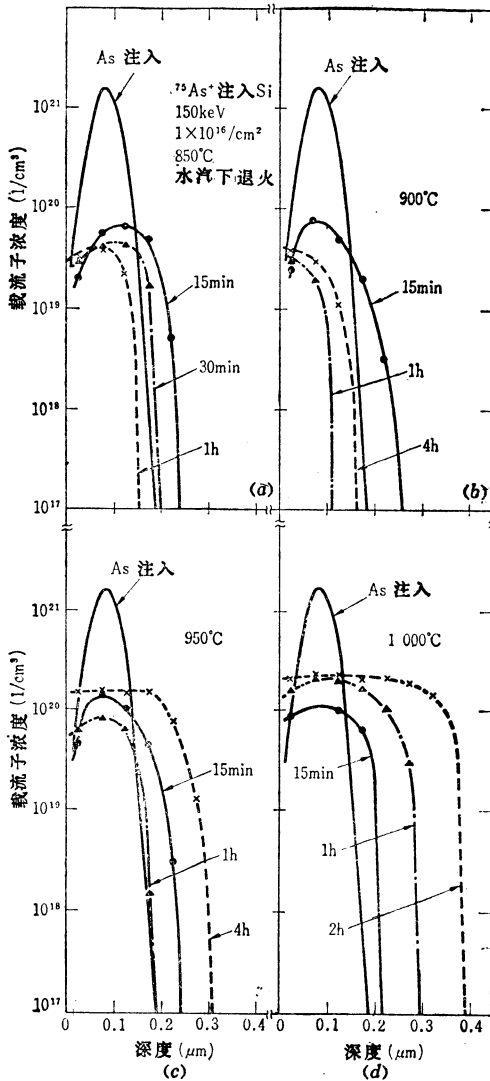


图3-37 进行离子注入的砷在各种氧化条件下的再分布情况<sup>[61]</sup>

另外同图 (d) 是在  $1000^\circ\text{C}$  下进行氧化时的情况。在这种情况下，由于砷的扩散速度比氧化速度快，所以在氧化的同时，载流子会径直向 Si 内部扩散。在氧化温度为  $900^\circ\text{C}$  和  $950^\circ\text{C}$  时正好可以观察到象该图 (a) 和 (d) 之间的杂质再分布情况。

上述砷的再分布的影响，也表现在图 3-38 所示的层电阻与氧化时间及氧化温度的关系上<sup>[61]</sup>。在实用上，可以根据该图 3-38 的层电阻值和图 3-37 的结深等计算出经砷离子注入形成的 pn 结的电容或 As 离子注入层的电阻等等，有助于集成电路的设计。

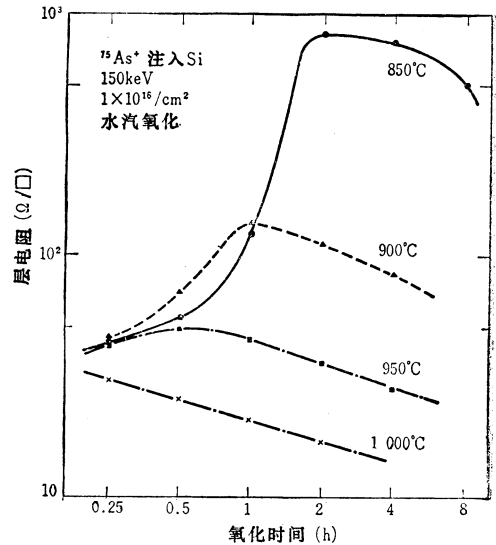


图3-38  $^{75}\text{As}^+$ 离子注入层在各种条件下氧化后的层电阻<sup>[61]</sup>

### 3.3.3 热处理后的残留损伤

#### (1) 对电气特性的影响

在经  $900^\circ\text{C}$  热处理的低密度离子注入的情况下，在噪声特性上也会残存着由离子注入损伤引起的  $G-R$  中心 (如图 3-13 所示)。预计在高密度离子注入区，损伤的程度会更加严

重，所以必须充分掌握离子注入对电气特性的影响。

图3-39表示，在用150keV注入<sup>11</sup>B<sup>+</sup>离子以形成基区的双极晶体管中，发射极-基极反向电流 $I_{EBO}$ 与离子注入量的关系。这是宇田等人的数据<sup>[64]</sup>。在这里列举的是反向电压 $V_{EBO}$ 为1.5V时测量的情况。如图所示，当注入量达到 $5 \times 10^{14}/\text{cm}^2$ 以上时， $I_{EBO}$ 将会急剧增大。作为参考内容，也列举了仅用热扩散法所制作的样品的结果。用离子注入法注入 $9 \times 10^{14}/\text{cm}^2$ 的样品与用热扩散法制作的样品的基区杂质密度相对应。如图所示，同热扩散相比，用离子注入法制作的样品的 $I_{EBO}$ 约大一个数量级，从而暗示残留着由离子注入引起的损伤<sup>[64]</sup>。

图3-39(b)表示上述样品考虑到电流放大系数时的噪声电流与注入量的关系。与前面所讲到的 $I_{EBO}$ 与注入量的关系相对应，表示噪声电流与注入量的关系也有同样倾向<sup>[64]</sup>。

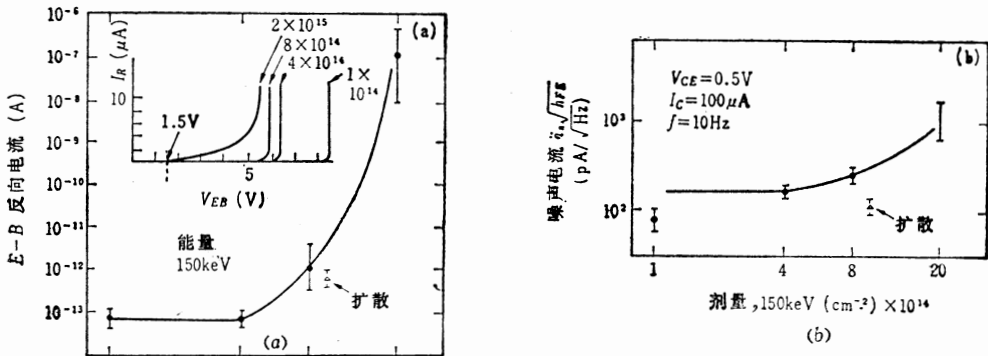


图3-39 用离子注入法形成基区的双极晶体管的发射极-基极反向电流和噪声电流与离子注入量的关系<sup>[64]</sup>

在研究该噪声电流与离子注入能量的关系时，发现噪声电流随着加速能量的增加而增加，如图3-40所示<sup>[64]</sup>。这同用低密度离子注入制作的栅极控制型二极管所出现的表面复合速度<sup>[17]、[18]</sup>的倾向相对应。

在与离子注入时的加速能量的关系中所看到的上述情况，在基极电流 $I_B$ 和基极-发射极电压 $V_{BE}$ 之间的关系中也明显地表现出来。图3-41是 $I_B-V_{BE}$ 特性的例子，是把离子注入量固定为 $2 \times 10^{15}/\text{cm}^2$ ，并以离子注入能量作为参量来表示的。

通常基极电流表示为<sup>[65]</sup>

$$I_B \propto \exp(qV/nkT) \tag{3.27}$$

当 $n = 1$ 时，以扩散电流为主，当 $n = 2$ 时，以复合电流为主。热扩散法制作的样品的 $I_B$ 特性在 $I_B < 10^{-10} \text{ A}$ 时，偏离 $n = 1$ 的斜率，而复合电流占主导地位是在基极电流相当小的时候。另一方面，用离子注入法制作的样品，随着注入能量的增加，复合电流占主导地位的区域逐渐扩大<sup>[64]</sup>。

以上从晶体管的电气特性方面已明确了离子注入带来的残留损伤的影响。在这种残留损伤中有下面所要讲的、取决于热处理的条件的二次、三次缺陷<sup>[66]</sup>，掌握这些情况也是很重要的。

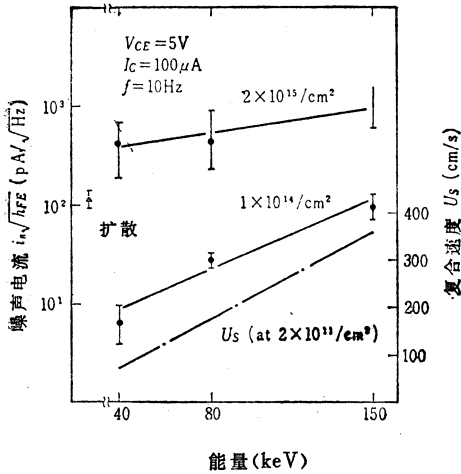


图3-40 图3-39的晶体管噪声电流与离子注入能量的关系<sup>[64]</sup>

(表面复合速度是根据文献[17]和[18])

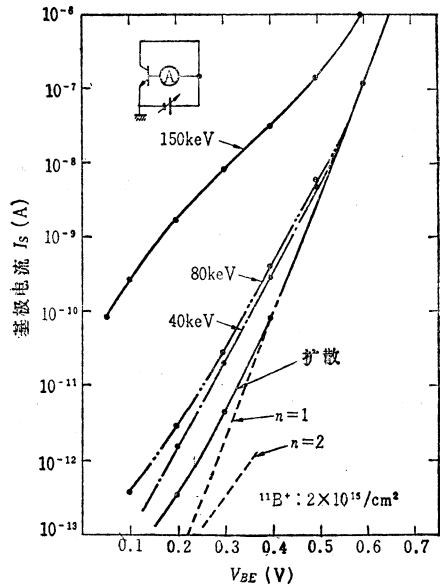


图3-41 基极电流特性和离子注入能之间的关系<sup>[64]</sup>

如图3-42所示，光石等人<sup>[67]、[68]</sup>在用430~600°C左右的低温进行热处理时，把离子注入的杂质的电激活效率和具有实际效果的霍尔迁移率作为注入量的函数来进行计算。根据这一点，有人报告在用50keV向硅中注入<sup>31</sup>P<sup>+</sup>离子时，在500°C左右、 $3 \sim 4 \times 10^{14}/\text{cm}^2$ 时，激活效率出现峰值。据说迁移率也随之产生变化，这有待于查明其机理。

(2) 晶体性质的研究

通过上述电气特性的研究可以知道，离子注入及其后的热处理所引起的缺陷的生成和消失的情况很复杂。下面再从晶体性质的观点进行一下分析。

图3-43是由宇田等人提出的在室温向 $4 \Omega \cdot \text{cm}$ 的p-Si和 $6 \Omega \cdot \text{cm}$ 的n-Si中注入150keV的<sup>11</sup>B<sup>+</sup>离子，并在各种温度下进行热处理的样品的腐蚀时间和腐蚀厚度之间的关系<sup>[64]</sup>。腐蚀液是采用在去离子水中稀释4倍的Sirtle液。采用n-Si和p-Si两部分是因为考虑到pn结的影响。在图中将纵轴原点分开来表示。另外在图中用虚线所表示的数据是没有进行离子注入的样品的腐蚀速度。

通过图4-43可以了解到以下几点：

(1) 离子注入后的注入层的腐蚀速度比注入前的速度快。

(2) 根据热处理后的数据，从样品表面向纵深方向按腐蚀速度的不同可以分为三个区域。即从表面开始，腐蚀速度恢复的区域(I)，腐蚀速度不恢复的区域(II)，以及离子注入效应所涉及不到的较深的区域(III)。

(3) 在500°C以上的热处理中，区域(II)的腐蚀速度反而比热处理前快，而且当热处理温度升高时，该区域(II)扩大。

上述事实也对应于图3-44的离子反向散射频谱的研究结果<sup>[69]</sup>。该图是由Csepregi<sup>[69]</sup>等人作的，是在77K时向(111)硅片以100keV注入 $5 \times 10^{15}/\text{cm}^2$ 的<sup>11</sup>B<sup>+</sup>离子，再把所



得到的非晶层进行各种热处理，从而得出的样品的频谱。在一次热处理中，如图3-44(a)所示，一度从非晶层表面侧和下面衬底晶体侧两个方向开始再结晶。但当热处理温度升高时，散射率会再度增高，与原来晶体衬底之间的晶向空隙加大。这对应于前面由宇田等人所得出的图3-43的结果。

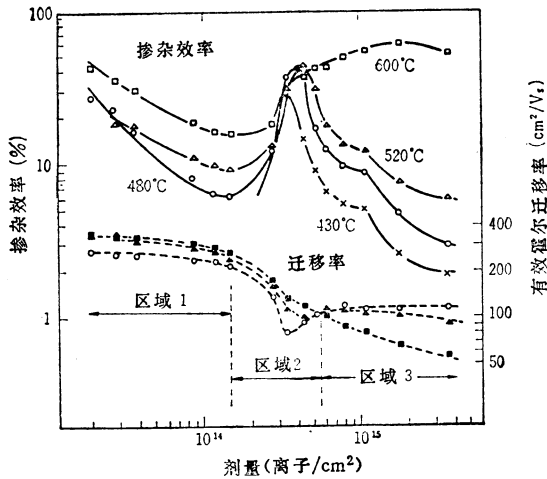


图3-42 50keV  $^{31}\text{P}^+$  离子注入量及热处理温度同激活率及霍尔迁移率之间的关系 (根据光石等人<sup>[67]</sup>、<sup>[68]</sup>资料)

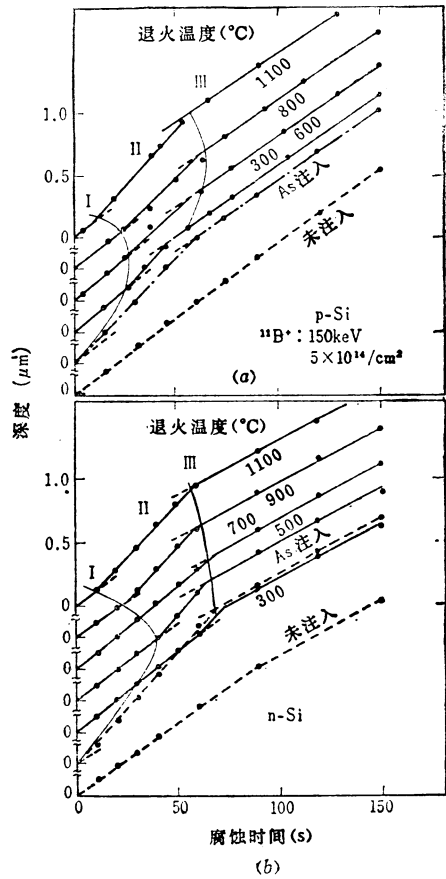


图3-43 离子注入后的热处理温度和注入层腐蚀速度之间的关系<sup>[64]</sup> (腐蚀液: 经过稀释的Sirtle液)

与图3-44(a)相比，图3-44(b)是在从450°C开始，每隔一个小时使温度上升100°C，分阶段进行热处理的情况下研究晶体性质。它与图3-44(a)的一次热处理时的结果不同，散射率随着热处理温度的上升而减少。通过频谱调准(校准频谱)可以了解晶体性质(也包括晶向)恢复的情况。

在图3-44(c)是“二次热处理法”(在550°C进行一次热处理，然后在950°C再进行30分钟的热处理)的结果。为了比较，550°C的热处理分别准备了进行1小时的样品和进行8小时的样品。550°C的温度是根据与图3-44(a)及(b)相比较，低温是非晶层最容易恢复的温度也是缺陷重新开始增加之前的温度这一观点选择的。其结果如图3-44(c)所示，得到了与(b)图大致相同的良好的晶体性质。即在550°C经1小时热处理的样品再在950°C中进行30分钟热处理，同图3-44(b)所示的分阶段进行热处理(最后在950°C进行)的情况相比，其晶体性质没有太大的差别，但是在550°C进行18小时热处理的样品比图3-44(b)的晶体性质还要好。

象这样的二次热处理法<sup>[69]</sup>的效果同宇田等人<sup>[70]</sup>对注入 $^{31}\text{P}^+$ 离子的硅用X射线二次结

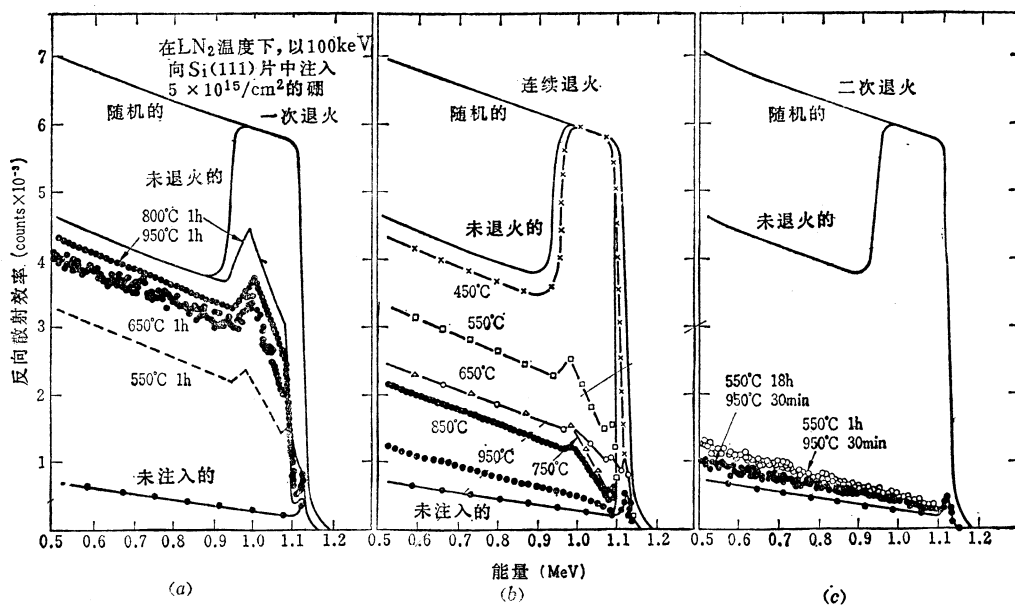


图3-44 在77K时注入 $^{11}\text{B}^+$ 离子, 并对所形成的非晶层进行各种热处理后的 $^4\text{He}^+$ 离子反向散射频谱 (根据Csepregi 等人<sup>[69]</sup>的报告)

(a) 一次热处理; (b) 等时间热处理 (热处理时间为1小时); (c) 二次热处理。

晶法<sup>[71]</sup>观察的结果也比较一致。图3-45 (a) 和 (b) 表示, 对于在 $5\ \Omega\cdot\text{cm}$ 的p-Si (111) 片中以 $50\text{keV}$ 分别注入 $3 \times 10^{14}/\text{cm}^2$ 和 $1 \times 10^{16}/\text{cm}^2$ 的 $^{31}\text{P}^+$ 离子, 然后在 $560^\circ\text{C}$ 、 $800^\circ\text{C}$ 和 $1000^\circ\text{C}$ 中进行30分钟的热处理的样品, 通过采用CrK $\alpha$ 线的X射线二次结晶法进行观测获得的绕射强度曲线的变化情况。离子注入后的样品, 无论在何种注入量的情况下, 其绕射强度都比没有进行离子注入的样品小, 并且半功率点宽度也宽。这一点在进行 $3 \times 10^{14}/\text{cm}^2$ 注入的样品中, 如图3-45(a)所示, 只有在一次热处理时绕射强度随热处理温度的上升而增强, 在 $1000^\circ\text{C}$ 进行热处理时, 在X射线二次结晶法的精度内, 呈现出和没有进行注入的样品大致相同的晶体性质。与此相反, 注入量为 $1 \times 10^{16}/\text{cm}^2$ 的样品, 如图3-45(b)所示, 绕射强度随着一次热处理温度的上升而减少。并且还会产生非常宽的副峰值。

图3-46所示是表示对注入 $1 \times 10^{16}/\text{cm}^2$ 的 $^{31}\text{P}^+$ 离子的样品, 在 $560^\circ\text{C}$ 的氮气中进行38小时的热处理, 然后再在 $1000^\circ\text{C}$ 进行30分钟的热处理时的结果。图中虚线是表示单纯在 $1000^\circ\text{C}$ 进行热处理的样品的X射线绕射曲线。二次热处理后, 该宽的副峰值看不到了, 晶体性质已显著地恢复<sup>[70]</sup>。

据德山<sup>[72]</sup>所讲, 通过这种二次热处理将会大幅度改善噪声特性。据报导, 如图3-47所示, 用离子注入法所作的基区经低温氧化, 再进行二次热处理, 可以达到与用扩散法作基区的晶体管相同的噪声电平。

透射型电子显微镜也为研究离子注入损伤提供了有效的信息。例如, 据田村等人<sup>[73]</sup>报告, 通过 $\text{SiO}_2$ 向硅中注入 $^{31}\text{P}^+$ 离子时, 在 $\text{SiO}_2$ 膜厚比 $\text{SiO}_2$ 中的 $R_p$ 稍薄的情况下, 缺陷密度最大。当加上比 $2R_p$ 厚的 $\text{SiO}_2$ 时则检测不出缺陷。

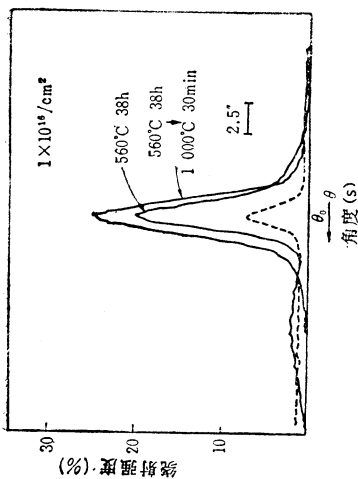


图3-46 在用X射线二次结晶法观测的  
绕射强度上所体现出来的<sup>31</sup>P<sup>+</sup>离子注入  
层二次热处理的效果(70)

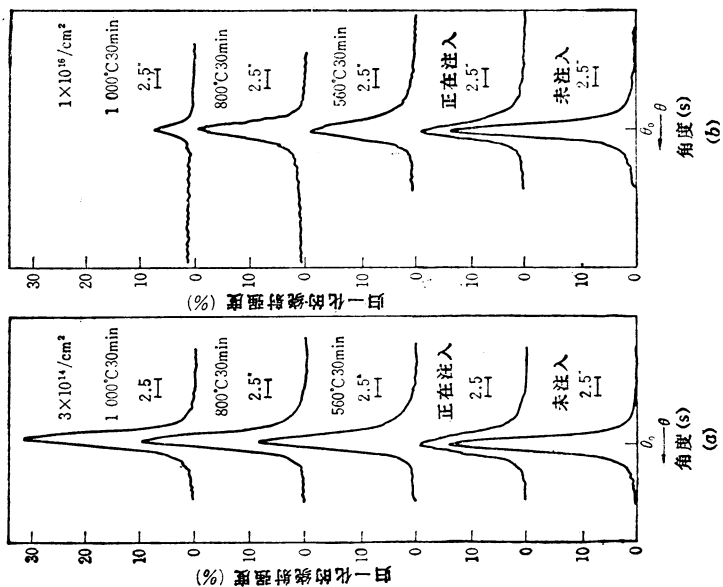


图3-45 <sup>31</sup>P<sup>+</sup>离子注入后一次热处理的温度和用  
X射线二次结晶法观测的绕射强度(70)

(a) 注入量  $3 \times 10^{14}/\text{cm}^2$ ;  
(b) 注入量  $1 \times 10^{16}/\text{cm}^2$ 。

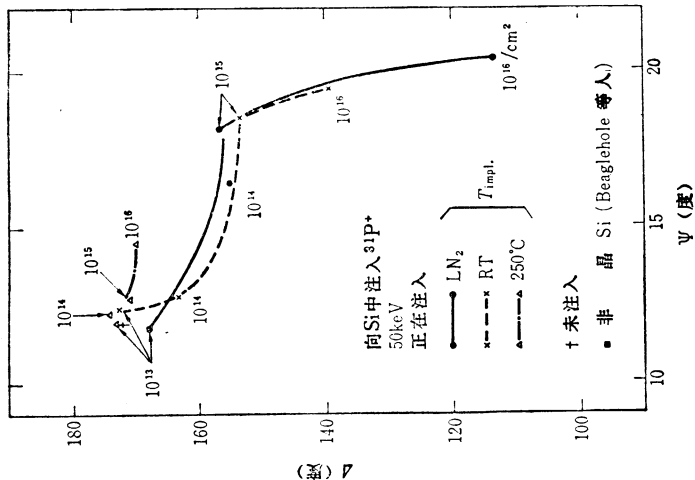


图3-47 通过二次热处理获得的噪声  
特性的改善 (根据德山的报告(72))

(续) 7

图3-48 在<sup>31</sup>P<sup>+</sup>离子注入后的椭圆仪  
测量值中出现的离子注入温度和离子  
注入量的影响(76),(77)

作为既是非破坏法，而且又操作简便的表面观察方法，还有一种通过椭圆仪进行测量的方法<sup>[74]~[77]</sup>。下面介绍这种测量的例子。

离子注入时的样品温度对以后的热处理特性的影响已经很清楚了。然而，把离子注入时的样品温度和注入层的光学性质、以及把该性质与层电阻的热处理特性联系起来加以说明的报告却很少。中村等人<sup>[75]、[77]</sup>用椭圆仪测量了离子注入时衬底温度对注入层光学性质的影响，并同影响层电阻的热处理特性的离子注入时的样品温度与光学性质的关系作了对比。

用 50keV 在  $1.4\Omega\cdot\text{cm}$  的 p-Si 中注入  $^{31}\text{P}^+$  离子，样品温度分别为 77K、室温 250°C，注入量为  $10^{13}$ 、 $10^{14}$ 、 $10^{15}$ 、 $10^{16}/\text{cm}^2$ ，然后用椭圆仪测量该样品表面，其结果示于图 3-48<sup>[75]、[77]</sup>。在此所使用的椭圆仪的波长为 5461 Å，入射角为  $70^\circ$ 。当样品温度为 77K 时 ( $\cdot$  符号)，注入量为  $10^{14}/\text{cm}^2$  以上，而在室温的情况下 ( $\times$  符号)，注入量为  $10^{15}/\text{cm}^2$  以上，从这时开始， $\psi$  和  $\Delta$  的值同注入前的值相比发生很大的变化。通常认为这是由于离子注入层变成非晶质，折射率发生变化的缘故。

图 3-49 所示的数据是从 350~1000°C (其间隔为 50°C) 对前图所示的样品进行 30 分钟的等时间热处理，再用四探针法测量层电阻所得到的。在前图中  $\psi$ 、 $\Delta$  发生显著变化的样品在 500°C 左右层电阻已急剧减少。而在前图中离子注入后  $\psi$ 、 $\Delta$  没有显著变化的样品，则如图 3-49 所示，层电阻的恢复需要 700°C 以上的热处理<sup>[75]、[77]</sup>。

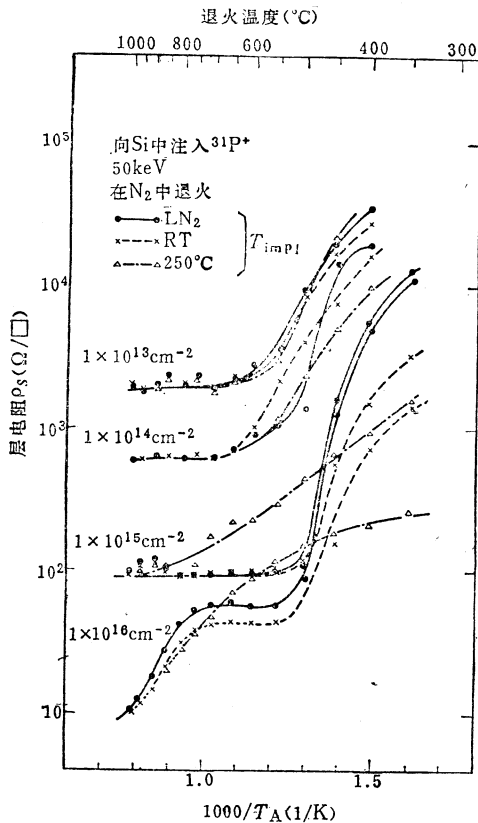


图3-49 在各种条件下对 $^{31}\text{P}^+$ 离子注入层进行等时间热处理所引起的层电阻的变化<sup>[75]、[77]</sup>

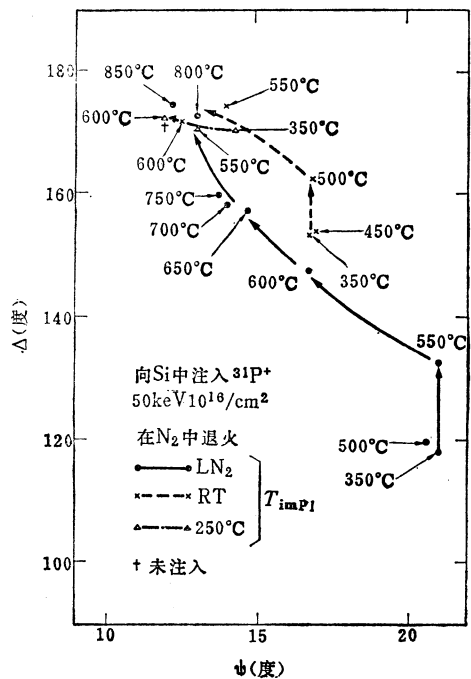


图3-50 等时间热处理后各种 $^{31}\text{P}^+$ 离子注入层的椭圆仪测量值<sup>[75]、[77]</sup>

图 3-50 汇集了由这种热处理引起的  $\Delta$  和  $\psi$  变化的情况<sup>[75]、[77]</sup>。该图是用注入  $10^{16}/\text{cm}^2$   $^{31}\text{P}^+$  离子的样品研究前面所讲的等时间热处理的影响所获的结果。在  $500^\circ\text{C}$  以下进行热处理,  $\psi$  和  $\Delta$  没有什么变化。但在进行  $550^\circ\text{C}$  以上的热处理时,  $\psi$  和  $\Delta$  发生急剧变化, 非晶层开始再结晶。因此, 椭圆仪是在离子注入层深度较浅的情况下, 非破坏性地检查注入层晶体性质的有效手段之一。

为了减少如上面所讲的由离子注入所造成的损伤, 赤坂等人提出了一种所谓 IDOPOS 法。这种方法如图 3-51 所示, 在应进行离子注入的区域上加多晶硅层, 通过该多晶硅层进行离子注入, 这样可以把离子注入损伤阻止在多晶硅内, 仅使杂质进入下面的晶体衬底内。据赤坂等人报告, 采用这种方法, 使双极晶体管的噪声特性变得非常好<sup>[78]</sup>。

另外, 最近也研究了用激光进行热处理的方法。据报导如果采用这种方法, 可以使杂质密度分布大致保持离子注入后的分布状态, 并且电激活效率也非常高。在该方法中主要提出了以下几种方法:

- (1) 用脉冲激光照射的方法<sup>[79]~[83]</sup>;
- (2) 以低功率长时间照射的方法<sup>[84]</sup>;
- (3) 用激光进行机械扫描的方法<sup>[85]</sup>等。

图 3-52 表示的是以  $100\text{keV}$  在  $2 \sim 4 \Omega \cdot \text{cm}$  p-Si {100} 中注入  $5 \times 10^{14}/\text{cm}^2$  左右的  $^{75}\text{As}^+$ , 再制作约  $1000 \text{ \AA}$  非晶层, 并在  $1000^\circ\text{C}$  的氮气中进行 30 分钟的热处理的样品 ( $\Delta$  符号)

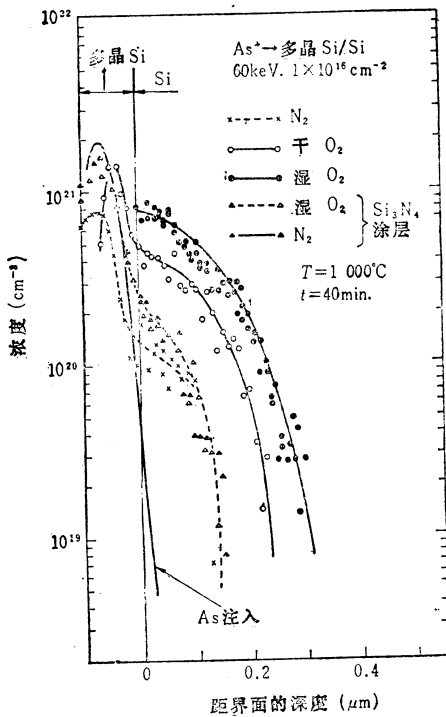


图 3-51 采用 IDOPOS 法时的 As 的分布  
(根据赤坂<sup>[78]</sup>等人报告)

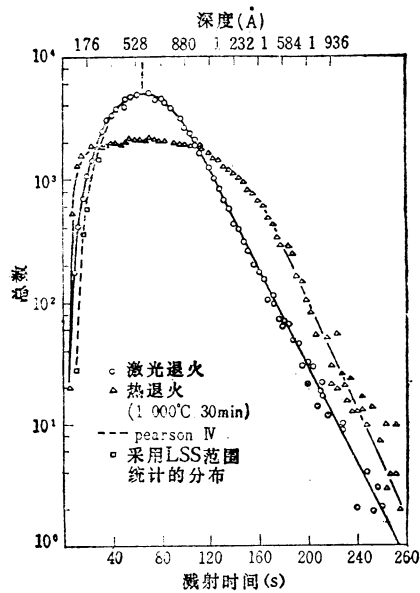


图 3-52 激光处理的  $^{75}\text{As}^+$  离子注入层和普通热处理的  $^{75}\text{As}^+$  离子注入层的载流子分布比较  
(根据 Gat<sup>[86]</sup>等人的报告)

和用 7 W, 4880 Å 的 Ar 离子激光经过 79 mm 的透镜进行照射处理(扫描速度为 2.76 cm/s, 扫描线宽为 22 μm) 的样品的杂质密度分布。如图所示进行激光热处理的样品接近于离子注入后的分布。这方面还有待于今后进一步研究和发 展。

### 3.3.4 离子注入损伤的利用

#### (1) 吸除效应

相反, 作为积极地利用离子注入所造成的损伤的方法, 有被称作“离子照射吸除法”的杂质吸除法<sup>[87]~[89]</sup>。这种方法是 从硅片背面照射<sup>40</sup>Ar<sup>+</sup>离子束, 以吸除损伤层中的重 金属。

在 10 Ω·cm n-Si 上蒸发一层 100 Å 的 Au, 再在 1075°C 的 N<sub>2</sub> 中使该 Au 扩散到硅中, 然后向急剧冷却的硅片照射 100 keV 8 × 10<sup>15</sup>/cm<sup>2</sup> 的<sup>40</sup>Ar<sup>+</sup>离子, 经 1000°C 热 处理后除去 SiO<sub>2</sub>, 该样品的反向散射能谱示于图 3-53<sup>[89]</sup>。其中, ● 符号和 × 符号所示的数据分别是取 反向散射能谱时的<sup>4</sup>He<sup>+</sup>离子束的入射方向与样品的晶体轴向不一致时的情况(随机能谱) 和一致时的情况(对准能谱)。在图中, 从高能 侧开始, 首先看到的是 Au 的能谱成分, 其次是 Ar 的能谱成分。并且通过随机能谱和对准能谱 的比较得知在 Si 表面上留下了约 700 Å 的非晶质 层。在这种薄的非晶质层中几乎包括这里所注 入的全部<sup>40</sup>Ar<sup>+</sup>离子量, 而且 Ar 也被该层所吸 除<sup>[89]</sup>。

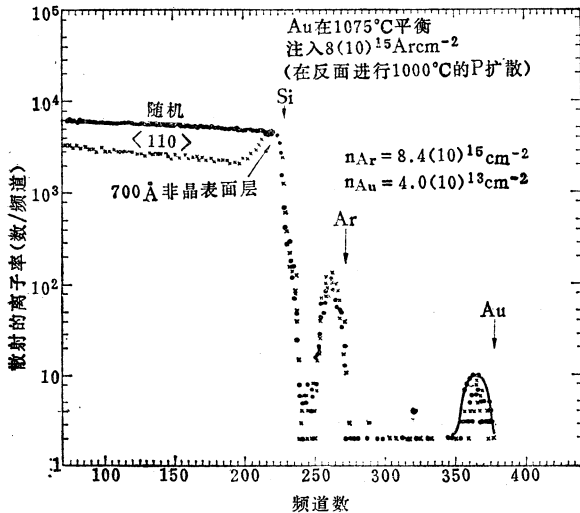


图 3-53 表示由离子照射损伤产生 Au 吸除效应的<sup>4</sup>He<sup>+</sup>离子反向散射能谱 (根据 Seidel 等人<sup>[89]</sup>的报告)

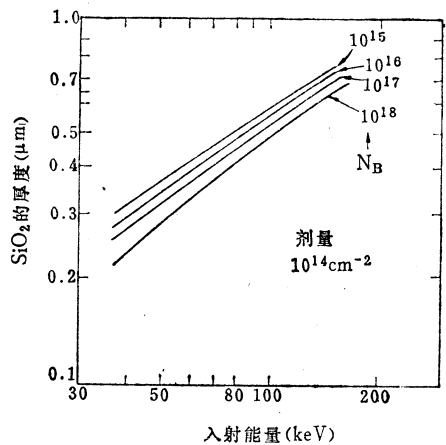
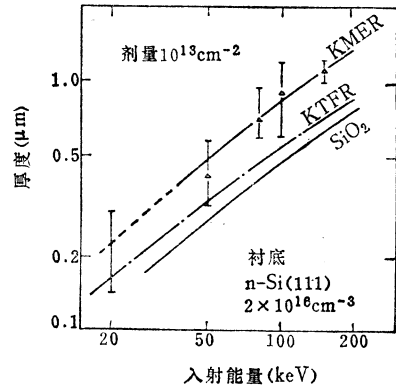


图 3-54 SiO<sub>2</sub> 和光刻胶膜的离子注入掩模效应<sup>[2]</sup>

据报导<sup>[89]</sup>一般制作的不规则晶格越多的物质, 其吸除效率越高, 其顺序是:

$$^{40}\text{Ar} \cong ^{16}\text{O} > ^{31}\text{P} > ^{28}\text{Si} > ^{75}\text{As} > ^{11}\text{B}$$

中前等人<sup>[74]、[76]</sup>用前面所讲的椭圆仪法进行测量,研究了这种<sup>40</sup>Ar<sup>+</sup>离子注入层的非晶层的形成和该层再结晶的过程。

(2) 腐蚀的控制

在SiO<sub>2</sub>膜比R<sub>F</sub>厚得多的情况下,该SiO<sub>2</sub>可用作选择离子注入的掩模<sup>[2]</sup>。图3-54是表示这种条件的一个例子。但在SiO<sub>2</sub>中必然会造成离子注入损伤。当考虑到离子注入以后的工艺时,掌握这种经离子注入的SiO<sub>2</sub>的性质也是很重要的。

据 Schwettmann 等人<sup>[80]</sup> 报告,如图3-55所示,把由离子照射的损伤引起的效应与离子注入杂质引起的效应分开,可以控制腐蚀速度。即如图3-55中所示,当以82 keV 向 SiO<sub>2</sub> 中注入 1 × 10<sup>15</sup>/cm<sup>2</sup> 左右的<sup>11</sup>B<sup>+</sup>离子时,由于照射损伤,使注入部分的腐蚀速度变快(用◇符号表示)。另一方面尽管也注入 1 × 10<sup>16</sup>/cm<sup>2</sup>,如果在1200°C氮气中进行热处理,则由于硼的影响,使腐蚀速度变慢(用▲符号表示)。

对于 Si<sub>3</sub>N<sub>4</sub> 也同样可以控制腐蚀速度,目前正在进行腐蚀速度的数据收集和研究<sup>[91]</sup>。

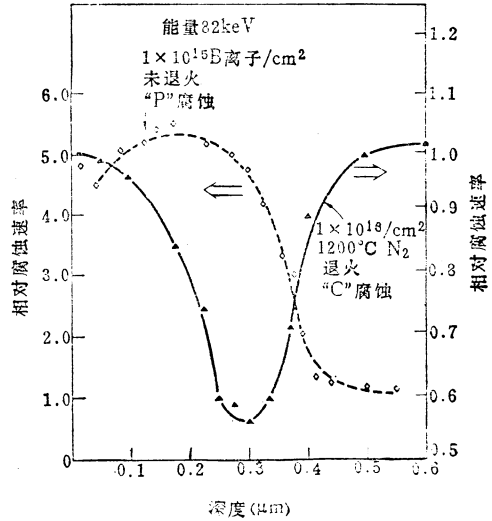


图3-55 <sup>11</sup>B<sup>+</sup>离子注入的SiO<sub>2</sub>在热处理前后的腐蚀速率(根据 Schwettmann 等人<sup>[80]</sup>的报告)

3.4 在LSI上的应用

图3-56是采用离子注入法试制的高速1k位静态MOS RAM<sup>[92]</sup>。这是采用6管方式,为了使用单一5V电源,用ED-MOS形式(驱动晶体管为增强型,负载为耗尽型晶体管)构成存储单元。为了实现高速特性,采用100Ω·cm的p-Si,并且把晶体管的有效沟道长度作成2μm左右,即采用所谓短沟道MOS FET<sup>[93]</sup>。为此,需要有实现E-D晶体管的各阈值电压和保证足够的耐压的对策。在沟道部位进行两次离子注入<sup>[4]</sup>就可以达到这一要求。

图3-57是由工藤等人提供的、分别以栅极氧化膜厚度和<sup>11</sup>B<sup>+</sup>离子注入量为参数表示短沟道MOS晶体管的V<sub>T</sub>与L<sub>eff</sub>的关系<sup>[38]</sup>。这里是首先生长一层1720Å的栅氧化膜,接着以50keV,注入5 × 10<sup>11</sup>/cm<sup>2</sup>的<sup>11</sup>B<sup>+</sup>离子,然后进行腐蚀以改变膜厚,制作出各种晶体管。图中的实线是采用Poon<sup>[94]</sup>的模型、用(3.6)、(3.13)和(3.14)式进行计算所求出的结

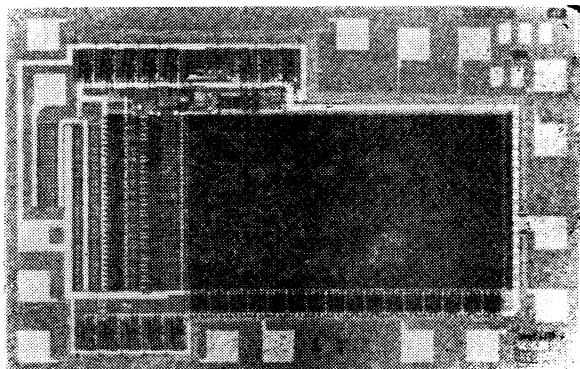


图3-56 采用离子注入法制作的1k位静态MOS RAM<sup>[92]</sup> (和田提供)

中的实线是采用Poon<sup>[94]</sup>的模型、用(3.6)、(3.13)和(3.14)式进行计算所求出的结

果。如图所示，栅氧化膜的厚度越薄，而且离子注入量越增加，则当  $L_{eff}$  变短时， $V_T$  下降的短沟道效应就越低<sup>[38]</sup>。

图5-58表示在栅氧化膜厚度一定时，离子注入对源-漏耐压的影响，通过离子注入加强了  $BV_{DS}$  和  $L_{eff}$  的关系<sup>[38]</sup>。

图 3-59 表示栅氧化膜厚度、 $L_{eff}$  及电流放大系数 ( $\beta$ ) 之间相互关系。当  $L_{eff}$  相同的样品比较时，栅极氧化膜厚度越薄，则由离子注入所造成的  $\beta$  降低越小<sup>[38]</sup>。

图3-60所示是采用  $100 \sim 150 \Omega \cdot \text{cm}$  的 p-Si，首先向整个晶体管区注入  $^{11}\text{B}^+$  离子，制作

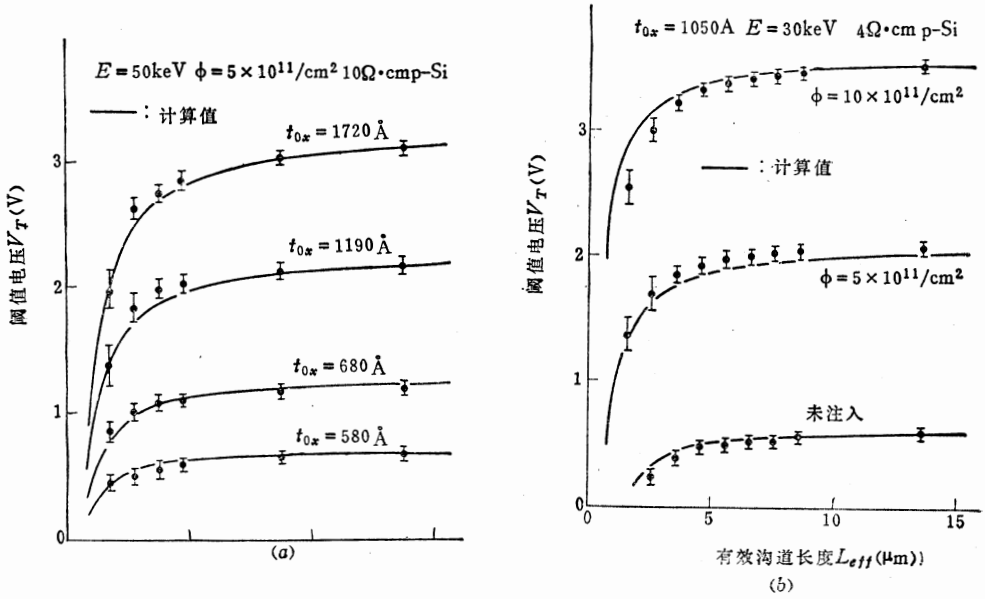


图3-57 改变栅氧化膜厚和离子注入条件时的短沟道效应<sup>[38]</sup>

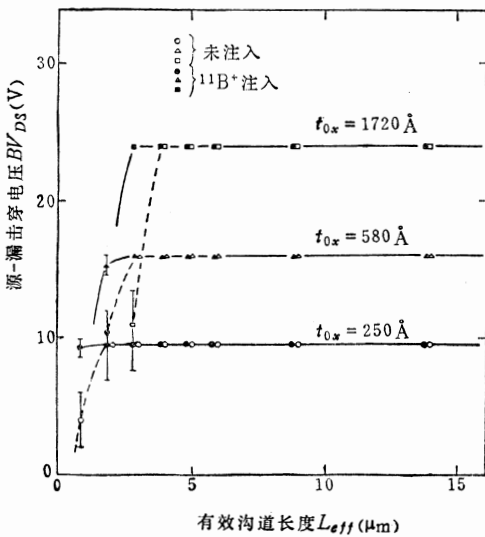


图3-58 离子注入对源-漏耐压和沟道长度的关系的影响<sup>[38]</sup>

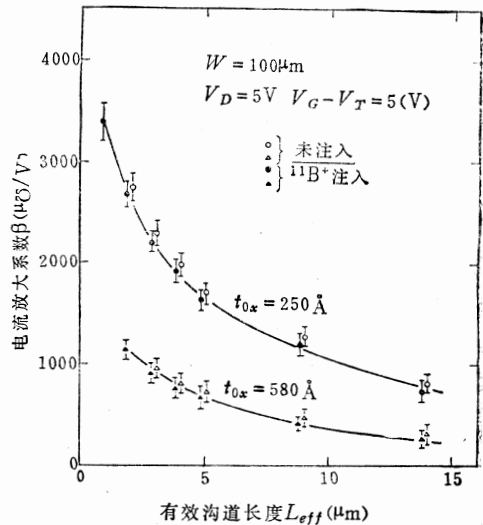


图3-59 按比例缩小及离子注入对电流放大系数和沟道长度的关系的影响<sup>[38]</sup>



E型 MOS 晶体管，接着在形成D型 MOS 晶体管的区域再注入<sup>31</sup>P<sup>+</sup>离子时的D型 MOS 晶体管部分阈值电压控制数据<sup>[95]</sup>。当注入<sup>11</sup>B<sup>+</sup>离子时，如在3.2.2所讲的那样， $V_T$ 移动。当接着注入<sup>31</sup>P<sup>+</sup>离子时，在<sup>31</sup>P<sup>+</sup>的注入量少的时候(3.2.2)，逐渐增加注入量，表面开始反转为n型，这时，如在3.2.1节中所述， $V_T$ 移动，图中曲线说明了这一点<sup>[95]</sup>。

在E型 MOS 晶体管部分为了防止击穿现象，同时采用了形成深离子注入层的技术。这是为了形成如图3-61所示的分布，以达到提高击穿电压的目的。

采用上述技术实现了图3-56的集成电路。它可以装在16条引线的管壳内，集成密度为5000元件/mm<sup>2</sup>，存取时间约为20ns。

以上作为一个例子，仅记述了有关 MOS RAM的沟道掺杂技术的应用。此外，还对在实际 LSI生产中所用的各种离子注入技术进行了适当的讨论。

作为高密度离子注入技术的应用例子，可以举出 MOS 器件的源和漏的形成。和田等人<sup>[96]</sup>研究了用砷离子注入形成源和漏的动态 MOSRAM 的恢复时间和不良位之间的关系。在动态 RAM 等的情况下，对动态特性的研究特别重要。最近 DiMaria<sup>[97]</sup>用离子注入的方法把 Al、P 和 As 掺入 SiO<sub>2</sub> 中，有意识地制作陷阱能级，然后了解陷阱的动态，同其他陷阱相对比进行了研究，如表 3-2 所示。这可能是从

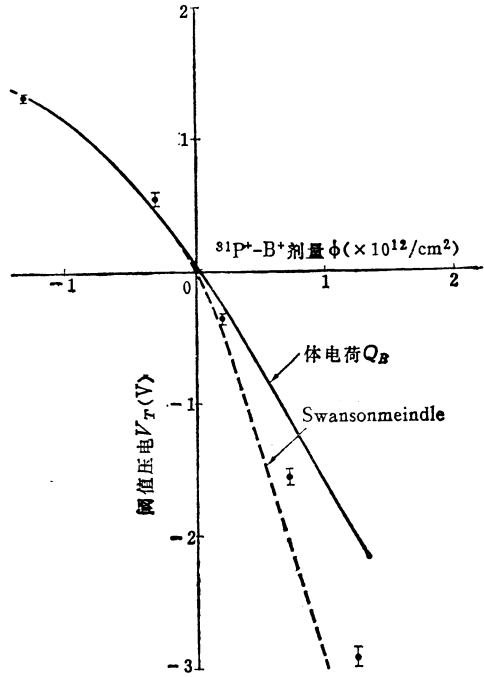


图3-60 向p-Si中注入<sup>11</sup>B<sup>+</sup>离子，再注入<sup>31</sup>P<sup>+</sup>离子，形成耗尽型晶体管时的注入量和阈值电压的关系<sup>[95]</sup>

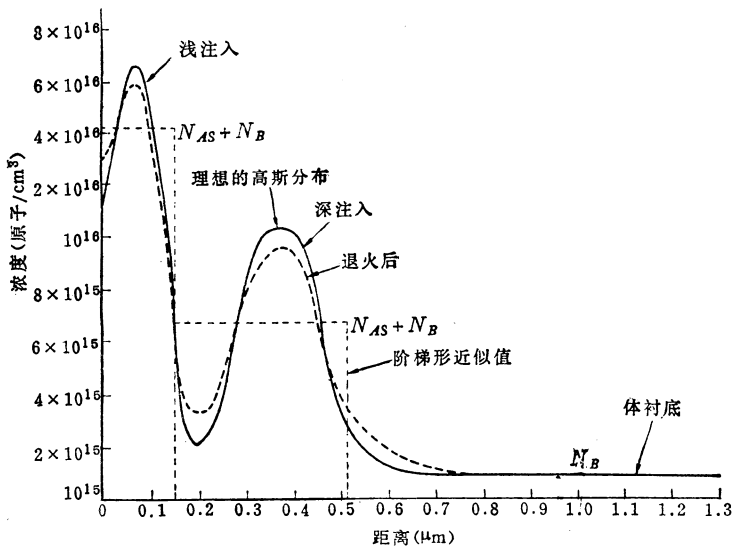


图3-61 为了提高击穿电压和控制阈值电压而采用的二次离子注入法获得的密度分布(根据 Wang<sup>[4]</sup>的报告)

表3-2 SiO<sub>2</sub>中各种陷阱的特性 (根据 DiMaria<sup>(67)</sup>的报告)

|                               | 神生长的 SiO <sub>2</sub> 中的陷阱           |                                     |  |                |  | 故意引入的                                |  |  |                                      |                                     | 与注入离子有关的陷阱                           |                |                |                |
|-------------------------------|--------------------------------------|-------------------------------------|--|----------------|--|--------------------------------------|--|--|--------------------------------------|-------------------------------------|--------------------------------------|----------------|----------------|----------------|
|                               | 与水有关的                                | 排斥                                  | 空穴陷阱<br>R. T.                              | 空穴陷阱<br>77K    | 俘获空穴位置<br>→带状耗尽                            | 2.4eV陷阱                              | Na <sup>+</sup> 陷阱<br>(77K)                                    | W  | Al                                   | P                                   | As                                   | 中性             | 中性             | 中性             |
| 初始电荷态                         | 中性                                   | 中性                                  | 中性   | 中性             | 阳性   | 阳性                                   | 阳性   | 中性   | 中性                                   | 中性                                  | 中性                                   | 中性             | 中性             | 中性             |
| 载流子                           | e <sup>-</sup>                       | e <sup>-</sup>                      | h <sup>+</sup>                             | h <sup>+</sup> | e <sup>-</sup>                             | e <sup>-</sup>                       | e <sup>-</sup>   | e <sup>-</sup>                             | e <sup>-</sup>                       | e <sup>-</sup>                      | e <sup>-</sup>                       | e <sup>-</sup> | e <sup>-</sup> | e <sup>-</sup> |
| $\sigma_C$ (cm <sup>2</sup> ) | 10 <sup>-17</sup> ~10 <sup>-18</sup> | 10 <sup>-18</sup> ~10 <sup>21</sup> | ~10 <sup>-13</sup>                         | —              | ~10 <sup>-13</sup><br>→带状耗尽                | ~10 <sup>-13</sup><br>→带状耗尽          | 2 × 10 <sup>-16</sup><br>10 <sup>-19</sup> - 10 <sup>-20</sup> | 1~5 × 10 <sup>-14</sup>                    | 10 <sup>-15</sup> ~10 <sup>-18</sup> | 3 × 10 <sup>-17</sup>               | 1 × 10 <sup>-15</sup>                |                |                |                |
| $N_T$ (cm <sup>-2</sup> )     | ~10 <sup>12</sup>                    | 10 <sup>11</sup> ~10 <sup>13</sup>  | ~10 <sup>13</sup>                          | —              | ~h <sup>+</sup><br>~10 <sup>13</sup>       | 10 <sup>9</sup> ~10 <sup>11</sup>    | = Na <sup>+</sup><br>≤ 4 × 10 <sup>12</sup>                    | $\frac{W}{10} - \frac{40}{W} \leq 10^{16}$ | ∞ E <sub>T</sub> , Al                | ~1/2 P                              | ~1/2 As                              |                |                |                |
| $E_T$ (eV) optical            | >4                                   | —                                   | >4~5                                       | <3             | —  | 2.4~2.5                              | —  | >6   | >6                                   | 3.5~4                               | 3.5~4                                |                |                |                |
| $\sigma_P$ (cm <sup>2</sup> ) | —                                    | —                                   | —  | —              | —  | 10 <sup>-18</sup> ~10 <sup>-17</sup> | —  | —  | —                                    | 10 <sup>-18</sup> ~10 <sup>17</sup> | 10 <sup>-18</sup> ~10 <sup>-17</sup> |                |                |                |
| $E_T$ (eV) thermal            | 0.35(?)                              | —                                   | 0.35                                       | —              | —  | —                                    | —  | 0.9  | —                                    | —                                   | 0.15~0.25                            |                |                |                |
| T (°C) thermal                | 200~400                              | 200~400                             | 150~400                                    | 加热至 R. T.      | —  | ≥160                                 | 至25°C<br>开始放电  | 200~400                                    | —                                    | —                                   | 100~350                              |                |                |                |
| 位置                            | U形                                   | Si-SiO <sub>2</sub>                 | Si-SiO <sub>2</sub><br>Al-SiO <sub>2</sub> | 体(?)           | Si-SiO <sub>2</sub><br>Al-SiO <sub>2</sub> | 均匀的                                  | Si-SiO <sub>2</sub>  | W位置  | Al位置                                 | P位置                                 | As位置                                 |                |                |                |
| 源                             | H <sub>2</sub> O                     | —                                   | 过量Si破裂<br>或形变键                             | —              | h <sup>+</sup>                             | 不移动Na(?)                             | Na <sup>+</sup>  | W键   | —                                    | P→O(?)                              | As→O(?)                              |                |                |                |

基础上考虑工业性问题的较好例子。在表 3-2 中,  $\sigma_c$  是捕获截面积,  $N_T$  是陷阱密度,  $E_T$  optical 是根据用于光照放电的光的能量求出  $E_T$  的值,  $\sigma_p$  是光电离截面积。此外,  $E_T$  thermal 是用加热放电方法求出的激活能级,  $T$  是当时的温度。

### 3.5 结 束 语

以上就高性能集成电路制造中用于精密控制所需要的杂质质量和杂质密度分布的离子注入技术, 从实用方面概述了其基本数据和各种问题等。首先作为低密度离子注入技术, 主要列举了一些应用在 MOS 器件的沟道掺杂方面的例子, 分别讲述了注入杂质导电类型与衬底相反和相同时的情况。在前一种情况下, 主要由离子注入量支配电气特性, 所以设定离子注入条件比较容易, 例如可以简单地适用于 p 沟 MOS 晶体管的制作方法。在后一种情况下, 不仅是离子注入量, 甚至可以连  $x_{dmax}$  和杂质密度分布都支配着电气特性, 所以举出了在器件设计中所需要的电压-电流特性的计算公式。

作为高密度离子注入技术, 首先需要控制 pn 结的深度和 pn 结横向扩散的尺寸。在这里作为杂质分布的精密测量方法的例子, 介绍了扩展电阻法。另外, 有关离子注入杂质再分布的研究在结深的设计上是不可缺少的。其中还讲述了砷离子注入层再分布的实际测试结果和层电阻及其计算结果等。这种高密度离子注入技术的另一个问题在于如何控制离子注入引起的一次、二次、三次缺陷。从电气特性和晶体性质的观点出发汇集了这方面的研究例子。另外还谈到可以非破坏性地简单进行评价的椭圆仪法。

其次, 作为具体例子列举了 1 k 位静态 MOS RAM, 说明了上述一些基础技术是如何应用于实际的 LSI 制作的。

如果将上述在本研究中原来存在的问题和解决办法、以及遗留下来的问题, 从某种观点出发加以整理, 则如表 3-3 所示。即在低密度离子注入方面, 当初担心离子注入损伤, 而通过 BT 处理等, 进行实测和研究的结果表明, 只要进行适当的热处理, 除噪声特性外, 实用上基本没有什么问题。在实际中使用离子注入法时, 需要掌握离子注入条件和器件的电气特性。在这方面, 对于 MOS FET 的沟道掺杂技术来说, 已经考虑了表面的能带结构和最大表面耗尽层宽度  $x_{dmax}$ , 如果在古川和石原理论的基础上<sup>[14]、[15]</sup>再考虑到注入硅内的杂质密度, 则不仅可以说明阈值电压, 也可以说明  $V-I$  特性。据德山<sup>[72]</sup>报导如果进行二次热处理, 噪声特性也可以得到一定的改善, 但还没有完全恢复的例子。这一点可以说是在该领域中遗留下来的研究课题。

高密度离子注入法, 在制作双极器件的发射极和高密度 MOS IC 的源、漏时, 用于形成浅的 pn 结是有希望的。问题首先是如何在短时间内精密地测量出这种浅的杂质分布。对此利用扩散电阻法, 可以进行实用程度上的载流子分布测量。在集成电路的掩模图形设计中所需要的 pn 结横向扩散的问题, 采用了古川等人<sup>[56]、[57]</sup>的斜向离子注入法进行实际测量, 对此, 冈林和篠田<sup>[58]</sup>已经发表了对于  $^{31}P^+$  和  $^{11}B^+$  的数据。关于离子注入杂质的再分布, 也取得了实测数据。因而, 在这里剩下的问题仍是包括二次、三次缺陷在内的由离子注入引起的损伤。对此, 采用腐蚀速度、X 射线二次结晶法、离子反向散射法<sup>[69]</sup>、透射电子显微镜观察<sup>[78]</sup>、椭圆仪法等, 已收集了一些数据。通过掌握晶格的调整方法和热处理温度之间的关系, 由 Csepregi<sup>[69]</sup>等人提出了二次热处理法等, 其中也包括激光退火法, 这

表3-3 在本研究中的一些问题和对策以及遗留的一些问题  
(※: 遗留的问题)

| 问       | 题                     | 调 查 和 对 策   | 结 果   |
|---------|-----------------------|---|---|
| 低密度离子注入 | 离子注入损伤                | BT处理 适当的热处理   | 除噪声特性※外,基本上没有问题   |
|         | 离子注入条件和电气特性           | 实际测量 考虑表面的带状结构和 $\chi_d^{\max}$<br>古川、石原理论                | 也包括V-I特性在内实际测值和计算值非常一致  |
|         | ※ 噪声特性                | 二次热处理   | 有所改善 (德山)   |
| 高密度离子注入 | 浅的杂质分布的测量横向扩散         | 扩散电阻法等<br>斜向注入 (石原等人)                                     | 可测量1 $\mu$ m以下的载流子分布 <sup>31P+</sup> ,<br>11B+ 离子的实际测量(冈林、篠田) |
|         | 离子注入杂质的再分布            | 实际测量  | 75 A s <sup>+</sup> 离子的实测                                     |
|         | ※ 离子注入损伤              | 腐蚀速度<br>X射线二次结晶法<br>离子反向散射法<br>透射型电子显微镜法<br>椭圆仪法<br>激光退火等 | 掌握晶体性质和热处理条件之间的关系<br>发现了二次热处理法 (Csepregi 等人)                  |
|         | 与短沟道效应之间的关系<br>※ 动态特性 | 实际测量<br>二次注入  | 控制阈值和击穿电压   |

是今后的研究课题。

当在实际的集成电路上应用时，例如在 MOS IC 的情况下，有不少用以控制阈值电压、击穿电压等的参数，但是还存在进行动态操作时的陷阱等问题。

把离子注入技术作为制造技术来使用时，希望将其提高到包括随之而来的辅助技术（即尽可能简便、迅速的计算方法和测量手段）在内的“综合技术”的水平加以应用。在本文中所讲到的作者们的电压-电流特性的计算方法、杂质密度分布的求法、杂质再分布的研究或用椭圆仪对离子注入层进行测试的方法等，都留意于这一点，并着重于“简便”。因而，对此产生所谓缺少“严密性”的议论是不可避免的。今后希望在不失简便性的原则下努力提高精度。

### 参 考 文 献

- [1] 西沢, 渡辺: 半導体素子の表面処理の高エネルギー粒子衝撃法, 特願昭29-25990 (特願昭25-11976の分割) (特公昭31-7133), (具体例として第4例に「Inをイオン化し加速してGeに叩き込む」例が開示されている)
- [2] e.g. Y. Okuyama and M. Kamoshida: Masking Effects of SiO<sub>2</sub> and KMER against <sup>11</sup>B<sup>+</sup> Ion Implantation, Denki Kagaku, 41, 482 (1973)
- [3] e.g. M. R. MacPherson: The Adjustment of MOS Transistor Threshold Voltage by Ion Implantation, Appl. Phys. Lett., 18, 502 (1971)
- [4] P. P. Wang: Double Boron Implant Short-Channel MOS FET, IEEE Trans. Electron Devices, ED-24, 196 (1977)
- [5] J. W. Mayer, L. Eriksson, and J.A. Davies: Ion Implantation in Semiconductors, Academic Pr., New York (1970)
- [6] G. Dearnaley, J. H. Freeman, R. S. Nelson, and J. Stephen: Ion Implantation, North-Holland Publ. Co., Amsterdam (1973)
- [7] 難波編著: イオン注入技術. 工業調査会 (1975)
- [8] 伊藤, 鶴島, 谷田, 大泊: イオンインプランテーション——理論と応用, 昭晃堂 (1976)
- [9] e.g. D. H. Lee and J. W. Mayer: Ion Implanted Semiconductor Devices, Proc. IEEE, 62, 1241 (1974)
- [10] R. M. Swanson and J. D. Meindl: Ion Implanted Complementary MOS Transistors in Low-Voltage Circuits, IEEE J. Solid-State Circuits, SC-7, 146 (1972)
- [11] K. Nakamura and M. Kamoshida: Electrical Characteristics of Ion Implanted p-Channel MOS Transistors, J. Appl. Phys., 45, 334 (1974)
- [12] R. H. Crawford: MOS FET in Circuit Design, Texas Instruments Inc., McGraw Hill (1967)
- [13] K. Nakamura and M. Kamoshida: Electrical Characteristics of <sup>11</sup>B<sup>+</sup>-Implanted p-Channel MNOS Transistors, Solid-State Electron., 18, 1085 (1975)
- [14] S. Furukawa and H. Ishiwara: Range Distribution Theory Based on Energy Distribution of Implanted Ions, J. Appl. Phys., 43, 1268 (1972)
- [15] 石原, 古川: 多層構造基板中の注入イオンの飛程分布に関する理論的検討, 電通学会論文誌, 56-C, 179 (1973)
- [16] K. Nakamura and M. Kamoshida: Annealing Characteristics of Ion Implanted p-Channel MOS Transistors, J. Appl. Phys., 45, 4262 (1974)
- [17] K. Nakamura, O. Kudoh, M. Kamoshida, and Y. Haneta: Noise Characteristics of Ion Implanted MOS Transistors, Proc. 4th Conf. Ion Implantation in Semiconductors and Other Materials (1974); Ion Implantation in Semiconductors, ed. by S. Namba, Plenum Pr., New York, 709 (1975)
- [18] K. Nakamura, O. Kudoh, and M. Kamoshida: Noise Characteristics of Ion Implanted MOS Transistors, J. Appl. Phys., 46, 3189 (1975)
- [19] K. L. Wang: Measurements of Residual Defects and 1/f Noise in Ion-Implanted p-Channel MOS FET's, IEEE Trans. Electron Devices, ED-25, 478 (1978)
- [20] K. Nakamura and M. Kamoshida: An Investigation of Stability of p-Channel Ion-Implanted MOS Transistors by BT Treatments, Japan. J. Appl. Phys., 12, 1635 (1973)
- [21] O. Kudoh, K. Nakamura, and M. Kamoshida: Implant Dose Profile Dependence of Electrical Characteristics of Ion-Implanted MOS Transistors, J. Appl. Phys., 45, 4514 (1974)
- [22] M. Kamoshida and O. Kudoh: Surface Dep-

- pletion Region Width Dependence of Threshold Voltage Shift of Ion-Implanted MOS Transistor, *Appl. Phys. Lett.*, 24, 501 (1974); 25 (E), 764 (1974)
- [23] S. D. Brotherton and P. Burton: The Influence of Non-Uniformly Doped Substrates on MOS C-V Curves, *Solid-State Electronics* 13, 1591 (1970)
- [24] T. Tanaka: Shift of the Gate Threshold Voltage of MOS Transistors due to the Introduction of Shallow Impurities, *Japan. J. Appl. Phys.*, 10, 84 (1971)
- [25] M. R. MacPherson: Threshold Shift Calculations for Ion Implanted MOS Devices, *Solid-State Electronics* 15, 1319 (1972)
- [25] T. Warabisako, I. Yoshida, and T. Tokuyama: Properties of MOS Structures Prepared on Substrates Having Ion-Implanted Impurity Distribution Profile, *Proc. 4th Conf. Solid State Devices* (1972), *Suppl. J. Japan Soc. Appl. Phys.*, 42, 181 (1973)
- [27] W. S. Johnson and J. F. Gibbons: Projected Range Statistics in Semiconductors, *Stanford Univ. Pr.*, Stanford, Calif. (1970)
- [28] J. F. Gibbons, W. S. Johnson, and S. W. Mylroie: *Projected Range Statistics in Semiconductors and Related Materials*, 2nd Ed., Halstead Pr., New York (1975)
- [29] M. Kamoshida: Threshold Voltage and 'Gain' Term  $\beta$  of Ion-Implanted Enhancement-Mode n-Channel MOS Transistors, *Appl. Phys. Lett.*, 22, 404 (1973)
- [30] M. Kamoshida: Electrical Characteristics of Boron-Implanted n-Channel MOS Transistors, *Solid-State Electronics* 17, 621 (1974)
- [31] J. R. Edwards and G. Marr: Depletion-Mode IGFET Made by Deep Ion Implantation, *IEEE Trans. Electron Devices* ED-20, 283 (1973)
- [32] V. L. Rideout, F. H. Gaenssien, and A. LeBlanc: Device Design Considerations for Ion-Implanted n-Channel MOS FET's, *IBM J.* 19, 50 (1975)
- [33] J. S. T. Huang and G. W. Taylor: Modeling of an Ion-Implanted n-Channel MOS FETs, *IEEE Trans. Electron Devices* ED-22, 995 (1975)
- [34] J. R. Verjans and R. J. van Overstraeten: Electrical Characteristics of Boron Implanted n-Channel MOS Transistors for Use in Logic Circuit, *IEEE Trans. Electron Devices* ED-22, 862 (1975)
- [35] 工藤, 鴨志田: イオン注入 MOS トランジスタのドレイン電圧-電流特性, *電通学会論文誌* 60-C, 691 (1977)
- [36] C. T. Sah and H. C. Pao: The Effects of Fixed Bulk Charge on the Characteristics of Metal-Oxide-Semiconductor Transistors, *IEEE Trans. Electron Devices* ED-13, 393 (1966)
- [37] A. S. Grove: *Physics and Technology of Semiconductor Devices*, John-Wiley, New York (1967)
- [38] 工藤, 宇田, 鴨志田: Short Channel MOS トランジスタの特性, *半導体トランジスタ研究会資料* SSD75-13 (1975)
- [39] e.g. V. G. K. Reddi and A. Y. C. Yu: Ion Implantation for Silicon Device Fabrication, *Solid State Technology* p. 35 (Oct. 1972)
- [40] e.g. C. E. Christodoulides, W. A. Grant, and J. S. Williams: Rutherford Backscattering Analysis of Ion-Implanted, Thermally Oxidized Silicon, *J. Electrochem. Soc.*, 124, 1651 (1977)
- [41] e.g. R. K. Lewis, J. M. Morabito, J. C. C. Tsai; "Primary Oxygen Ion Implantation Effects on Depth Profiles by Secondary Ion Emission Mass Spectrometry, *Appl. Phys. Lett.*, 23, 260 (1973)
- [42] e.g. M. K. Barnoski and D. D. Loper: Ion Implanted Bipolar Transistor Carrier Concentration Profiles, *Solid-State Electronics* 16, 443 (1973)
- [43] O. Kudoh, K. Uda, Y. Ikushima, and M. Kamoshida: Impurity Profiles within a Shallow pn Junction by a New Differential Spreading Resistance Method, *J. Electrochem. Soc.*, 123, 1752 (1976)
- [44] R. G. Mazur and D. H. Dickey: A Spreading Resistance Technique for Resistivity Measurements on Silicon, *J. Electrochem. Soc.*, 113, 255 (1966)
- [45] P. A. Schumann, Jr. and E. E. Gardner: Spreading Resistance Correction Factors, *Solid-State Electronics* 12, 371 (1969)
- [46] P. A. Schumann, Jr. and E. E. Gardner: Application of Multilayer Potential Distribution to Spreading Resistance Correction Factors, *J. Electrochem. Soc.*, 116, 87 (1969)
- [47] T. H. Yeh and K. H. Khokhani: Multilayer Theory of Correction Factors for Spreading-Resistance Measurements, *J. Electrochem. Soc.*, 116, 1461 (1969)
- [48] D. H. Dickey: Abs. 57, p. 151 *The Electrochem. Soc. Extended Abstracts*, Spring Meeting Pittsburgh, Pa., (Apr. 1963); See also Appendix A of the ASR-100 Manual.
- [49] D. H. Dickey: Paper 250 RNP Presented at the *Electrochem. Soc. Meeting*, Dallas, Tex.,

- (Oct. 1975)
- [50] J. C. Irvin: Resistivity of Bulk Silicon and of Diffused Layers in Silicon, *Bell Syst. Tech. J.*, **41**, 387 (1962)
- [51] S. W. Mylroie and J. F. Gibbons: Computation of Third Central Moments for Projected Range Distributions of Common Ion-Implanted Dopants in Silicon, *Proc. 3rd Intern. Conf. Ion Implantation (1972)*; *Ion Implantation in Semiconductors and Other Materials*, ed. by B. L. Crowder, Plenum Pr., New York, p. 243 (1973)
- [52] J. C. C. Tsai; Shallow Phosphorus Diffusion Profiles in Silicon, *Proc. IEEE* **57**, 1499 (1969)
- [53] M. Yoshida, E. Arai, H. Nakamura, and Y. Terunuma: Excess Vacancy Generation Mechanism at Phosphorus Diffusion into Silicon, *J. Appl. Phys.*, **45**, 1498 (1974)
- [54] D. P. Kennedy and R. R. O'Brien: Analysis of the Impurity Atom Distribution near the Diffusion Mask for a Planar pn Junction, *IBM J.*, **9**, 179 (1965)
- [55] K. Kani and N. Tanuma: Numerical Solutions of the two Dimensional Impurity Atom Distribution in a Planar pn Junction, *Japan. J. Appl. Phys.*, **5**, 641 (1966)
- [56] 例えば松村: 注入イオンの横方向への拡がり, *応用物理* **47**, 508 (1978)
- [57] H. Ishiwara, S. Furukawa, H. Matsumura, and N. Natsuaki: Study on Three-Dimensional Distribution of Implanted Ions by He<sup>+</sup> Backscattering Technique, *Proc. 4th Conf. Solid-State Devices*, Tokyo (1972); *Suppl. J. Japan Soc. Appl. Phys.*, **42**, 124 (1973)
- [58] H. Okabayashi and D. Shinoda: Lateral Spread of <sup>31</sup>P and <sup>11</sup>B Ion Implanted in Silicon, *J. Appl. Phys.*, **44**, 4220 (1973)
- [59] 鴨志田, 奥山: イオン注入ブレデポジション層からの拡散, *電子通信学会論文誌* **56-C**, 444 (1973)
- [60] e. g. S. Wagner: Diffusion of Boron from Shallow Ion Implants in Silicon, *J. Electrochem. Soc.*, **119**, 1570 (1972)
- [61] K. Nakamura and M. Kamoshida: Implanted As Redistribution during Annealing in Oxidizing Ambient, *J. Electrochem. Soc.*, **125**, 1518 (1978)
- [62] R. B. Fair and J. C. C. Tsai: The Diffusion of Ion Implanted Arsenic in Silicon, *J. Electrochem. Soc.*, **122**, 1689 (1975)
- [63] J. F. Gibbons: Ion Implantation in Semiconductors—Part II: Damage Production and Annealing, *Proc. IEEE* **60**, 1062 (1972)
- [64] 宇田, 鴨志田: <sup>11</sup>B<sup>+</sup>イオン注入トランジスタの熱処理後の残留損傷, *電子通信学会論文誌* **59-C**, 53 (1976)
- [65] 例えば文献 37) の p. 221
- [66] e. g. L. D. Glowinski, P. S. Ho, and K. N. Tu: Residual Damage in Silicon Implanted and Post-Annealed Silicon, *Proc. 5th Intern. Conf. Ion Implantation in Semiconductors and Other Materials (1976)*; *Ion Implantation in Semiconductors*, ed. by F. Chernov, J. A. Borders, D. K. Brice, Plenum Pr., New York, p. 461 (1977)
- [67] M. Miyao, N. Yoshihiro, T. Tokuyama, and T. Mitsuishi: Correlation between Lattice Damage and Electrical Activation of Phosphorus-Implanted Silicon, *J. Appl. Phys.*, **49**, 2573 (1978)
- [68] T. Mitsuishi, Y. Sasaki, and H. Asami: Annealing Behavior of Phosphorus Implanted Silicon Crystals, *Japan. J. Appl. Phys.*, **16**, 367 (1977)
- [69] L. Csepregi, W. K. Chu., H. Müller, J. W. Mayer, and T. W. Sigmon: *Rad. Eff.*, **28**, 227 (1976); 鴨志田: イオン後方散乱法——シリコン素子製造との関連——, *日本結晶成長学会誌* **4**, 95 (1977) にて紹介
- [70] K. Uda and M. Kamoshida: Annealing Characteristics of Highly P<sup>+</sup>-Ion-Implanted Silicon Crystal—Two-Step Anneal, *J. Appl. Phys.*, **48**, 18 (1977)
- [71] K. Yagi, N. Miyamoto, and J. Nishizawa: Anomalous Diffusion of Phosphorus into Silicon, *Japan. J. Appl. Phys.*, **9**, 246 (1970)
- [72] T. Tokuyama: Use of Ion Implantation in Device Fabrication at Hitachi CRL, *Proc. 5th Intern. Conf. Ion Implantation in Semiconductors and Materials (1976)*; *Ion Implantation in Semiconductors*, ed. by F. Chernov, J. A. Borders and D. K. Brice, Plenum Pr., New York, p. 519 (1977)
- [73] M. Tamura, N. Natsuaki, M. Miyao, and T. Tokuyama: Anomalous Residual Defects in Silicon after Annealing of Through-Oxide Phosphorus Implantations, *Proc. 5th Intern. Conf. Ion Implantation in Semiconductors and Materials (1976)*; *Ion Implantation in Semiconductors*, ed. by E. Chernov, J. A. Borders and D. K. Brice, Plenum Pr., New York, p. 391 (1977)
- [74] 中前, 野尻, 高畑: イオン注入損傷層の形成および再結晶のエリブソメータによる解析, *電子通信学会半導体トランジスタ研究会資料* **SSD 77-84** (1978)
- [75] 中村, 五島: イオン注入温度による注入層の光学的及び電気的性質の変化, *第25回応用物理関係*

- 連合大会 27p-M-5 (1978)
- [76] 中前, 野尻: Ar イオン注入による damage 層のエリプソメータによる解析(I), (II), 第25回応用物理関係連合大会 27 p-M-7, 8 (1978)
- [77] K. Nakamura, T. Gotoh, and M. Kamoshida (投稿中)
- [78] Y. Akasaka, K. Tsukamoto, M. Kawaguchi, H. Satoh, K. Horie, and H. Komiya: Application of Diffusion from Implanted Polycrystalline Silicon to Bipolar Transistors, Proc. 7th Conf. Solid-State Devices (1975); Suppl. Japan. J. Appl. Phys., 15, 49 (1976)
- [79] B. A. Kachurin, N. B. Pridachin, and L. S. Smirnov: Annealing of Radiation Defects by Laser Radiation Pulses, Sov. Phys.-Semicond., 9, 946 (1975)
- [80] E. I. Shtyrkov, I. B. Khibullin, M. M. Zavi-pov, M. F. Galyatudinov, and R. M. Bayazitov: Local Laser Annealing of Implantation Doped Semiconductor Layers, Sov. Phys.-Semicond., 9, 1309 (1975)
- [81] A. Kh. Antonenko, N. N. Gerasimenko, A. V. Dvurechenskii, L. S. Smirnov, and G. M. Tseitlin: Distribution of an Implanted Impurity in Silicon after Laser Annealing, Sov. Phys., -Semiconductor 10, 81 (1976)
- [82] V. V. Bolotov, N. B. Pridachin, and L. S. Smirnov: Laser Annealing of Defects Responsible for Additional Optical Absorption in Ion-Irradiated Gallium Arsenide, Sov. Phys.-Semicond., 10, 338 (1976)
- [83] O. G. Kutukova and L. N. Stel'tsov: Laser Annealing of Implanted Silicon, Sov. Phys.-Semiconductor 10, 265 (1976)
- [84] A. G. Klimenko, E. A. Klimenko, and V. I. Donin: Sov. J. Quantum Electron., 5, 1289 (1976)
- [85] G. A. Kachurin, E. V. Nidaev, A. V. Khodyachikh, and L. A. Kovaleva: Annealing of Implanted Layers by a Scanning Laser Beam, Sov. Phys.-Semicond., 10, 1128 (1976)
- [86] A. Gat, J. F. Gibbons, T. J. Magee, J. Peng, V. R. Deline, P. Williams, C. A. Evans, Jr.: Physical and Electrical Properties of Laser-Annealed Ion Implanted Silicon, Appl. Phys. Lett., 32, 276 (1978)
- [87] T. M. Buck, J. M. Poate, K. A. Pickar and C. M. Hsieh: Gettering Rates of Various Fast-Diffusing Metal Impurities at Ion-Damaged Layers on Silicon, Appl. Phys. Lett., 21, 485 (1972)
- [88] J. M. Poate and T. E. Seidel: The Diffusion of Cu through Si and Gettering at Ion Damaged Surface Layers in the Presence of O, Proc. 3rd. Intern. Conf. Ion Implantation in Semiconductors and Other materials (1972); Ion Implantation in Semiconductors and Other materials, ed. by B. L. Crowder, Plenum Pr., New York p. 317 (1973)
- [89] T. E. Seidel, R. L. Meek and A. G. Cullis: Direct Comparison of Ion-Damage Gettering and Phosphorus-Diffusion Gettering of Au in Si, J. Appl. Phys., 46, 600 (1975)
- [90] F. N. Schwettmann, R. J. Dexter, and D. F. Cole: Etch Rate Characterization of Boron-Implanted Thermally Grown SiO<sub>2</sub>, J. Electrochem. Soc., 120, 1566 (1973)
- [91] 赤坂, 堀江, 佐藤, 野村: イオン注入によるシリコン窒化膜の促進エッチング, 電気学会電子装置研究会 EDD-73-103 (1973)
- [92] 和田, 工藤, 田口, 鶴見, 小川, 松江, 長橋: 25ns, 200mW の1024ビット・スタティックMOS RAM", 電子通信学会全国大会予稿集 p. 2-192 (1978)
- [93] 石田: チャネルドープ微小 MOS FET, 応用物理 45, 955 (1976)
- [94] H. C. Poon, L. D. Yau, and R. L. Johnston, and D. Beecham: DC Model for Short Channel IG FET's, IEEE Intern. Electron Devices Meeting, Technical Digest p. 156 (1973)
- [95] 工藤, 鶴見, 山中, 和田: 高抵抗基板を用いた E-D 短チャネル MOS FET の特性, 第25回応用物理学関係連合大会予稿集 p. 365 (1978)
- [96] Y. Wada, S. Nishimatsu, and K. Satoh: Evaluation of Arsenic Implanted Layers by means of MOS Memory Characteristics, Solid-State Electronics 21, 513 (1978)
- [97] D. J. DiMaria: The Properties of Electron and Hole Traps in Thermal SiO<sub>2</sub> Layers Grown on Silicon, presented at Intern. Topical Conf. Phys. of SiO<sub>2</sub> and Its Interface (1978)



## 第四章 高精度扩散技术

柏本正弘

### 4.1 前言

在硅器件制备技术中扩散技术历史最长。可以说，随着近年来与离子技术的并用，扩散技术本身基本上趋近完善。在这种情况下，扩散技术今后的主要课题将是扩散的精确控制，因此，也需要深入全面地了解扩散过程的机理。

表 4-1 汇总了目前制造 LSI 和 VLSI 中所采用的杂质。

表 4-1 在器件工艺中使用的杂质

| 器 件                       | 工 艺      | 杂 质         |
|---------------------------|----------|-------------|
| 双极 npn 管 I <sup>2</sup> L | 集电区埋层    | Sb, As      |
|                           | 隔离区      | B           |
|                           | 基区       | B           |
|                           | 发射区      | P, As, P-As |
| MOS n 沟、p 沟 CMOS DMOS     | p 阱, n 阱 | B, P        |
|                           | 源-漏      | B, P, As    |
|                           | DMOS 沟道  | B           |

p 沟 MOS 的源、漏以及双极晶体管的隔离和基区等用的 p 型杂质只采用硼 (B)。这是因为在扩散源、扩散方法以及选择扩散的容易性等方面，硼较之其它 p 型杂质——镓 (Ga) 和铝 (Al) 更容易处理，而且后两者与硼相比，在硅中的固溶度小，很难形成高浓度扩散层。

磷 (P) 作为 n 沟 MOS 的源、漏和双极晶体管的发射区等的 n 型杂质用得最多。而对于双极器件的集电区 n<sup>+</sup> 埋层来说，它是在器件制造的初期阶段形成的，为避免在以后的热处理过程中其杂质分布出现重新分布而引起剧烈的变化，所以一直采用扩散系数小、并在外延生长工艺中自掺杂少的锑 (Sb)。但由于锑与硅的原子半径相差大，使晶体性能变坏。所以，随着外延生长自掺杂控制技术的成熟，近来已经开始用砷 (As) 代替锑。砷的扩散系数小，原子半径又与硅的原子半径相当，能形成晶体性能良好的扩散层，故除了集电区埋层采用砷以外，近来，尤其是在要求浅发射结和浅源-漏结的 LSI 和 VLSI 中，砷正在取代磷而成为主要的 n 型杂质。

另外，在提高半导体制造设备的性能方面，由于采用计算机，扩散炉已具有对温度、气体流量以及操作程序进行监控的高级功能，使工艺重复性和稳定性得到显著提高。

一旦能充分了解上述杂质的扩散过程并使之模型化，则除了提高扩散炉的性能及可靠

性外, 还能对扩散过程进行高精度控制以及实现工艺模拟, 这种工艺模拟能够在实际的半导体制造工艺之前精确地推算出扩散的结果, 若能与器件模拟相结合, 则可望提高硅器件的研制效率及性能。

如果把扩散技术的问题分类, 则首先是扩散方法, 其次是扩散层的特性。后者还能再细分为薄层电阻和结深的均匀性、控制性; 扩散层晶体完整性; 杂质分布状态(纵向分布以及横向分布)等。当然, 它们互相之间也是密切相关的。

正当进入 VLSI 时代之际, 高精度扩散技术的课题是什么? 本章从这一角度出发, 拟在 4.2 节介绍扩散技术的现状, 在 4.3 节概述扩散现象的基础, 为在 4.4 节讨论硅中主要杂质的扩散机理及其分布状态作准备, 在 4.5 节则简单介绍以上述讨论为基础的工艺模拟的现状。

## 4.2 扩散技术的现状

### 4.2.1 扩散的均匀性

在表面扩散浓度  $C_s$  恒定时, 扩散的杂质分布一般可用下式表示:

$$C = C_s f(\xi) \quad (4.1)$$

$$\xi = \frac{x}{2\sqrt{D_s t}}$$

式中,  $D_s$ 、 $t$ 、 $x$  分别是表面的扩散系数、扩散时间和离开表面的距离。当扩散系数与浓度无关而为常数时,  $f$  是补余误差函数 (erfc), 而与浓度有关时,  $f$  一般不能给出解析表达式。但是对于硅中的杂质扩散, 扩散系数常常可以视为与浓度成正比, 这时对高浓度区, 可以给出近似公式  $f(\xi) = 0.999 - 0.872\xi - 0.450\xi^2$ <sup>[1]</sup>。根据 (4.1) 式, 结深  $x_j$  为

$$x_j = 2 \cdot f^{-1}\left(\frac{C_B}{C_s}\right) \cdot \sqrt{D_s t} \quad (4.2)$$

式中,  $C_B$  是本底浓度。另外, 进入硅中扩散层的杂质总量为

$$Q = -\left.\frac{\partial f}{\partial \xi}\right|_{\xi=0} \cdot C_s \sqrt{D_s t}$$

若设扩散层的平均迁移率为  $\bar{\mu}$ , 则薄层电阻为

$$\rho_s = -\left(q \cdot \bar{\mu} \cdot \left.\frac{\partial f}{\partial \xi}\right|_{\xi=0}\right)^{-1} \cdot \frac{1}{C_s \sqrt{D_s t}} \quad (4.3)$$

假如扩散系数  $D \propto C_s \cdot \exp(-E/kT)$ , 则根据 (4.2) 和 (4.3) 式, 结深和薄层电阻同表面浓度、扩散温度和扩散时间的关系如下:

$$\frac{\Delta x_j}{x_j} = \frac{1}{2} \left( n \cdot \frac{\Delta C_s}{C_s} - \frac{E}{kT} \cdot \frac{\Delta T}{T} + \frac{\Delta t}{t} \right) \quad (4.4)$$

$$\frac{\Delta \rho_s}{\rho_s} = -\left(1 + \frac{n}{2}\right) \cdot \frac{\Delta C_s}{C_s} + \frac{E}{2kT} \cdot \frac{\Delta T}{T} - \frac{\Delta t}{2t} \quad (4.5)$$

在推导 (4.4) 式时, 用函数  $f$  表示的分布是以在结附近的分布陡, 且  $f^{-1}(C_B/C_s)$  基本不变为前提的。比较 (4.4) 和 (4.5) 式, 便可看到, 对于由  $C_s$ 、 $T$  和  $t$  的变动所造成的误差来说, 薄层电阻常常比结深的大。

在(4.4)和(4.5)式中,由于扩散时间 $t$ 在实际的工艺过程中控制的精度相当高,故该参数只要扩散时间不是极短,在均匀性和重复性方面则无多大问题。另外,就扩散温度而言,目前扩散炉的温度可控制在 $\pm 0.5^{\circ}\text{C}$ 以下,故这一参数与扩散时间一样,基本上无多大问题。但在实际采用的 $1000\sim 1200^{\circ}\text{C}$ 的扩散温度范围内,由于热传递主要靠辐射来实现,故有时辐射平衡条件会因炉内硅片的放置位置而异,硅片本身的温度也不同于炉子的给定温度。这种情况在硅片出入扩散炉时表现得尤为显著,这在扩散时间短的情况下便是一个严重问题。例如,在 $1100^{\circ}\text{C}$ 的扩散炉温下放置多枚硅片时,最边上的硅片温度即使是炉温恒定时,也要比扩散炉给定温度低几 $^{\circ}\text{C}$ ,严重时则要低 $10^{\circ}\text{C}$ 左右。若设扩散系数的激活能为 $3\text{eV}$ ,则由(4.4)和(4.5)式求出的由温度变化所造成的误差,在 $1000^{\circ}\text{C}$ 左右时每 $1^{\circ}\text{C}$ 便会引起 $1\%$ 的误差。在实际的扩散工艺中,为避免产生这种辐射而引起温度变动,则采用假硅片的方法。

这样,即使尽力抑制由扩散时间和温度造成误差的因素,通常出现的扩散层电阻的误差也只能限制在 $5\%$ 以下,一般在 $2\sim 3\%$ 之间。目前,这一结果被认为仅仅是由于(4.4)和(4.5)式中表面浓度 $C_s$ 变化所造成的,于是,如何控制 $C_s$ 以提高均匀性就成了研究改进扩散方法的中心课题。

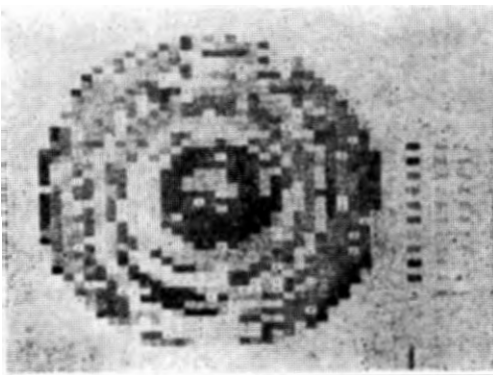


图4-1 在具有漩涡缺陷的硅片上制作 npn 晶体管的 $h_{FE}$ 分布<sup>(2)</sup>

图4.1用深浅不同的两种颜色表示了双极晶体管的 $h_{FE}$ 的分布,这种晶体管是在由于基区和发射区扩散而产生漩涡缺陷的硅片上制成的,这将在下一节予以介绍。该图表示对应于漩涡缺陷分布, $h_{FE}$ 的变化情况。这种 $h_{FE}$ 的变化与基区、发射区的扩散深度和基区宽度的变化相对应。由此可见,造成扩散不均匀的主要原因除上述 $C_s$ 、 $T$ 、 $t$ 以外,还与硅片中的漩涡缺陷以及后面将要叙述到的扩散诱生失配位错等有关。为了提高均匀性,晶体的完整性和工艺诱生缺陷的控制等是必不可少的条件。

### 4.2.2 扩散方法

对于表4-1中所示杂质的扩散,迄今已尝试过很多方法。表4-2列出的乃是目前在LSI和VLSI制作中采用的最有代表性的方法。

表4-2 扩散方法分类

| 扩 散 方 法   | 扩 散 源 和 扩 散 杂 质   |                                       |
|-----------|---|---------------------------------------|
| 化学源       | $\text{POCl}_3, \text{BBr}_3, \text{BN}, \text{Sb}_2\text{O}_3$ |                                       |
| 固-固 {     | 掺杂氧化物   | $\text{PSG}, \text{AsSG}, \text{BSG}$ |
|           | 旋涂  | $\text{P}, \text{As}, \text{B}$       |
| 离子注入 + 驱入 | 掺杂多晶硅   | $\text{As}$                           |
|           |   | $\text{P}, \text{As}, \text{B}$       |

研究和改进扩散方法的重点有两个方面。首先，如上节所述，应该怎样实现扩散表面浓度的均匀性以提高扩散的均匀性；其次，在保持扩散均匀性的同时，又应如何把扩散表面浓度的控制范围从高浓度扩展到低浓度。如果能降低扩散温度，浅结控制是很容易做到的。然而扩散以后，器件的各种热处理工艺的影响却是重要的因素。

化学源扩散法是在含有过量杂质的气氛中加热硅片而进行扩散的，故扩散表面浓度便成了扩散温度下杂质在硅中的固溶度。因其理论上可保证表面浓度的均匀性，故比较容易获得良好的结果，只是因为表面浓度达到固溶度，故容易伴随产生沉积和缺陷。另外，欲获得低表面浓度分布，在高浓度扩散之后，要断源进行驱入，在某些场合，要像硼扩散那样，利用表面氧化反应产生的硼吸出现象来降低浓度，故控制性差。

在直至低浓度的整个范围内更好地控制表面浓度的方法是固-固扩散法。此法的扩散源是沉积在硅片表面的掺杂氧化物或掺杂多晶硅。掺杂氧化物或掺杂多晶硅系采用 CVD 法形成，故扩散的均匀性仅取决于包括掺杂级在内的 CVD 均匀性。采用 CVD 法形成的掺杂氧化物，可以通过掺杂气体的流量任意控制氧化物中的杂质量，故扩散表面浓度的控制范围宽。例如用 BSG 进行硼扩散，其表面浓度可以做到 CMOS P 阱表面浓度  $10^{16}$  的一半，不过扩散均匀性仍具有浓度越低就越差的倾向。用掺杂多晶硅进行的扩散，由于多晶硅用作扩散源同时也用作电极材料，所以在微细双极晶体管的发射极扩散中用得较多。另外，把硅和杂质的有机化合物溶于有机溶剂中，然后像光刻胶一样，采用旋转涂敷机把该溶液涂敷在硅片表面上，烘干后形成薄膜状的掺杂氧化物，这种方法称之为旋涂扩散法，其性质与掺杂氧化物扩散差不多，但设备的成本上要较 CVD 设备便宜，是生产线中大量采用的方法。

采用这些扩散法，一般在高浓度时均匀性好，而低浓度时则均匀性差，并且控制性也有变差的倾向，如上所述，平均起来扩散层电阻很容易达到 5% 以下的均匀性。如果控制上再加倍注意，甚至还能达到  $\pm 2\sim 3\%$ ，而要获得更高的均匀性是很困难的。结深的均匀性在测量技术上很难做到用数值表示，不过根据 (4.4) 和 (4.5) 式的比较，可以估计出它要小于薄层电阻的误差。

可以认为上述薄层电阻的误差主要系由表面浓度的误差所致，为了改善这种情况，最近通过先用离子注入预淀积，紧接着进行驱入的方法，以获得所期望的扩散层。

离子注入剂量的误差从设备方面来说为  $\pm 1\%$  以下，这比起通常的扩散法均匀性要好得多，而且结深可通过加速电压控制，特别适于形成浅结。图 4-2 是夏秋氏对离子注入均

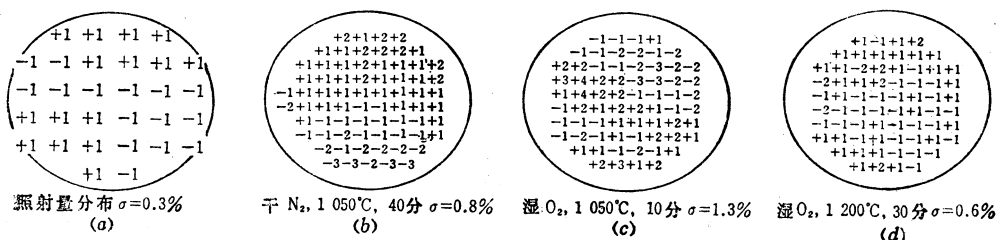


图4-2 热处理和均匀性

[各数值与平均值相比的误差：(%)<sup>(3)</sup>，

(a) 照射量分布，硼离子注入  $\sigma = 0.3\%$ ；(b) 热处理后的薄层电阻分布，干  $N_2$ , 1050°C, 40分钟， $\sigma = 0.8\%$ ；(c) 湿  $O_2$ , 1050°C, 10分钟， $\sigma = 1.3\%$ ；(d) 湿  $O_2$ , 1200°C, 30分钟， $\sigma = 0.6\%$ ]

匀性所做的研究结果<sup>[8]</sup>，这证实了注入量的均匀性确实已达到了 $\pm 1\%$ ，但在其后驱入所进行的热处理中，薄层电阻会出现 $\pm 1\sim 2\%$ 有时甚至是 $3\sim 4\%$ 的误差。由此可见，采用离子注入形成的扩散层均匀性与预想的相反，并不比前述的扩散法的情况好多少，只是稍好一点，而从器件工艺的角度来看，尤其是在高浓度的情况下，仅就均匀性来说，两者并无实质性的差别。这种离子注入法之所以均匀性差，据认为是注入的杂质在被电激活的过程中同硅中存在的晶格缺陷相互作用所致，

不过确切原因目前尚不清楚。

图 4-3 将砷离子注入-驱入法和采用类似于掺杂氧化物法的 DLS 热扩散法<sup>[5]</sup>进行扩散，就结深控制性作了比较。采用离子注入-驱入法，结深在驱入初期延伸特别快，其后便与热处理时间的平方根成正比延伸，而采用热扩散法，结深从热处理的初期便与热处理时间的平方根成正比延伸。在采用离子注入-驱入法的情况下，结深在热处理初期的异常延伸据认为与离子注入时形成的晶格缺陷的退火过程有着密切关系，是离子注入-驱入法所固有的，只要借助热处理进行退火，这一过程就不可避免。鉴于此，在现阶段，尤其是浅结而言，可以说热扩散要较离子注入-驱入法更易控制。

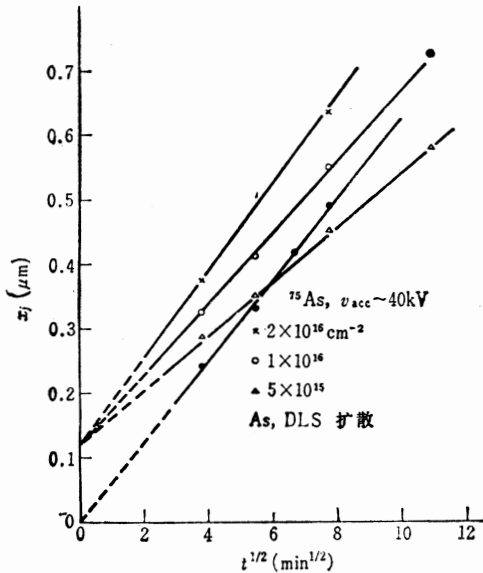


图4-3 结深与热处理时间的关系——离子注入-驱入法和热扩散法的比较<sup>[4]</sup>

由此可见，传统的扩散法和离子注入-驱入法相比，要得到像发射区和源-漏那样高浓度浅扩散层，在现阶段倒不如采用传统的扩散法合适，而制造基区以及 CMOS 的 p 阱或 n 阱那样的浓度较低的扩散层则以采用离子注入-驱入法为宜。但是离子注入也具有能透过氧化物进行掺杂的特点，如果离子注入层的退火过程的研究取得进展，则离子注入-驱入法有可能在形成低浓度浅结直至高浓度浅结方面优于传统扩散法。

#### 4.2.3 扩散诱生缺陷的产生及其控制

图 4-4 是评价硅晶体完整性的摆动曲线，它表示硅中一旦导入杂质，晶格就会根据杂质的种类或者延伸（掺锑）或者收缩（掺磷）。这是因为硅中杂质的原子半径不同于硅原子半径（见表 4-3），故杂质进入硅中便会给硅造成畸变。杂质一旦达到临界量便会发生失配位错。这种失配位错是由于杂质与硅的原子半径不同而产生的，故在理论上可以设想采取下列措施，即在扩散其原子半径小于硅的杂质（如磷和硼）的同时，扩散原子半径大于硅的其它杂质，这样，畸变便会相互抵消，从而抑制失配位错的产生。实际上，已有人通过实验证明这是可行的，即如果在硅中将电活性差而原子半径大于硅的锡与磷或硼同时扩散，则硅的晶格畸变就会减少，从而抑制了失配位错的产生（见图 4-3(b)）。这项工作是由 Yagi<sup>[10]</sup>、Yeh<sup>[9]</sup>等人进行的。根泽<sup>[11]</sup>等人采用的方法不同于上述利用原子半径的大

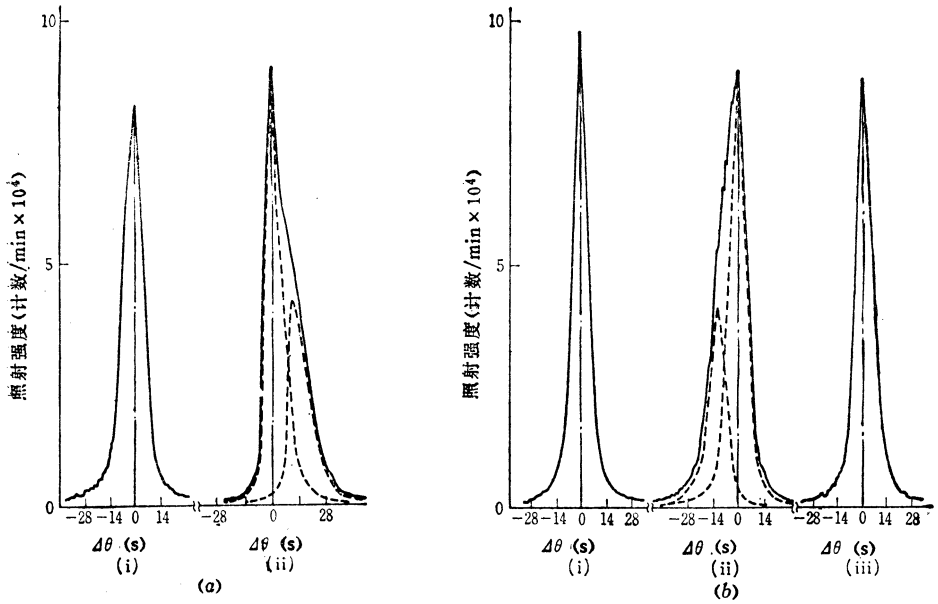


图 4-4

(a) 杂质扩散后的硅的摆动曲线<sup>[10]</sup> (i) 扩散Sb的情况: 曲线偏向低角度一边; (ii) 扩散P的情况: 曲线偏向高角度一边。(b) 扩散 Sn和P 使畸变相互抵消<sup>[10]</sup>(i) 扩散前的硅的摆动曲线; (ii) 扩散Sn的情况; (iii) 在扩散Sn后的硅片上再扩散P的情况; 畸变相互抵消后恢复到 (i) 的状态。

小相互抵消畸变的方法, 而用同时扩散磷和原子半径与硅差不多的砷的方法, 达到和上述扩散锡一样的效果, 即抑制失配位错的发生。他们认为这种情况是砷造成空位吸收和填隙从而使畸变缓和所致。抑制这种失配位错对结的漏电、噪声系数等器件性能的改善来说是非常重要的。

表4-3 硅中杂质的原子半径 (Å)

| Ⅲ 族 |      | Ⅳ 族 |      | Ⅴ 族 |      |
|-----|------|-----|------|-----|------|
| B   | 0.88 | C   | 0.77 | P   | 1.10 |
| Al  | 1.26 | Si  | 1.17 | As  | 1.18 |
| Ga  | 1.26 | Ge  | 1.22 | Sb  | 1.36 |
| Tl  | 1.47 | Sn  | 1.46 | Bi  | 1.46 |

根据上述讨论, 扩散单一杂质时, 产生失配位错的杂质临界量因杂质的原子半径而异, 结果是原子半径和硅差得越大, 其临界量就越小。对于这种临界量, 有人提出了两种模型: 一种是当杂质浓度超过某一临界表面浓度, 便会产生失配位错<sup>[5]</sup>; 另一种是在进入硅的整个杂质质量超过临界量时发生失配位错<sup>[6]~[8]</sup>, 不过实验证明还是后者正确。图 4-5 示出了硼的扩散总量和扩散表面浓度与失配位错发生与否的关系的实验结果。从图中可以看到, 扩散量超过  $1.5 \times 10^{16} \text{cm}^{-2}$  便会发生失配位错。该临界量对磷来说是  $(2 \sim 9) \times 10^{16} \text{cm}^{-2}$ <sup>[8]</sup>, 而对原子半径与硅大致相同的砷来说则更大。

而在今后的 LSI 和 VLSI 中, 结将越来越浅, 扩散的杂质质量就势必减小, 继而降到临

界面以下，并将主要采用砷而不用磷，故笔者认为失配位错的问题是能够避免的。

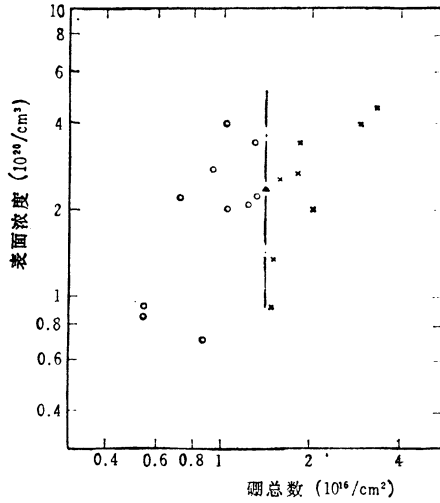


图4-5 在硼扩散中产生失配位错的条件<sup>[11]</sup>

(图中：(x) 为产生失配位错的符号；(Δ) 为部分产生失配位错的符号；(O) 为不发生失配位错的符号。)

#### 4.2.4 扩散技术存在的问题

如上所述，从在硅中掺入杂质形成 p-n 结的角度来看，扩散技术在扩散方法、均匀性控制和晶体完整性等方面基本上已接近完善。但从器件工艺的角度来看，杂质扩散分布仍是现在尚需研究的问题。杂质分布大致分由表面起的纵向分布状态和选择扩散时从掩模边缘起的横向分布状态。

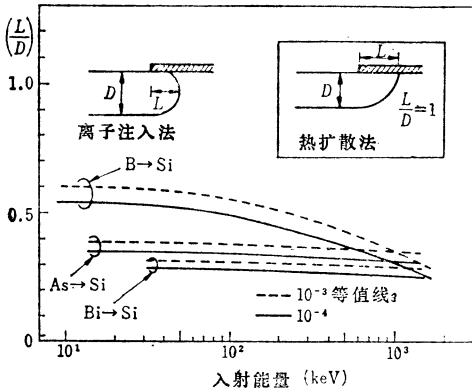


图4-6 离子注入引起的横向扩展<sup>[18]</sup>

杂质分布大致分由表面起的纵向分布状态和选择扩散时从掩模边缘起的横向分布状态。然而上述情况仅是由于离子注入形成的杂质分布，而在这之后为使其激活而做的热处理中，杂质因扩散而再分布，在这种情况下，杂质状态便会近似于扩散法的横向分布。

从掩模边缘起的横向杂质分布对未来的微细器件来说是至为重要的问题，它将影响硅栅 MOS 器件的有效沟道长度的缩短以及 DMOS 的源、沟道形成等等。但目前正如以上所述，尚未跳出靠模拟计算进行估计的范围。在这方面进行深入研究是今后的重要课题。

杂质的横向分布与纵向分布不同，由于尚无对其评价的有效手段，故目前未能做到详尽的定量分析，只不过是根据二元扩散方程式进行模拟计算来估计而已。根据 Kenedy<sup>[12]</sup> 的计算，从掩模边缘起沿表面横向结深比纵向结深小 15~20%。实质上，杂质可以看作是和纵向相同的程度向横向扩散的。另一方面，采用离子注入，杂质进入硅中是有方向性的，故可以设想杂质进入到掩模下的横向分量少。在松村<sup>[18]</sup> 的计算中（见图4-6），其横向分布最多是纵向分布的二分之一，这显然比上述扩散法小。这一情况已为赤坂等人所做的硼离子注入实验所证实<sup>[14]</sup>。

与此相反，纵向杂质分布的研究工作在其评价手段方面有着得天独厚的条件，除了采用传统的根据薄层电阻纵向变化进行分析的方法和放射性分析法以外，目前还可采用离子微量分析仪、俄歇电子能谱仪等来进行物理分析，借此可对杂质分布做出精密测量，故在杂质扩散机理分析及其模型化方面的研究不断获得进展，并成了本章开头便予以介绍的工艺模拟的基础。当然，虽说分析工作不断得到进展，但在杂质的扩散现象及其机理方面仍有着许多不明之处，在以下几节笔者将通过总结迄今为止有关杂质扩散的研究成果来阐明这些问题。

## 4.3 扩散的基础

### 4.3.1 扩散系数和扩散方程式

固体中的原子置于周期性的势垒中（见图4-7(a)），并以其稳定点为中心作热振动，当以某一概率获得超过该势垒高度 $G$ 的能量时，便移动到相邻的稳定点。图4-7(b)是作为更一般的情况，在这种周期性势垒上加某一电场，此时若移动距离 $a$ ，则能量下降 $\Delta G$ 。在这种状态下，若以流动方向为 $x$ 轴，扩散原子浓度为 $C$ ，则扩散原子的通量 $J$ 可以用下式表示

$$J = -D \cdot \frac{\partial C}{\partial x} + \left( D - \frac{C}{kT} \right) F \quad (4.6)$$

式中， $D = \Gamma a^2$ ， $F = \Delta G/a$ ，而 $\Gamma$ 是单位时间的跃迁次数， $F$ 是外加电场施加于扩散原子的力，是在电场内的带电粒子扩散时所必须考虑的一项，这将在后面讲到。另外， $D$ 是扩散系数，在(4.6)式中，扩散系数表示原子的稳定点呈一元排列的情况。而在实际的晶体中，原子的稳定点是呈三元排列的，这时其扩散系数可用下式表示<sup>[15]</sup>：

$$D = \frac{1}{2} \sum_j \Gamma_j a_j^2 \quad (4.7)$$

式中， $j$ 意味着与扩散原子所在稳定点相邻的稳定点， $\Gamma_j$ 是单位时间到达该稳定点的跃迁次数， $a_j$ 是移动距离在扩散方向 $x$ 轴上的分量。在硅的情况下，在晶格位置上的扩散原子周围的最近稳定点，相当于围绕该原子的正立方体的四个顶点，它们彼此是等效的，故 $\Gamma_j = \Gamma$ ，假设硅晶格常数为 $S$ ，则(4.7)式为

$$D = \frac{1}{8} \Gamma S^2 \quad (4.8)$$

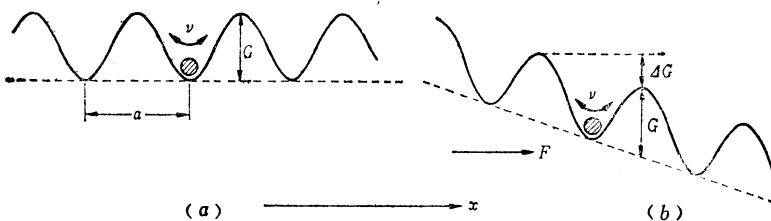


图4-7 固体中扩散原子所处的势垒

(a) 无外加电场的情况；(b) 有外加电场的情况。



这里需要注意的是, 扩散方向  $x$  轴和晶向的关系, 在任何情况下(4.8)式的表示始终是不变的。这意味着在硅中扩散系数是各向同性的。 $\Gamma$ 是与扩散整个过程有关的包括晶格缺陷因素在内的量, 也是使扩散系数产生种种异常性的主要原因, 这个问题将放在后面叙述。若将流体力学的连续性方程应用于(4.6)式, 并假设把表示析出的或从析出处固溶的扩散原子的消失或产生(比率)为  $U$ , 则

$$\frac{\partial C}{\partial t} = \frac{\partial}{\partial x} \left( D \frac{\partial C}{\partial x} - \frac{DC}{kT} F \right) + U \quad (4.9)$$

这是扩散方程的一般表达式, 根据具体的边界条件, 求解(4.9)式便可获得扩散分布。

### 4.3.2 电场效应

在硅中, 象硼和磷那样的具有浅能级的 III 或 V 族的杂质, 在高温下, 尤其是在象扩散温度那样的高温下几乎都会电离而释放出载流子。当杂质具有浓度梯度时, 载流子也具有浓度梯度。一般来说, 载流子的迁移率比杂质原子的迁移率高得多, 故只有载流子先扩散, 但是会产生电场并抑制载流子的扩散以保持电中性。由于杂质原子带相反的电荷, 所以该电场会加速杂质原子的扩散。以硅中扩硼为例<sup>(16)</sup>, 设硼浓度和空穴浓度分别为  $C_B$  和  $p$ 。则硼和空穴的通量分别由下式表示:

$$J_B = -D_B \cdot \frac{\partial C_B}{\partial x} - (D_B/kT) C_B q E \quad (4.10)$$

$$J_p = -D_p \cdot \frac{\partial p}{\partial x} + (D_p/kT) p q E$$

根据在扩散时不会有电流流动和电中性条件可得下式:

$$E = \frac{kT}{q} \frac{1}{p} \frac{\partial p}{\partial x} = \frac{kT}{q} \frac{1}{\sqrt{C_B^2 + 4n_i^2}} \frac{\partial C_B}{\partial x} \quad (4.11)$$

从(4.10)和(4.11)式得出:

$$J_B = - \left( 1 + \frac{C_B}{\sqrt{C_B^2 + 4n_i^2}} \right) D_B \cdot \frac{\partial C_B}{\partial x}$$

有效扩散系数为

$$D_{eff} = \left( 1 + \frac{C_B}{\sqrt{C_B^2 + 4n_i^2}} \right) D_B$$

该扩散系数随浓度  $C_B$  的增大而增大, 当  $C_B \gg 2n_i$  时, 其值为低浓度时的 2 倍。

$$h = \left( 1 + \frac{C_B}{\sqrt{C_B^2 + 4n_i^2}} \right) \quad (4.12)$$

上式称之为电场效应因子。

图 4-8 是在扩散表面浓度  $C_B^s$  处于恒定时, 以  $C_B^s/2n_i = \alpha$  为参量的归一化杂质分布示例图, 可以看到, 当  $\alpha$  大(即扩散表面浓度大)时, 即使杂质扩散系数不发生异常(这将在后面谈到), 杂质分布也将不同于假定扩散系数为恒定时所给出的补余误差函数。

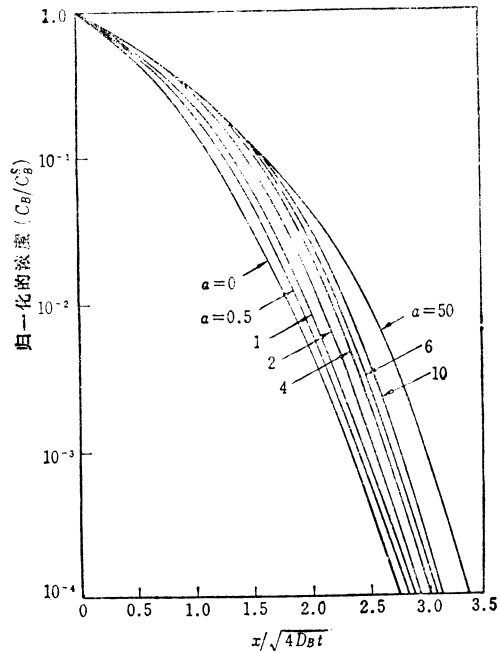


图4-8 电场效应引起的杂质分布曲线的变化<sup>[35]</sup>

### 4.3.3 扩散的全过程

对原子在固体中的整个扩散过程人们提出了许多模型，而就硅中Ⅲ、V族杂质的扩散的机理而言，基本上有两种，一种是空位机理，另一种是填隙机理。

根据空位机理，扩散过程如图4-9所示，空位扩散到扩散原子的毗邻稳定点(a)，接着扩散原子和该空位由于热振动的能量而越过势垒并交换其位置(b)，交换了位置的空位又向其它地方扩散而去(c)，至此，扩散原子的整个扩散过程便告结束。此时，(4.8)式中单位时间的跃迁次数 $\Gamma$ 与空位到达毗邻稳定点的概率(即其浓度)成正比。此时扩散系数便为

$$D = C_v \cdot D_v \quad (4.13)$$

式中， $C_v$ 、 $D_v$ 分别是空位的浓度及其扩散系数。

与硅中存在具有一定量的空位一样，在热平衡状态下，还存在有填隙硅。根据填隙机理，扩散过程如下：填隙硅到达邻近扩散原子的位置(图4-10(a))，接着像弹丸一般把扩散原子推到邻近的晶格间隙中，于是填隙硅便固定在晶格位置上(图4-10(b))，然后，被推到晶格间隙中的扩散原子又把处于邻近晶格位置上的硅原子推到晶格间隙中，而后自己进入该晶格位置，至此，整个扩散过程便告结束(图4-10(c))。这种机理同空位机理一样， $\Gamma$ 与填隙硅的浓度成正比。这种填隙机理在硅中通常并不发生，但按Seeger和Chik的说法，在高温下特别容易发生。此时扩散系数也与(4.13)式相同，可以由式子 $D = C_i \cdot D_i$ 给出。 $C_i$ 和 $D_i$ 分别是填隙硅的浓度和扩散系数。

在杂质扩散中，假若在杂质和空位之间存在结合能 $E_B$ 的话，则空位容易以 $\exp\left(\frac{E_B}{kT}\right)$ 这一较大的概率出现在杂质附近，这可认为是杂质-空位络合物在起作用。磷-空位对被称

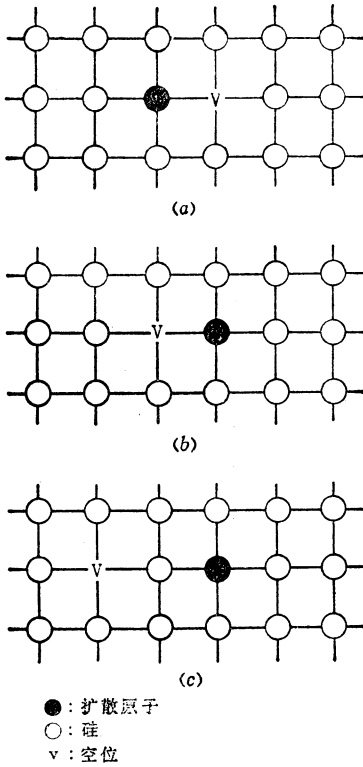


图4-9 空位机理

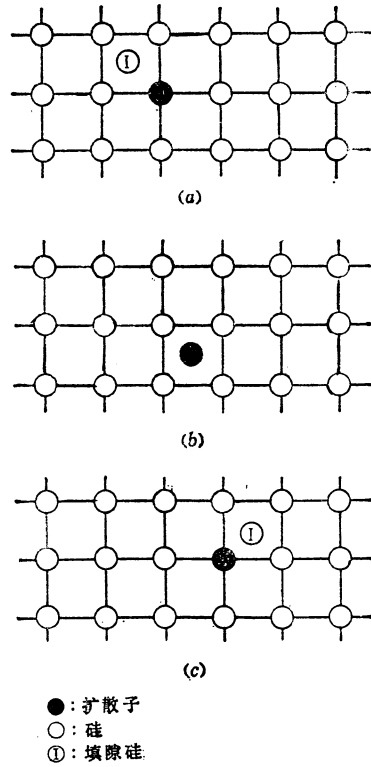


图4-10 填隙机理

为E中心。吉田提出了E中心模型<sup>[17]</sup>，作为在这种情况下对空位机理的另一种表示，其扩散系数由下式表示：

$$D_p = 4D_E \cdot \exp\left(-\frac{E_f - E_B}{kT}\right) = 4C_V D_E \exp\left(-\frac{E_B}{kT}\right) = C_B \cdot D_E \quad (4.14)$$

式中， $D_E$  和  $C_B$  分别是E中心的扩散系数及其浓度， $E_f$  和  $E_B$  分别是空位的形成能和E中心的结合能。由此，在杂质和空位形成杂质-空位对时，杂质可以看作是成对移动的。在这种情况下，扩散系数仍与空位浓度成正比，假设杂质-空位对中无填隙硅 ( $E_B = 0$ )，则(4.14)式与(4.13)式相同。

#### 4.3.4 采用波尔兹曼-真野 (Boltzmann-Matano) 法的分析剖面

根据扩散剖面的实验结果计算扩散系数时，当扩散系数在整个剖面上不是定值的情况下，不能简单地和补余误差函数或高斯标准曲线吻合，通常采取下述方法。

若扩散剖面表达式为

$$C = C_s \cdot g(\eta) \\ \eta = x / 2\sqrt{t}$$

则可用  $\eta$  参数对扩散方程

$$\frac{\partial C}{\partial t} = \frac{\partial}{\partial x} D \frac{\partial C}{\partial x}$$

进行变换，然后积分得

$$D = -\frac{2}{\frac{dC}{d\eta}} \cdot \left[ \eta C + \int_{\eta}^{\infty} C d\eta \right]$$

这意味着根据图 4-11 中 A 点的浓度  $C$  对  $\eta$  的微商  $\frac{dC}{d\eta}$  和斜线部分的积分之比, 便可求出 A 点的扩散系数。该解析方法称为波尔兹曼-真野法。从上式推导过程可以清楚地看到, 这种方法只适用于仅以  $\eta$  的函数表示浓度分布的情况。

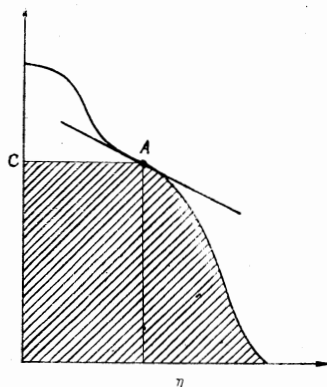


图4-11 采用波尔兹曼-真野法计算扩散系数

另外, 对于象离子注入-驱入法那样用  $\delta$  函数表示在初期分布之后的重新分布, Chezzo 提出了一种与波尔兹曼-真野法类似的方法<sup>[73]</sup>。

#### 4.4 扩散的异常性

由于在浓度低时扩散系数只是温度的函数, 故硅中杂质扩散剖面象物质常数一样是一定的, 遵守像 erfc 分布或高斯分布那样的简单分布。然而, 如果把扩散系数因温度以外的原因而发生的变化称之为扩散异常性的话, 则在实际的器件工艺中扩散表现出各种各样的异常性。在实际的器件工艺中采用的是高浓度扩散。在这种情况下, 扩散系数表现出与浓度有关, 而不是定值。像双极晶体管那样, 有两种杂质同时扩散, 由于两种杂质之间的相互作用, 其剖面与单独的杂质扩散剖面的叠加是不同的。此外, 在硅表面有氧化反应时, 扩散还与晶面有关。

在这一节中, 讨论在器件工艺中使用得最多的扩散杂质——磷、砷和硼的扩散系数与浓度的关系, 它们的相互作用以及与晶面、气氛的关系。

此外, 作为扩散异常性的基础的各种杂质的本征扩散系数为

$$D_P = 3.85 \exp\left(-\frac{3.66\text{eV}}{kT}\right)^{[19]} \quad (4.15)$$

$$D_{As} = 24 \exp\left(-\frac{4.08\text{eV}}{kT}\right)^{[20]}$$

$$D_B = 2.46 \exp\left(-\frac{3.59\text{eV}}{kT}\right)^{[21]}$$

在迄今大量的报告中, 上述扩散系数在现阶段被认为是适当的, 今后随着实验精度的提高, 有可能进一步修正。

#### 4.4.1 与浓度的关系

如上所述，磷、砷、硼在高浓度范围内，其扩散系数与浓度有关，它们的表现各不相同，其中尤以磷最复杂，依次是砷和硼。这些均以空位机理为基础大致作了说明。不过在硅中杂质扩散来说，尚未形成一个统一的概念。另外，根据与晶面、气氛的关系，可以估计到硅中杂质扩散会有填隙机理，但目前对此尚未着手研究，这点在下面还要讲到。

##### (1) 磷扩散

磷扩散剖面的异常现象很早就引起了人们的注意<sup>[22]</sup>。通过多年的研究，将其特点整理如下。

在表面附近的高浓度区（表面区域），剖面较平整，而在高浓度区和低浓度区（底部区域）之间，剖面出现弯曲（图4-12）。当扩散温度升高时，这种弯曲便会消失。在扩散表面浓度恒定时，若按规定的深度  $x\sqrt{t}$  绘制这种剖面，则不管扩散时间长短与否，剖面总是同一形状。具有这种弯曲部分的剖面的异常现象并非基于缺陷的产生或析出等偶然因素，而是扩散过程可固有的<sup>[24]</sup>。采用波尔兹曼-真野法分析剖面所得的扩散系数，如图4-13所示在表面区域与浓度的（1~2）次方成正比，在底部区域则是定值，它们之间的过渡区存在最小值。另外，在底部区域的值取决于扩散表面浓度，而且温度越低，该值同低表面浓度时的差越大。

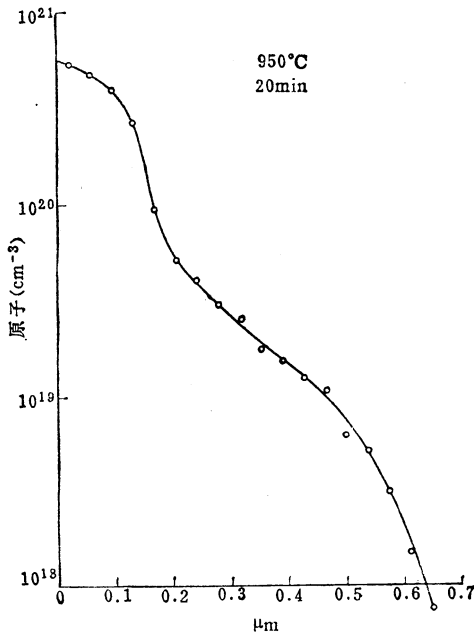


图4-12 有弯曲的磷扩散剖面<sup>[23]</sup>

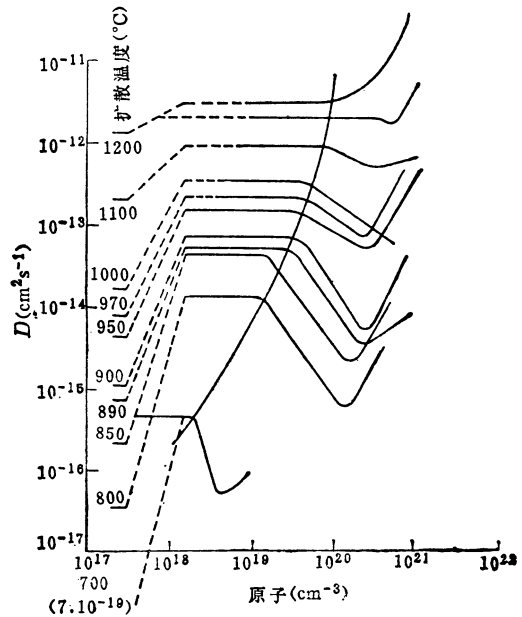


图4-13 磷的扩散系数与浓度的关系，  
图左的数值是本征状态下的扩散系数<sup>[23]</sup>

在有浓度梯度的区域中，除产生上述电场效应外，还有晶格缺陷等各种各样的量都处于非平衡状态。这就使情况复杂化。为此，Makres 和 Masters 等人进行了等浓度的磷扩散以求消除这种不稳定因素。这种扩散的特点是：在磷气氛中（该气氛具有与样片掺杂级

处于平衡状态的分压)对均匀掺磷的样片经热处理而施放出来的磷进行扩散。这种扩散其样片内部便不会产生磷的浓度梯度。通过实验,他们获得了磷的扩散系数与载流子浓度成正比这一结果(见图4-14)。假定空位在较导带边缘 $E_c$ 深一点的地方有受主能级 $E_{v_a}$ ,并设中性空位浓度、载流子浓度和导带的有效浓度分别为 $C_{v^0}$ ,  $n$ ,  $N_c$ ;本征状态时的空位浓度为 $C_{v_i}$ ,则带负电的空位浓度 $C_{v^-}$ 为

$$C_{v^-} = C_{v^0} \cdot \frac{n}{N_c} \cdot \exp(E_c - E_{v_a}) / kT \quad (4.16)$$

因此,

$$\frac{C_{v^-}}{C_{v_i}} = \frac{n}{n_i}$$

假设空位浓度与载流子浓度成正比,而且扩散是以空位机理进行的,则根据(4.13)式,扩散系数与空位浓度成正比,由此得出

$$\frac{D}{D_i} = \frac{n}{n_i} \quad (4.17)$$

磷扩散可以通过主要是由带负电的空位引起扩散的空位机理来说明。不过,(4.17)式示出的与浓度的关系只适用于图4-6的表面区域的情况,而对于在底部区域扩散系数和浓度的关系中出现的倾斜等则完全不能说明。

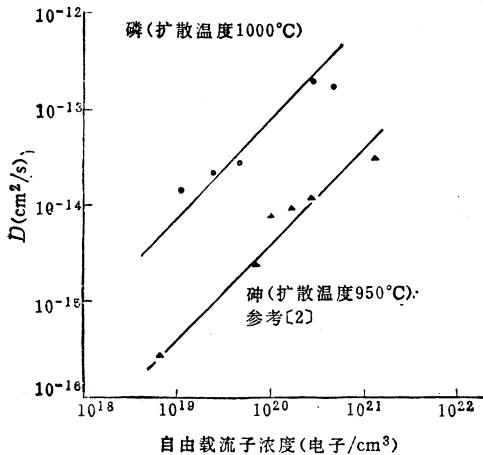


图4-14 由等浓度扩散求得的磷和砷的扩散系数<sup>[25]</sup>

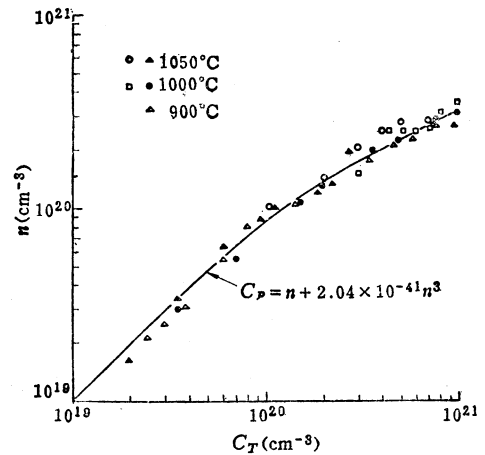


图4-15 固溶磷浓度和载流子浓度的关系<sup>[19]</sup>

Masters 和 Makris 等人假定在扩散温度下,载流子浓度 $n$ 和磷浓度 $C_p$ 之间具有下面一种关系,

$$n = \frac{1}{2} (C_p + \sqrt{C_p^2 + 4n_i^2}) \quad (4.18)$$

他们据此进行了实验分析,但 Fair 通过最近的实验得到在载流子浓度和磷浓度之间具有如下的关系<sup>[19]</sup>:

$$C_p = n + 2.04 \times 10^{-41} \cdot n^3 \quad (4.19)$$

而不同(4.18)式所示的关系(见图4-15)。Fair 并以此为基础对扩散剖面做了详细的分

析。下面就以他的分析为中心来进行讨论。

图 4-16 示出的是扩散系数与浓度的关系的分析结果，图中曲线可用下式表示：

$$D = h \cdot \left\{ D_i^x + D_i^- \left( \frac{n}{n_i} \right)^2 \right\} \quad (4.20)$$

表面区域的扩散系数不同于 Makris 等人的结果，而与载流子浓度的平方成正比。不用 (4.18) 式而改用 (4.19) 式对 Makris 等人的结果重新进行计算，再根据电场效应进行修正，结果得出图 4-16 的曲线，与 (4.20) 式完全符合。一般来说，当存在拥有若干个受主能级的空位并且它们又同时有助于扩散时，有效扩散系数可用下式表示

$$D = h \cdot \left\{ \sum_{r=0} D_i^{r-} \cdot \left( \frac{n}{n_i} \right)^r \right\} \quad (4.21)$$

式中， $D_i^{r-}$  是带  $r$  价电的空位造成的本征状态下的扩散系数。

从 (4.21) 式和 (4.20) 式的比较来看，表面区域磷的扩散是中性空位扩散 ( $D_i^x$ ) 和带二价电的空位扩散的叠加，前者采用 (4.15) 式，则根据实验结果可得下式：

$$D_i^x = 3.85 \exp\left(-\frac{3.66\text{eV}}{kT}\right) \quad (4.22)$$

$$D_i^{2-} = 44.2 \exp\left(-\frac{4.37\text{eV}}{kT}\right) \quad (4.23)$$

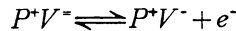
图 4-16 中，底部区域的扩散系数是一个很大的恒定值，这个值与 (4.20) 式的外推值相差悬殊。这种底部区域的扩散系数  $D_{TAL}$  若用扩散表面的载流子浓度  $n_s$  绘制曲线的话，则差不多与  $n_s$  的立方成正比（见图 4-17）。就此作如下说明，图 4-18 是表示出整个剖面扩散过程的模型图。磷一进入硅，便与带二价电的空位  $V^-$  发生如下反应：



反应后一部分磷形成带负电的 E 中心。该 E 中心的浓度  $C_{PV^-}$  可由下式给出

$$\frac{C_{PV^-}}{C_{PV_i^-}} = \frac{n_s^3}{n_i^3}$$

式中， $C_{PV_i^-}$  是本征状态下的 E 中心浓度。这种关系在载流子剖面较平坦的表面区域能得到保持。一方面，分析的结果表明，图 4-16 中，在实验值开始不同于 (4.20) 式的这一点的载流子浓度相对应。另一方面，已搞清楚空位的第二个受主能级也比导带底低 0.11eV。磷以 E 中心形式扩散，一旦到达载流子剖面为  $n_s$  的点上，该 E 中心便释放出电子，由反应



产生过量的空位。将 (4.24) 式中形成的  $V^-$  与改变了其充电形式的  $V^-$  加起来便可用下式表示生成的过量空位的浓度  $C_{V^-}$ ：

$$\frac{C_{V^-}}{C_{V_i^-}} = \frac{n_s^3}{n_i^2 n_i} \cdot \left\{ 1 + \exp\left(\frac{0.3\text{eV}}{kT}\right) \right\}$$

式中， $\exp(0.3\text{eV}/kT)$  意味着  $P^+V^-$  同  $P^+V^-$  相比其结合能只小 0.3eV，故分解概率更大。假定扩散系数与空位浓度成正比，则

$$\frac{D^-}{D_i^-} = \frac{n_s^3}{n_i^2 n_i} \cdot \left\{ 1 + \exp\left(\frac{0.3\text{eV}}{kT}\right) \right\} \quad (4.25)$$

底部区域的扩散系数总的可由下式表示:

$$D_{TAIL} = D^+ + D^- \quad (4.26)$$

根据 (4.26) 式和实验的比较, 可得下式

$$D^- = 4.44 \exp\left(-\frac{4.0 \text{ eV}}{kT}\right) \quad (4.27)$$

图 4-11 中的曲线是根据 (4.26) 式计算得到的结果。另外, 通常认为, 一达到高温弯曲便消失, 这是由于 (4.25) 式的过量空位的产生相对减少的缘故。

从图 4-16 可以看到, 随着表面区域和底部区域之间的过渡区中的浓度减少, 扩散系数增大。造成这一现象的原因大概是上述 E 中心分解一直延续到  $n_c$  以下的部分,  $V^-$  或  $P^+V^-$  在纵向堆积所致。图 4-19 是对于扩散系数所表示出的磷扩散剖面计算值和实测值的比较图。计算值是采用 (4.20)、(4.22)、(4.23)、(4.25)、(4.26)、(4.27) 式进行计算而得到的。可以看到, 包括弯曲部分在内, 数值都颇为一致。

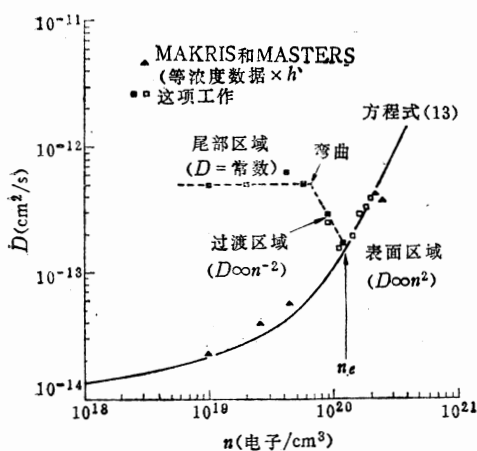


图4-16 磷的扩散系数与载流子浓度的关系  
(1000°C)<sup>(10)</sup>

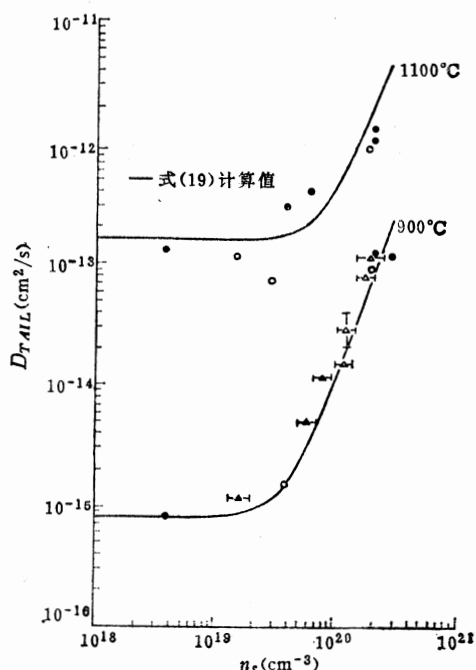


图4-17  $D_{TAIL}(n = 10^{18} \text{ cm}^{-3})$  与  
 $n_s$  的关系<sup>(10)</sup>

以上便是 Fair 提出的磷扩散模型, 这一模型解释了所有磷扩散剖面的异常现象。这种解释的基础是建立在磷浓度和载流子的关系式 (4.19) 之上的。但 Schwettmann 和 Kendall<sup>(27)</sup> 发现, 经高温磷扩散后的样片一旦在低温下退火, 便会在底部区域发生异常扩散, 同时表面区域的载流子浓度也下降为几分之一。鉴于此, 即使经过从扩散温度到室温这一冷却过程, (4.19) 式是否还能保持不变, 这就不能不使人产生一些疑问。

图 4-20 示出了松本等人分析磷扩散剖面得出的结果<sup>(28)</sup>, 可以看到, 扩散温度越低, 相当于过渡区域的部分就越趋明显, 当为 700°C 时, 相当于表面区域的部分就几乎完全消失。Fair 只是把  $V^-$  或  $P^+V^-$  的堆积视为造成上述现象的原因, 并未对此做定量分析。吉田<sup>(29)</sup>



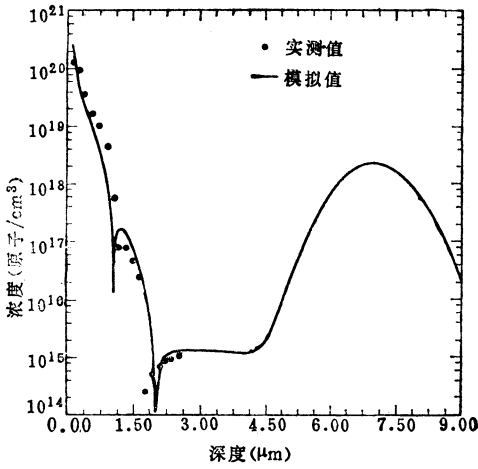


图4-18 包括E中心的分解在内的扩散过程模型图<sup>(19)</sup>

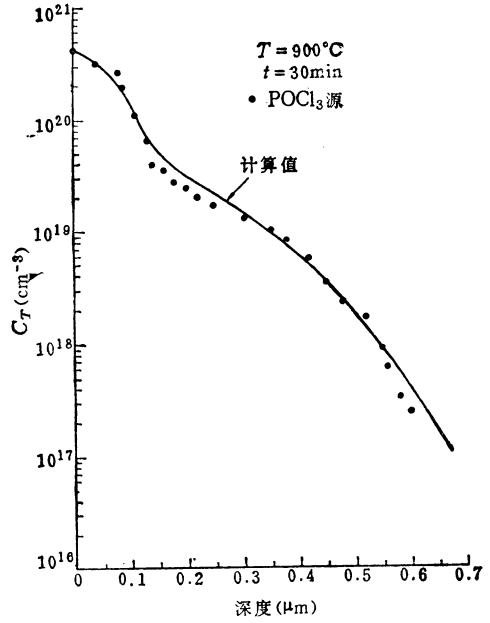


图4-19 磷扩散剖面的计算值和实测值的比较<sup>(19)</sup>

则与 Fair 不同，他解出了描述带负电的空位  $V^-$  和中性的 E 中心的反应分解过程的微分方程式，并如图 4-21 所示，合理选择了本征状态的  $V^-$  值，从而明确地解释了相当于扩散系数随浓度的减小而增大的过程区域的部分。这种解释与 E 中心分解过程是相应的。由此可见，吉田采用与 Fair 模型有些不同的模型，对 Fair 就过渡区域所作的定性说明做了半定量性的证明。但是，另一方面，根据吉田的模型不能解释弯曲的产生。

除此之外，有关磷扩散剖面的异常性，还有 Thai 提出的系由塑性变形所致的理论<sup>(30)、(31)</sup> 和 Shaw 提出的假定有氧气影响的模型<sup>(32)</sup> 等。不过公认为最合理的还是吉田和 Fair 等人提出的以 E 中心模型为基础的理论。今后的课题就是使几个以 E 中心模型为基础的理论有机地联系起来，以形成更为完善的模型。

(2) 砷扩散

砷的扩散剖面如图4-22所示，当扩散表面浓度高时，其分布曲线的阶梯形要比 erfc函数分布曲线和高斯曲线明显得多。Masters和Fairfield<sup>(24)</sup> 像对磷那样对砷也进行等浓度扩散，发现其扩散系数也与载流子浓度成正比（见图 4-23）。这意味着与磷扩散时的推论一样，砷也是因带负电的空位  $V^-$  而扩散的。

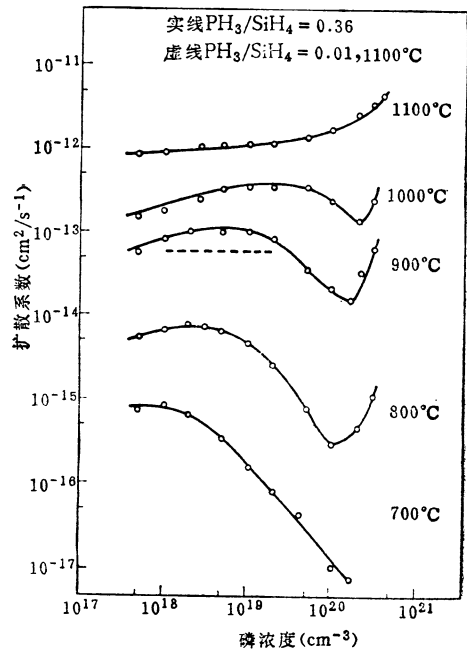


图4-20 磷扩散系数与浓度的关系（过渡区域明显的例子<sup>(28)</sup>）

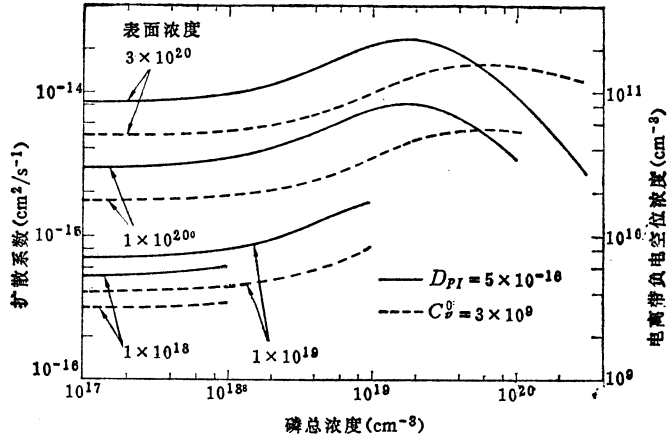


图4-21 吉田根据P<sup>+</sup>V<sup>-</sup>模型提出的扩散系数与浓度的关系<sup>[29]</sup>

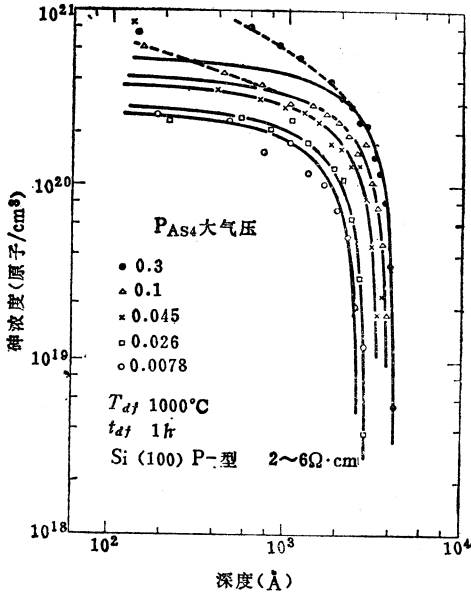


图4-22 磷的扩散剖面<sup>[33]</sup>

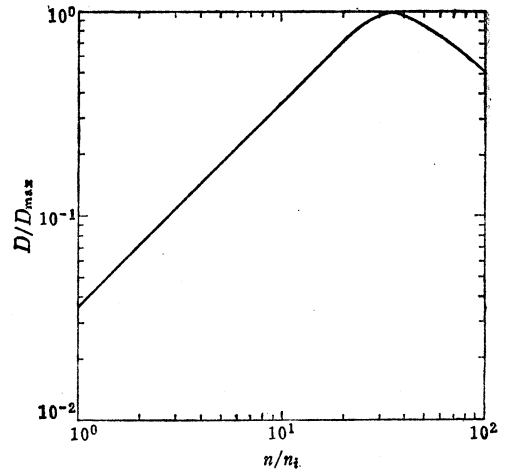


图4-23 磷扩散系数与浓度的关系<sup>[36]</sup>

Hu 等人<sup>[36]</sup>认为，假定杂质在硅中离化后带正电，则杂质扩散因相反带负电的空位  $V^-$  的作用，即因空位机理而扩散。如果在杂质和  $V^-$  之间起 Coulomb 相互作用，即  $E_B = q^2/4\pi\epsilon a_i$ ，并且中性空位也同样有助于扩散，则空位到达带正电杂质最近位置的几率，就中性空位而言，与其浓度  $C_V^0$  成正比，而对于带负电空位，则与其浓度和由于相互作用而产生的其概率的增量之积  $C_V \cdot \exp\left(\frac{E_B}{kT}\right)$  成正比，故若采用 (4.13) 和 (4.16) 式则扩散系数为

$$D = D_V C_V^0 \left[ 1 + \frac{n}{n_i} \exp\left(-\frac{1}{2} \Delta E_g + E_s - E_{s2} + E_B\right) / kT \right]$$

进而再考虑电场效应——(4.12) 式，则扩散系数与浓度的一般表达式为

$$\frac{D}{D_i} = h \frac{1 + \beta f}{1 + \beta} \tag{4.28}$$

$$h = 1 + \left( \frac{C}{2n_i} \right) / \left\{ 1 + \left( \frac{C}{2n_i} \right)^2 \right\}^{1/2}$$

$$f = \frac{n}{n_i} = \frac{C}{2n_i} + \left\{ 1 + \left( \frac{C}{2n_i} \right)^2 \right\}^{1/2}$$

$$\beta = \exp \left[ (1/kT) \left\{ -\frac{\Delta E_G}{2} + (E_C - E_{V_a}) + (q^2/4\pi\epsilon a_i) \right\} \right]$$

式中,  $C$  是杂质浓度,  $\Delta E_G$  是带隙,  $\epsilon$  是硅的介电常数,  $a_i$  是杂质和  $V^+$  的最小距离。

$\beta$  在很大程度上取决于  $E_{V_a}$ , 在像空位的受主能级那样的深能级的情况下约为  $10^2$  数量级, 因此 (4.28) 式成为

$$\frac{D}{D_i} = hf = f + \frac{C}{2n_i} h \quad (4.29)$$

如果浓度  $C$  低, 则 (4.29) 式为  $D = D_i$ , 而浓度高则为  $D = 2(C/n_i)D_i$ 。

图 4-22 中的实线是当扩散系数用 (4.29) 式表示时的理论曲线, 当表面浓度较低时同实验所得的剖面曲线颇为一致。而当表面浓度增大时, 在表面附近, 剖面曲线便不同于用上述理论式表示的接近平坦的曲线, 而具有一定的斜率, 这表明与 (4.29) 式所表示的不同, 在表面附近扩散系数减小了。Kennedy 等人<sup>[36]</sup>通过分析这一现象发现, 扩散系数随浓度线性增加, 在高浓度区域 ( $n/n_i \approx 34$ ) 有最大值, 如果浓度继续增大, 扩散系数反而会减小 (见图 4-23)。作为高浓度区扩散系数减少的原因, Fair 等人<sup>[37]</sup>根据固溶砷量和具有电活性的砷的关系式, 假定存在有稳定的络合物  $VAs_2$  (见图 4-24), 并用下式表示扩散系数:

$$D = 2D_i(C_A/n_i)/(1 + 8K_2C_A^3) \quad (4.30)$$

$$K_2 = \beta(T)/(2C_{A_0})^3$$

式中,  $C_A$ 、 $C_{A_0}$  分别是具有电活性的砷的浓度和表面浓度,  $\beta(T)$  是与络合物生成反应有关的常数, 它是温度的函数。对此, Hu<sup>[38]</sup>根据砷的固溶度和它的平衡蒸汽压的关系, 假定存在有图 4-24 (b) 那样的砷原子团, 据此尝试对高浓度区的扩散系数进行修正。这种原子团在连接相邻的下一个原子团的立方体顶点上有砷, 它的中心有时有硅, 有时又无硅, 这种原子团被认为是固定不动的。在这种情况下, 高浓度区的扩散系数可由 (4.28) 式加修正系数表示

$$D/D_i = \frac{\gamma}{1 - \frac{\Delta \ln \gamma}{\Delta \ln C}} \cdot h \frac{1 + \beta f}{1 + \beta}$$

$$\frac{1}{\gamma} = 1 + 4Me\Delta H/kT \left[ 1 + \frac{1}{2} \exp\{(E_{As} - E_F)/kT\} \right]^{-4} (C/S)^3 \quad (4.31)$$

$$C = \gamma C_T$$

式中,  $M$  是配位系数, 在图 4-15 (b) 时为 24;  $\Delta H$  是原子团的生成能, 为 1.3 eV;  $E_{As}$  是砷的受主能级;  $S$  是晶格常数;  $C_T$  是原子团和单体砷加起来的整个砷浓度。(4.30) 和 (4.31) 式都与实验值颇为一致。由此可见, 高浓度区的异常多少与络合物的生成有关, 但目前仍不能确定该络合物的结构。而且, 如果不是通常的砷扩散, 而是在通过离子注入进行预淀积后再进行扩散, 有时也不会出现这种异常现象<sup>[39]</sup>。这些情况都是今后研究的课题。

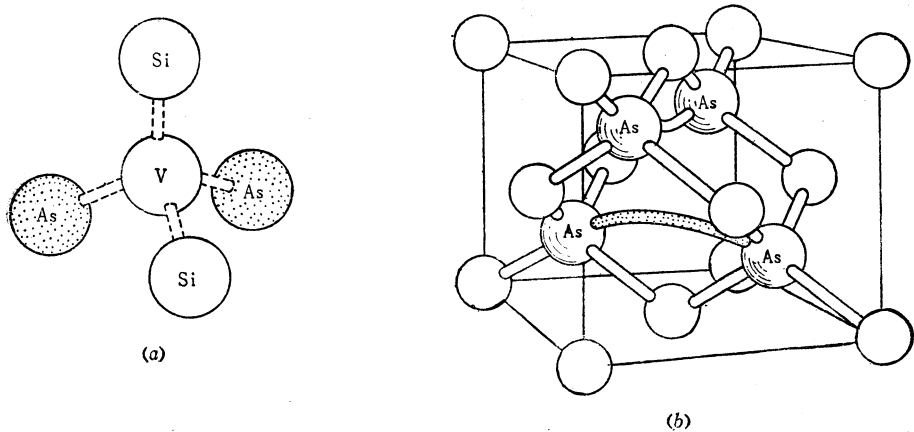


图 4-24

(a) 络合物 $VAs_2$ 结构<sup>[37]</sup>, (b) 络合物 $As_4$ 结构<sup>[38]</sup>。

### (3) 硼扩散

如图 4-25 所示, 在扩散表面浓度高时硼的扩散剖面呈现阶梯状, 其扩散系数和磷、砷的扩散一样, 也与浓度有关。Thai 用塑性变形产生过量空位的理论对磷和硼扩散的异常现象做了说明<sup>[30], [31]</sup>, 并就扩散系数给出下式:

$$D/D_i = h \{ (C/C_0)^2 + 1 \} \quad (4.32)$$

$$C_0^2 = [6(1-\nu)\mu b^3/\beta^2 E]V_0$$

式中,  $\nu$  是硅的泊松比,  $\mu$  是刚性系数,  $b$  是位错的巴尔格矢量,  $\beta$  是杂质在硅中的收缩率,  $E$  是杨氏比率,  $V_0$  是热平衡状态下的空位浓度。采用 (4.32) 式计算的结果可大致说明实验的情况。不过这种模型中的过量空位不同于费米能级形成的过量空位。它不发生位错, 从生成处迅速扩散, 当然就在硅中扩展, 故很难认为它会带来局部空位浓度的变化, 即局部扩散系数的变化。另外, 鉴于即使不发生位错的情况下, 与浓度有同样的关系, 所以, 将这种模型作为高浓度中异常扩散的模型似乎是不成立的。同样道理, 比起 E 中心模型来, 将其作为磷扩散的模型也是不适合的。

空位除具有受主能级外, 在  $E_V + 0.37\text{eV}$  时也具有施主能级。Fair<sup>[40]</sup> 据此试图根据  $V^+$  浓度与费米能级的关系来说明硼的扩散系数与浓度的关系。图 4-26 是用本征的硼扩散系数将实验获得的扩散系数  $D$  归一化并用本征载流子浓度将浓度归一化而绘制的曲线, 它具有如下关系:

$$D/D_i = C_B/n_i \quad (4.33)$$

这与磷扩散情况下的 (4.17) 式以及在等浓度的砷扩散中获得的结果相同。和磷、砷一样, 在硼的情况下也能用带和硼相反电荷的  $V^+$  空位机理来解释与浓度的关系。不过这里需要注意, (4.17) 式是等浓度扩散, 而 (4.33) 式却是一般的扩散, 故原来根据电场效应应该像 (4.29) 式那样为

$$D/D_i = 2C_B/n_i$$

出现差异的原因一般为解析式所采用的  $n_i$  和  $D_2$  的数据有误差。由此可见, 若承认硼是按

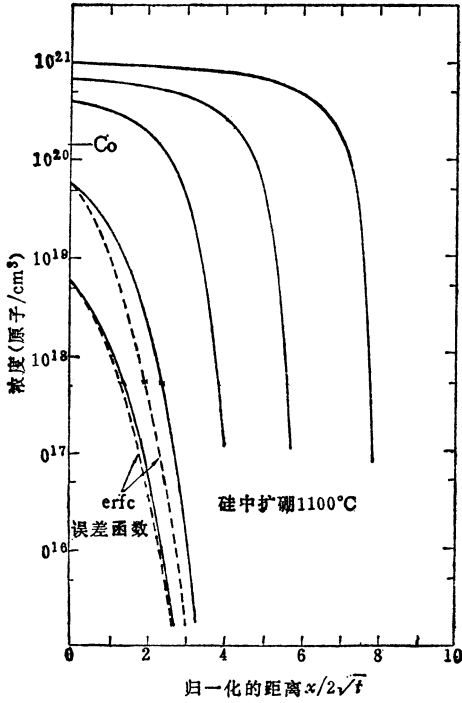


图4-25 硼扩散剖面<sup>[81]</sup>

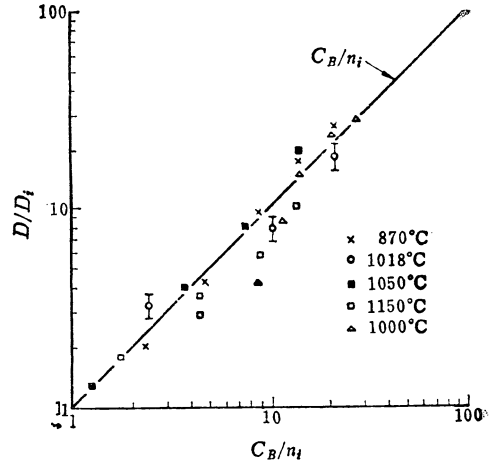


图4-26 硼的扩散系数与浓度的关系<sup>[40]</sup>

$V^+$  空位机理扩散，则在整个浓度范围内硼的扩散系数便与砷一样，用 (4.28) 式表示为

$$D/D_i = h \cdot \frac{1 + \beta f}{1 + \beta}$$

另外，Anderson 和 Gibbons<sup>[41]</sup> 假定硼扩散的模型与磷扩散的 E 中心模型相同，即扩散不是以  $B^-$  单体的形式而是以  $B^-V^+$  对的形式进行，在局部上平衡关系式  $B^- + V^+ \rightleftharpoons B^-V^+$  成立，由此得到扩散方程式：

$$\frac{\partial C_B}{\partial t} = D_i \frac{\partial^2}{\partial x^2} \left[ C_B \left\{ \frac{C_B}{2n_i} + \sqrt{\left( \frac{C_B}{2n_i} \right)^2 + 1} \right\} \right] \quad (4.34)$$

计算结果与实验值一致，于是他们提出了一种新的硼扩散模型—— $B^-V^+$  对模型。而考虑到电场效应的  $V^+$  空位扩散方程式为

$$\frac{\partial C_B}{\partial t} = \frac{\partial}{\partial x} \left( 1 + \frac{C_B}{2n_i} \right) \times \frac{C_B}{n_i} D_i \frac{\partial}{\partial x} C_B \quad (4.35)$$

将上式变形后为  $\frac{\partial C_B}{\partial t} = D_i \frac{\partial^2}{\partial x^2} \left[ C_B \left\{ \frac{C_B}{2n_i} + \sqrt{\left( \frac{C_B}{2n_i} \right)^2 + 1} \right\} \right.$

$$\left. - n_i \log \left\{ \frac{C_B}{2n_i} + \sqrt{\left( \frac{C_B}{2n_i} \right)^2 + 1} \right\} \right] \quad (4.36)$$

(4.36) 式右边第二项与第一项相比，常常小得可以忽略不计，在实质上，(4.34) 式和 (4.35) 式是一致的，即电场效应的  $V^+$  空位模型和  $B^-V^+$  对模型在扩散剖面上结果相同，就这一点来说，可以认为两种模型实质上是相同的。

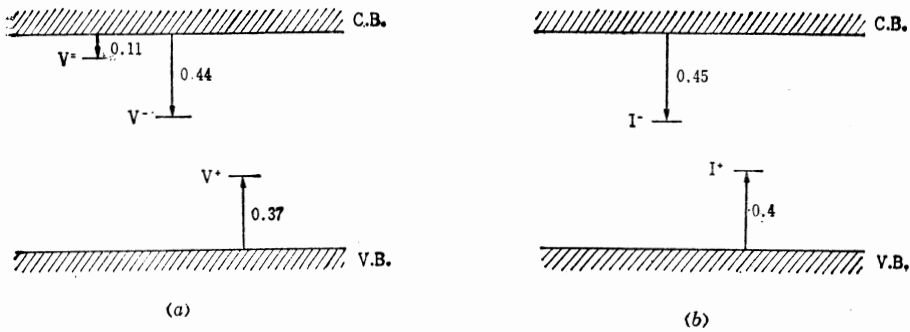


图4-27 与硅中杂质扩散有关的晶格缺陷能级 (单位: eV)<sup>[42]</sup>  
(a) 空位硅; (b) 填隙硅。

以上论点都是基于杂质扩散按空位机理进行, 并且空位有着图 4-27(a) 中的能级这一理论而提出的。另外, 也有报告认为填隙硅具有图 4-27(b) 所示的能级。如果承认这种说法, 则上述现象大多数也可用填隙机理作出同样的解释。关于填隙机理, 将在后面的扩散与气氛的关系部分予以介绍。

4.4.2 扩散的相互作用

能够明显看到两种扩散杂质相互作用的例子是在做双极晶体管的发射区扩散时, 发射区正下方的基区杂质分布有时要比通常预期的进一步向下推进, 有时则受到抑制, 这种现象分别被称为发射极陷落效应 (或称为推进效应) 和发射极上升效应, 图 4-28 给出了这种效应的模型。

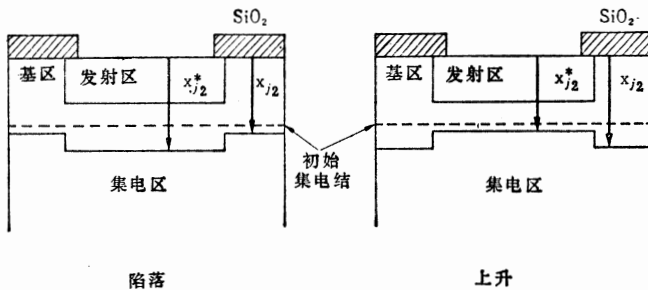


图4-28 发射极陷落效应和上升效应

先从现象上看这一效应<sup>[43]、[44]</sup>。假定在第一种杂质 (如硼基区) 扩散后, 对分布为

$$C_1 = C_0 \exp\left(-\frac{x^2}{4D_1t_1}\right) \tag{4.37}$$

的地方再进行时间  $t_2$  的第二种杂质 (例如发射区杂质) 扩散, 则 (4.37) 式的分布变成:

$$C_1 = C_0 \sqrt{\frac{D_1t_1}{D_1t_1 + D_2t_2}} \exp\left(-\frac{4D_1t_1 + x^2}{4D_2t_2}\right)$$

式中,  $D_2$ 是在发射区扩散温度下第一种杂质(硼)的扩散系数。假设与发射区扩散有相互作用时,  $D_2$ 变成  $D_2^*$ , 并设集电结结深为  $x_j$ , 则有相互作用同无相互作用时的扩散深度之差  $\delta$  为

$$\delta = x_j^* - x_j = 2 \cdot \frac{(D_2^* - D_2)t_2}{x_j} \cdot \ln \frac{C_o}{C_B} \times \left[ 1 - \frac{1}{2} \left( \frac{x_j^*}{x_j} \right)^2 \left\{ \frac{2 \sqrt{D_1 t_1 + D_2^* t_2}}{x_j^*} \right\}^2 \right] \quad (4.38)$$

在通常的基区扩散条件下, 只要  $x_j^*/x_j$  不是非常大, 式(4.38)右边括号内的第二项一般为  $10^{-1}$ 数量级。所以, 实际上可简化为下式:

$$\delta = 2 \cdot \frac{(D_2^* - D_2)t_2}{x_j} \cdot \ln C_o / C_B \quad (4.39)$$

式中,  $C_o$ 是发射区扩散后无相互作用时的硼表面浓度,  $C_B$ 则是衬底接地的集电区浓度。

采用式(4.39)可以很精确地表示出各种实验结果。例如, 图4-29表示了Hu等人<sup>[45]</sup>提出的在硼基区、磷发射区的情况下, 与硼表面浓度的关系; 图4-30表示中村等人<sup>[43]</sup>提出的同样是在上述情况下  $\delta$  与  $x_j$  的关系; 图4-31则表示Fair<sup>[46]</sup>提出的在硼基区、磷发射区的情况下发射区上升与发射区扩散时间  $t_2$  的关系。以上三图均与式(4.39)的关系颇为一致。

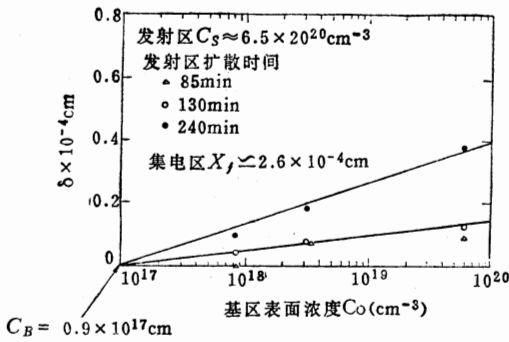


图4-29 陷落  $\delta$  与基区表面浓度  $C_o$  的关系 (硼基区, 磷发射区)<sup>[45]</sup>

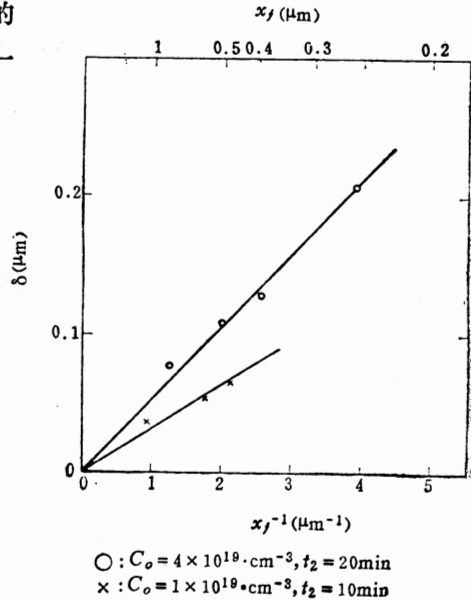


图4-30 陷落  $\delta$  与  $x_j$  的关系 (硼基区, 磷发射区)<sup>[43]</sup>

对于这种由于发射区扩散而给基区杂质扩散系数带来的变化  $D_2^* - D_2$ , 即发射极陷落效应, Hu 等人<sup>[45]</sup>曾试图根据 Prussin 的模型, 用扩散层内发生位错造成过量空位来说明, 但中村<sup>[43]</sup>等人查明即使不产生位错也会有同样的现象发生, 他们还作出定性的推论, 认为其原因乃是吉田等人提出的表面效应。Fair<sup>[18]</sup>认为, 在已述的对磷剖面的详细分析中得到的E中心的分解产生过量的空位, 使底部区域的扩散系数增大, 这是与上述现象相对的, 由此给出下式

$$D_2^*/D_2 = \frac{D_{TAIL}}{D_i^*} \Big|_{phos} = 1 + \frac{n_s^3}{n_o^2 n_i} \left\{ 1 + \exp \frac{0.3eV}{kT} \right\} \frac{D_i^-}{D_i^*} \quad (4.40)$$

计算结果与实验值相比较, 二者完全一致。不过, 在式(4.40)中,  $D_2^*/D_2$ 是与  $n_s$  的立方

成正比的，而中村<sup>[48]</sup>的计算结果则是  $D_2^*/D_2$  和磷表面浓度呈线性关系，二者不一致的原因目前尚不清楚。但是，认为基区硼扩散系数增大是由于E中心分解所产生的过量空位引起的这一点似乎还是有道理的。

就像在P型基区扩散后再进行N型发射区扩散那样，一般在连续扩散导电类型相反的杂质时，先扩散的杂质1（此时为P型）会因后扩散的杂质2造成的电场效应而上升。只是要使它达到足以使人们可以观察得到的程度还有很多制约条件。Hu通过数据分析<sup>[35]</sup>认为，这种上升在各扩散系数基本都相同，亦即  $D_1 \approx D_2$  时，几乎不会产生。但是在下面四种条件下，即①  $D_1/D_2$  越大；②杂质2的表面浓度越大；③杂质2扩散时间越长；④在扩散杂质2之前杂质1的扩散深度越浅，则上升的现象就愈加明显。不过，在现有的双极结构中，很少有满足这种条件的例子。Fair<sup>[46]</sup>就硼-砷扩散的例子做了数值分析，得到的结果是，电场效应只在发射区中的硼堆积处和发射结附近造成硼剖面的陷落，而对集电结丝毫没有影响（见图4-32）。实际上，在硼-磷组合中，即使看到陷落也观察不到上升。

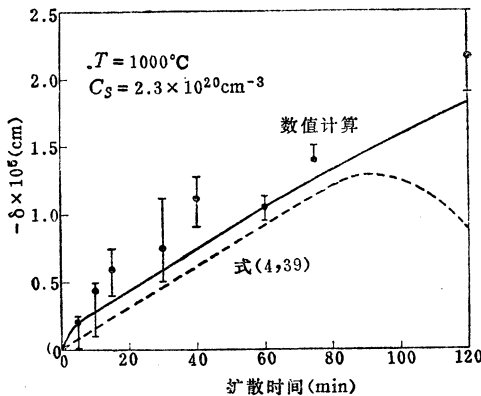


图4-31 发射区上升和发射区扩散时间的关系  
(硼基区, 砷发射区)<sup>[46]</sup>

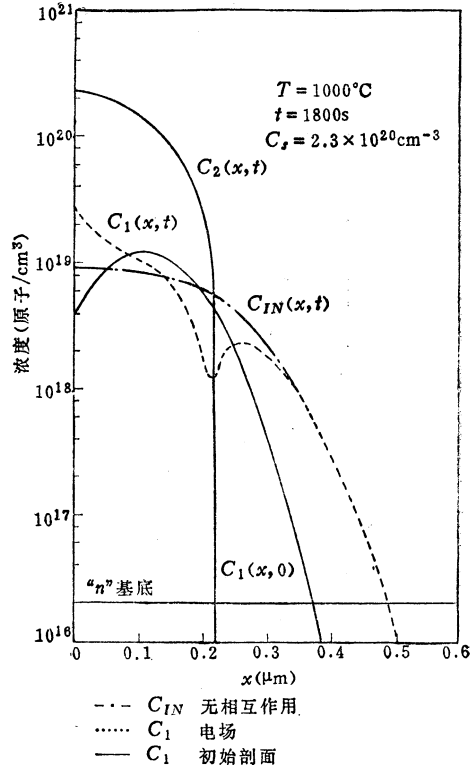


图4-32 发射区扩散对基区剖面的影响  
(硼基区, 砷发射区)<sup>[46]</sup>

不过，在硼-砷组合的情况下，有时在集电结处能看到上升（见图4-31）。作为可能发生这一现象的原因，Fair<sup>[46]</sup>研究了由  $As^+ + B^- \rightleftharpoons [As^+B^-]$  反应产生的固定的离子偶效应。然而，该效应也和电场效应一样，只局限在发射结附近，并不能用以说明上升现象。能够说明硼-砷中发生上升现象的是Fair<sup>[46]</sup>提出的空位欠饱和作用。这与磷发射区时的过量空位是相反的。Fair通过研究砷扩散在高浓度区所发生的异常现象而导出  $VAs_2$  络合物的模型。根据这种模型，经过  $Vsi + 2As + 2e^- \rightleftharpoons VAs_2$  反应，空位便会牢牢地附在固定的络合物  $VAs_2$  上，因而在扩散过程中产生空位的欠饱和现象，他通过数值分析成功地获得了图4-31所示的计算结果。



不过，在同时扩散砷和硼时还会产生下列一些情况：（1）硼扩散时不发生上升现象<sup>[59]</sup>；（2）由于基区宽度的不同，可能引起上升和陷落两种现象<sup>[47]</sup>，在这种情况下，采用砷镓组合在发射区扩散时有时只会出现陷落，有时又会从陷落变成上升<sup>[48]</sup>；（3）把高温形成的硼-砷结构的样片置放在低温下进行热处理，则在集电结处会出现明显的陷落<sup>[49]</sup>。由此可见，砷扩散不一定只引起上升现象。另外，在掺锡的硅中，采用硼-磷组合也会因锡浓度的不同而发生陷落和上升两种现象<sup>[50]</sup>。同样，在磷基区硼发射区中也会因磷基区浓度的不同而出现这两种现象<sup>[51]</sup>。关于这种相互作用产生的复杂现象和机理，目前仍有很多不清楚的地方。在上述讨论中，一直未把位错的影响考虑在内，这是因为在硅衬底中位错多的情况下，即使是硼-磷组合，也不会发生陷落<sup>[52]</sup>。这是由于位错吸收过量空位的缘故。不过，对于位错的作用包括它的发生机理还是应该给予足够的重视。

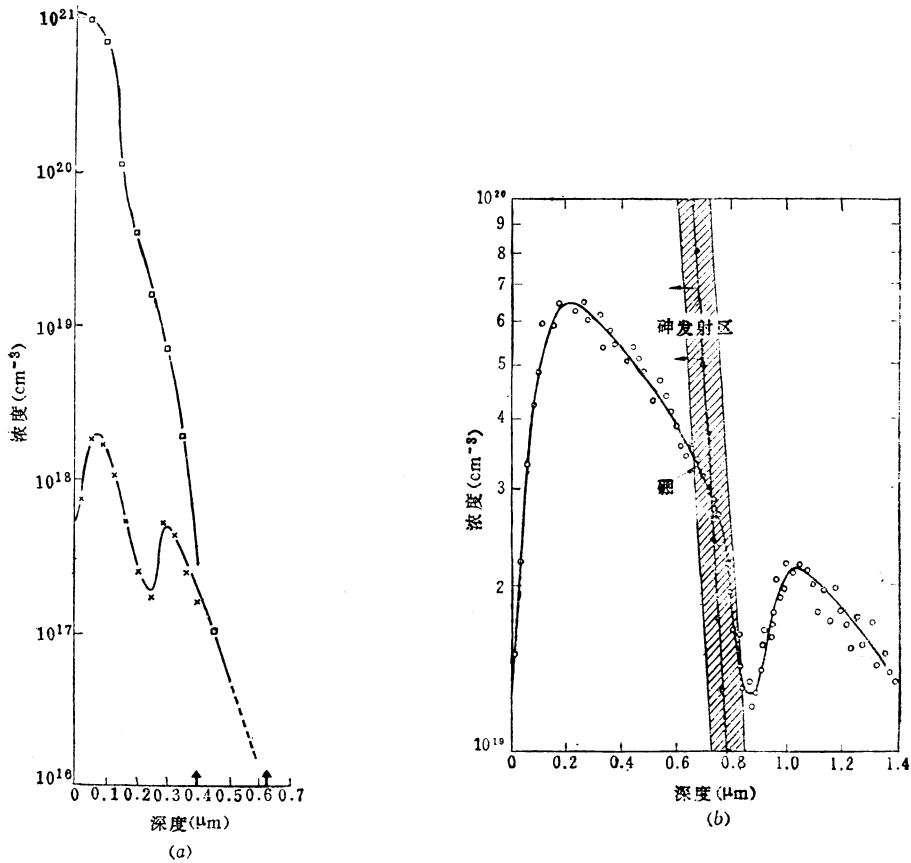


图 4-33

(a) 基区剖面陷落的位置<sup>[53]</sup> (×—镓基区; □—磷发射区);  
 (b) 基区剖面陷落的位置<sup>[54]</sup> (○—高浓度硼基区; ●—砷发射区)。

对双极晶体管来说，在基区-发射区扩散的相互作用中起重要作用的除上述基区宽度之外，还有基区-发射区结附近的剖面，它与发射极注入效率有直接关系。如上所述，影响这一部分的主要因素，除空位浓度外，还有电场效应和离子偶现象等。在这附近产生的基区剖面上，主要是由于电场效应的作用，发射区剖面的陡峭部分会发生陷落。在砷发射区中，其中心基本上接近结的位置（见图 4-31），而在磷发射区中，其中心是在弯曲附近以及

发射区内部<sup>[53]</sup> [见图 4-33(a)], 另外, 在基区浓度高时, 中心有时会偏向基区<sup>[54]</sup> [图 4-33(b)]。今后似有必要在考虑上述各种效应的基础上对发射结附近的情况进行分析。

### 4.4.3 扩散同晶面及气氛的关系

如前所述, 由于硅的晶体结构是各向同性的。可以认为硅中的扩散与晶面无关。但在实际的扩散中是与晶面有关的, 这种关系在硼扩散中表现得尤为明显。关于磷和砷, 最初认为无关, 但现在认为磷也是与晶面有关的<sup>[58]</sup>。另外, 这种与晶面的关系在扩散气氛为惰性时观察不到, 而在氧化气氛中才出现。因此, 目前认为是通过氧化与晶面发生关系的间接效应。图 4-34<sup>[57]</sup>示出了硼扩散系数同晶面及气氛的关系。从图中可以清楚地看到, (100)面上的扩散要快于(111)面, 同时也看出氧化气氛的影响。这些影响在温度升高时有减弱的倾向。另一方面, 磷与气氛的关系也有着同样的倾向<sup>[58]</sup>(见图 4-35), 氧化气氛越强, 扩散系数的增加就越大, 而且在磷的情况下, 当温度升高时, 其影响也有消失的倾向。这种扩散系数的增量  $\Delta D$  同扩散条件下的氧化速度  $dX_o/dt$  有如下正比关系:

$$\Delta D \propto \theta \cdot \frac{dX_o}{dt} \tag{4.41}$$

其系数因氧化气氛而异 (见图 4-36)。

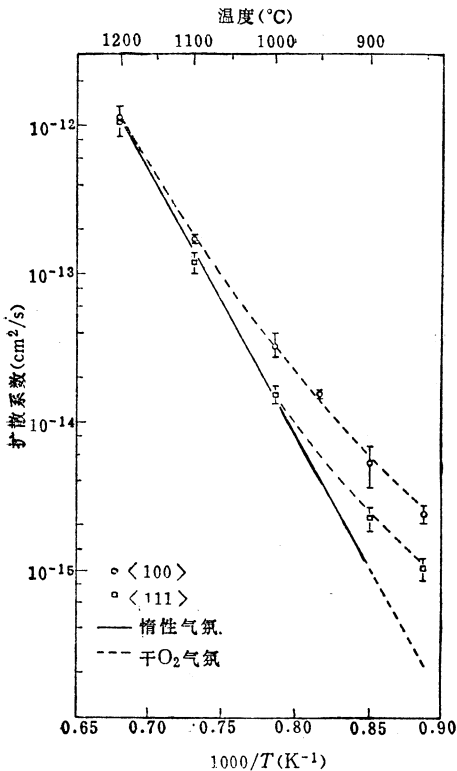


图4-34 硼的扩散系数同晶面及气氛的关系<sup>[57]</sup>。

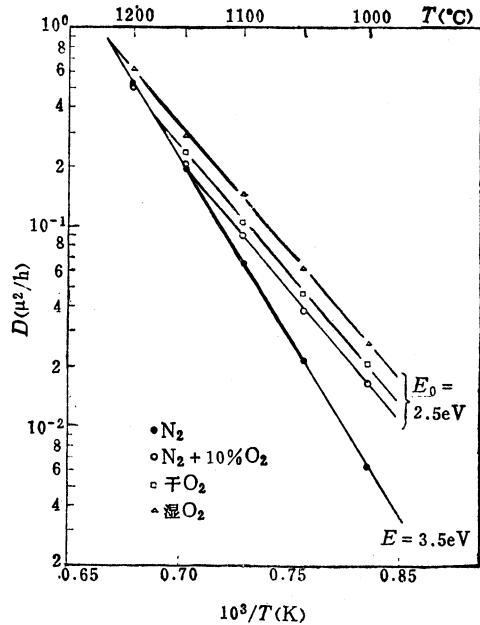


图4-35 磷的扩散系数与气氛的关系, 使用(111)面<sup>[58]</sup>

对于氧化气氛下扩散出现异常现象的原因, 要同氧化时发生的堆垛层错的生成机理结合起来进行考虑。对此提出了: 由于氧化时硅表面附近的空位欠饱和所引起的从内部流向

表面的空位流理论<sup>[60],[61]</sup>；在表面产生的过量填隙硅流向内部的质量流理论<sup>[61]</sup>；假定杂质按填隙机理扩散，表面附近过量填隙硅引起变大的理论<sup>[62],[63]</sup>，等等。最后一种理论是Hu氏提出的，它能全面说明包括与晶面关系在内的所有现象，所以是最现实的。

Hu氏认为，当氧化在硅表面进行时，硅未被完全氧化，其中一部分以填隙原子的形式进入硅内，进入硅内的填隙硅便处于过饱和状态。因此，不是被以晶体的形式存在于硅表面的弯曲所俘获，就是在有某些核存在的情况下为形成堆垛层错所消耗，或者是在硅内部扩散，提高硅内填隙硅的浓度，从而增大按填隙机理扩散的杂质的扩散系数。在(100)面(晶体弯曲小)的氧化中，由于填隙硅消耗的场所少，故过饱和程度大，其结果就易发生堆垛层错，而且杂质的扩散系数也明显增大。假定磷和硼按某一比例  $f$  以填隙机理扩散，则Hu的理论能对上述实验事实作出定性的说明。根据这一理论，Hu氏给出下式：

$$\frac{\langle D_{eff} \rangle}{D^*} = 1 + \frac{0.44 f \cdot \theta \cdot k^{1/2}}{\pi a_0 \rho D_*^* t^{1/2}} \quad (4.42)$$

式中  $\langle D_{eff} \rangle$  是氧化中有效的杂质扩散系数； $D^*$  是其本征扩散系数； $\theta$  是被氧化的硅以填隙原子的形式释放出来的比例； $k$  是氧化的抛物线对比率； $\pi a_0^2$  是弯曲造成的填隙原子的俘获截面； $\rho$  是弯曲的表面浓度； $D_*^*$  是硅本身的扩散系数； $t$  是氧化时间。

假定氧化膜厚度能以  $X_0 = \sqrt{kt}$  的形式来表示的话，则

$$\Delta D = \langle D_{eff} \rangle - D^* = \left( \frac{0.88 \cdot f \cdot \theta \cdot D^*}{\pi a_0 \rho \cdot D_*^*} \right) \frac{dX_0}{dt}$$

可见，对(4.41)式的关系做出了定性说明。由此可认为，这种理论完满地实验结果作出了定性说明。虽有人试图进行多参数的定量分析<sup>[67]</sup>，但这方面的工作目前做得还不够。

图4-37表示出磷扩散时  $\Delta D_e$  同晶面及气氛的关系。可以看到，与硼扩散不同的是，在(111)面扩散系数的增大要比(100)面明显，并且只要在氧化气氛中添加HCl，便能抑制扩散系数的增大，使之与氧化速率无关<sup>[66]</sup>。也有某些方面仅用上述Hu氏的理论不一定就能解释清楚。现在已有报告说，发现砷的扩散系数与氧化气氛有关<sup>[65]</sup>，根据空位机理则认为与氧化气氛无关。在器件工艺中，扩散大多是在氧化气氛中进行的，故在实际应用上，与气氛的关系乃是一个很重要的问题，特别是扩散与整个氧化过程的关系，无论在实验还是在理论方面，目前仍有很多问题有待整理和分析。

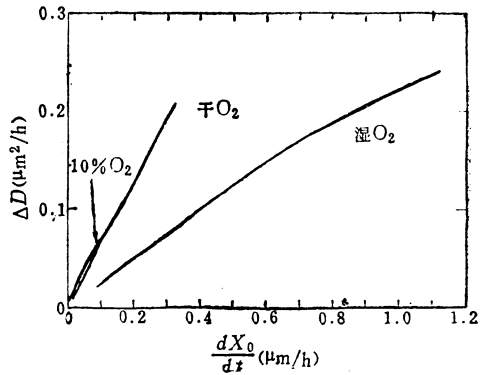
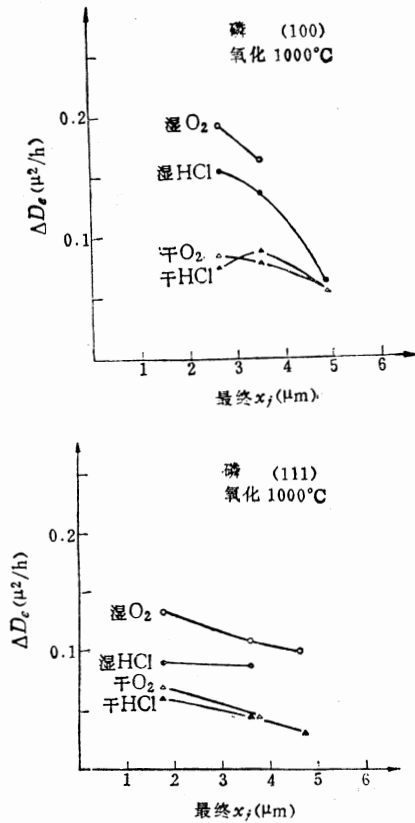


图4-36 磷的扩散系数增量与氧化速率的关系<sup>[66]</sup>

另外，在种种扩散现象中，就硅的杂质扩散而言，不仅有空位机理，同时还有填隙机理，这一事实首先说明扩散与气氛有关。这样扩散与气氛的关系对于从根本上搞清杂质扩散的机理将会提供新的有效手段。

图4-37 氧化气氛造成的磷扩散系数增量与结深的关系<sup>[64]</sup>

## 4.5 工艺模拟

由于工艺模型的逐个形成，使硅器件制造的工艺模拟成为可能。据报导已进行过几种尝试<sup>[67]~[69]</sup>。当然，在现阶段制造工艺还没有全部进行工艺模拟，而只是技术上业已成熟并已模型化了的工艺才开始采用。就是作了上述尝试的工艺也是有差别的。目前搞得最多的是技术上业已成熟并与器件工作性能关系最密切的氧化扩散工艺。

工艺一经模型化，要想对工艺做一个完整的叙述往往就要涉及到很多的参数。不过，工艺模拟的基本制约条件是成本-效率。另外还要求简化模型以便在要求的精度和可靠性范围内缩短计算时间。Dutton 等人<sup>[70]、[71]</sup>均以下式来表示扩散系数，即

$$D/D_i = \frac{1 + \beta f}{1 + \beta} \quad (4.43)$$

该式除无电场效应这一因素外，其它均与 (4.21) 式相同，它所起的作用就是把扩散杂质的通量设为

$$F = -\frac{\partial}{\partial x}(DC) \quad (4.44)$$

并以此代替  $F = -hD\partial C/\partial x$ 。实质上还是采用了式 (4.21)。可以看到，将 (4.43) 式代入 (4.44) 式后，假如  $\beta$  约为  $10^2$  数量级，便能得到通常的电场效应因子  $h$ 。另外，对于两种以上的杂质扩散，(4.44) 式亦能给出简单的表示，从而简化了计算。

Dutton 等人通过这种工艺模拟器对双极晶体管的杂质剖面进行模拟，并以此为基础进行器件模拟，将计算值和实测值做了比较（见图 4-38，表 4-4），结果是二者很一致，从而确定了它的价值。

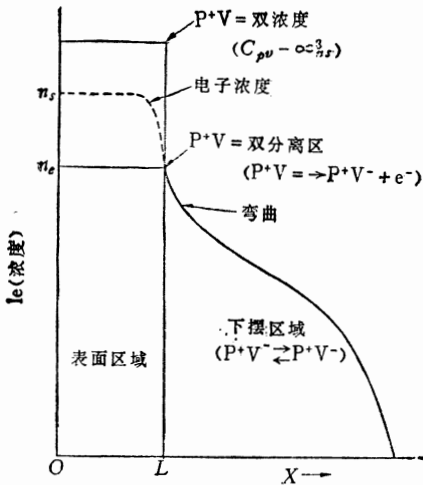


图4-38 双扩散晶体管剖面的模拟和实测值的比较<sup>[70]</sup>

表4-4 输入图4-38的结果，进行器件模拟获得的晶体管参数同实测值的比较<sup>[70]</sup>

| 参 数            | SUPREM/SITCAP          | 测 试 值                  |
|----------------|------------------------|------------------------|
| $I_S(A)$       | $7.15 \times 10^{-16}$ | $7.64 \times 10^{-16}$ |
| $\beta_F$      | 184.00                 | 174.00                 |
| $R_C(\Omega)$  | 34.50                  | 47.83                  |
| $V_A(V)$       | 20.20                  | 17.67                  |
| $C_{OCB}(pF)$  | 0.391                  | 0.36                   |
| $\phi_{CB}(V)$ | 0.57                   | 0.51                   |
| $C_{OEB}(pF)$  | 0.50                   | 0.52                   |
| $\phi_{EB}(V)$ | 0.721                  | 0.77                   |
| $\tau_F(ps)$   | 131.00                 | 179.00                 |

Dutton 等人最近还发表了在上述模拟器的基础上进一步改进的模拟器<sup>[72]</sup>。本章中所讨论的扩散模型几乎都可采用，尽管在工艺模型上有这样或那样的不足之处，但作为一元模型来说，成绩还是相当出色的。就今后微细器件的工艺模拟而言，在完成一元模型之后，还需要二元模型，这些将是今后模拟方面的课题。

### 4.6 结 束 语

以上从高精度扩散技术所存在的课题，介绍了扩散技术的现状及存在的问题。归纳起来，以上所讲到的内容大概有以下四个方面。

(1) 浅结形成技术方面，究竟是离子注入技术优越还是热扩散技术优越，目前尚无定论。但就薄层电阻-结深的均匀性这点来说，二者基本上不相上下。就其控制性来说，目前当然是热扩散工艺优越，除低浓度掺杂外，现有的热扩散工艺能充分适应近期的 VLSI。

(2) 从扩散工艺的精确控制、工艺模拟等角度来看，对单一扩散过程的理解和模型化还是相当成熟的。但在扩散杂质之间的相互作用、氧化和扩散的相互作用方面，至今未能取得统一的认识，今后应在开展理论研究的同时对现象本身加以研究。

(3) 硅中杂质扩散的大概情况可用包括 E 中心模型在内的空位机理予以解释。但是采用解释扩散与氧化的相互作用所必须采用的填隙机理也能解释扩散的大致情况。目前在扩散的基本原理方面还很难做出定论。

(4) 就用以确定工艺参数和器件特性关系的工艺模拟而言，目前虽已获得水平相当高的一元模型的模拟器，但对今后的微细器件来说，还需要研究包含有横向杂质分布的二元模型。

## 参考文献

- [1] Y. Nakajima, S. Ohkawa, and Y. Fukukawa : Simplified Expression for the Distribution of Diffused Impurities, *Japan J. Appl. Phys.*, **10**, 162 (1971)
- [2] 古川章彦, 柴田健二 : 結晶欠陥の  $hFE$  に与える影響, 第36回応用物理学会学術講演会予稿集-II p. 33 (1975)
- [3] 夏秋信義, 大湯静憲, 矢木邦博, 田村誠男, 徳山巖 : イオン打込みの均一性, 第9回シンポジウム—イオン注入とサブミクロン加工予稿集, p. 23 (1978)
- [4] 桐田慶, 守屋孝彦 : 私信
- [5] S. Prussin : Generation and Distribution of Dislocations by Solute Diffusion, *J. Appl. Phys.*, **32**, 1876 (1961)
- [6] H. J. Queisser : Slip Patterns on Boron-Doped Silicon Surfaces, *J. Appl. Phys.*, **32**, 1776 (1961)
- [7] W. Czaya : Conditions for the Generation of Slip by Diffusion of Phosphorus into Silicon, *J. Appl. Phys.*, **37**, 3441 (1966)
- [8] R. B. Fair : Quantified Conditions for Emitter-Misfit Dislocation Formation in Silicon, *J. Electrochem. Soc.*, **125**, 923 (1978)
- [9] T.H. Yeh and M.L. Joshi : Strain Compensation in Silicon by Diffused Impurities, **116**, 73 (1969)
- [10] K. Yagi, N. Miyamoto, and J. Nishizawa : Anomalous Diffusion of Phosphorus into Silicon *Japan J. Appl. Phys.*, **9**, 246 (1970)
- [11] T. Yonezawa, M. Watanabe, Y. Koshino, H. Ishida, H. Muraoka, and T. Ajima : High Concentration Diffusion without Generation of Crystal Defects, *Proc. 3rd. Int. Symp. Silicon Materials Science and Technology*, p. 658 (1977)
- [12] D. P. Kennedy and R. R. O'Brien : Analysis of the Impurity Atom Distribution near the Diffusion Mask for a Planar p-n Junction, *IBM Journal*, **9**, 179 (1965)
- [13] 松村英樹 : 注入イオンの横方向への拡がり, *応用物理*, **47**, 508 (1978)
- [14] Y. Akasaka, K. Horie, and S. Kawazu : Lateral Spread of Boron Ions Implanted in Silicon, *Appl. Phys. Letters*, **21**, 128 (1972)
- [15] J.R. Manning : Diffusion Kinetics for Atoms in Crystals, p. 47, D. VAN Nostrand (1968)
- [16] A.D. Kurtz and R. Yee : Diffusion of Boron in Silicon, *J. Appl. Phys.*, **31**, 303 (1960)
- [17] M. Yoshida : Diffusion of Group V Impurity in Silicon, *Japan J. Appl. Phys.*, **10**, 702 (1971)
- [18] J. Crank : *The Mathematics of Diffusion*, p. 230, Oxford (1975)
- [19] R. B. Fair and J. C. C. Tsai : A Quantative Model for the Diffusion of Phosphorous in Silicon and the Emitter Dip Effect, *J. Electrochem. Soc.*, **124**, 1107 (1977)
- [20] T. L. Chiu and H. N. Ghosh : A Diffusion Model for Arsenic in Silicon, *IBM J. Res. Develop.*, **15**, 472 (1971)
- [21] R. N. Ghoshtagore : Low Concentration Diffusion in Silicon under Sealed Tube Conditions, *Solid-State Electron.*, **15**, 1113 (1972)
- [22] E. Tannenbaum : Detailed Analysis of Thin Phosphorus-Diffused Layers in p-Type Silicon, *Solid State Electron.*, **2**, 123 (1961)
- [23] D. B. Lee : The Push-Out Effect in Silicon n-p-n Diffused Transistors, *Philips Res. Repts. Supple.*, No. 5 (1974)
- [24] M. Yoshida, E. Arai, H. Nakamura, and Y. Terunuma : Excess Vacancy Generation Mechanism at Phosphorous Diffusion into Silicon, *J. Appl. Phys.*, **45**, 1498 (1974)
- [25] J. S. Makris and B. J. Masters : Phosphorous Isoconcentration Diffusion Studies in Silicon, *J. Electrochem. Soc.*, **120**, 1252 (1973)
- [26] D. Shaw : Self and Impurity Diffusion in Ge and Si, *Phys. Stat. Sol. (b)*, **72**, 11 (1975)
- [27] F. N. Schwettmann and D. L. Kendall : Carrier Profile Change for Phosphorus-Diffused Layers on Low-Temperature Heat Treatment, *Appl. Phys. Letters*, **19**, 218 (1971)
- [28] S. Matsumoto, M. Yoshida and T. Niimi : The Confirmation of the Surface Effect upon Phosphorus Diffusion into Silicon, *Japan J. Appl. Phys.*, **13**, 1899 (1974)
- [29] M. Yoshida : Excess Vacancy Generation by E-Center Dissociation in the Case of Phosphorous Diffusion in Silicon, *J. Appl. Phys.*, **48**, 2169 (1977)
- [30] N. D. Thai : Anomalous Diffusion in Semiconductors—A Quantative Analysis, *Solid State Electron*, **13**, 165 (1970)
- [31] N. D. Thai : Concentration-Dependent Diffusion of Boron and Phosphorus in Silicon, *J. Appl. Phys.*, **41**, 2859 (1970)
- [32] D. Shaw : The Chemical Diffusion of P in Si, *Phys. Stat. Sol. (a)*, **30**, k 139 (1975)
- [33] 柏木正弘, 竹内幸雄 : Si 中への砒素拡散, 第35回応用物理学会学術講演会予稿集, p. 296 (1974)

- [34] B. J. Masters and J. M. Fairfield : Arsenic Isoconcentration Diffusion Studies in Silicon, *J. Appl. Phys.*, **40**, 2390 (1969)
- [35] S. M. Hu and S. Schmidt : Interactions in Sequential Diffusion Processes in Semiconductors, *J. Appl. Phys.*, **39**, 4272 (1968)
- [36] D. P. Kennedy & P. C. Murley : Concentration Dependent Diffusion of Arsenic in Silicon, *Proc. IEEE*, **59**, 335 (1971)
- [37] R.B. Fair and G.R. Weber : Effect of Complex Formation on Diffusion of Arsenic in Silicon, *J. Appl. Phys.*, **44**, 273 (1973)
- [38] S. M. Hu : Diffusion in Silicon and Germanium in "Atomic Diffusion in Semiconductors", D. Shaw, Ed., Plenum Press, London (1973)
- [39] R. B. Fair and J. C. C. Tsai : The Diffusion of Ion-Implanted Arsenic in Silicon, *J. Electrochem., Soc.*, **122**, 1689 (1975)
- [40] R. B. Fair : Boron Diffusion in Silicon-Concentration and Orientation Dependence, Background Effects, and Profile Estimation, *J. Electrochem. Soc.*, **122**, 800 (1975)
- [41] J.R. Anderson and J.F. Gibbons : New Model for Boron Diffusion in Silicon, *Appl. Phys. Letters*, **28**, 184 (1976)
- [42] A. Seeger and W. Frank : Self-Interstitials in Silicon and Germanium, Radiation Damage and Defects in Semiconductors, p. 262, The Institute of Physics, London and Bristol (1973)
- [43] H. Nakamura, S. Ohyama and C. Tadachi : Boron Diffusion Coefficient Increased by Phosphorus Diffusion, *J. Electrochem. Soc.*, **121**, 1377 (1974)
- [44] C. L. Jones and A.F.W. Willoughby : Studies of the Push-Out Effect in Silicon, *J. Electrochem. Soc.*, **122**, 1531 (1975)
- [45] S.M. Hu and T.H. Yeh : Approximate Theory of Emitter-Push Effect, *J. Appl. Phys.*, **40**, 4615 (1969)
- [46] R. B. Fair : Quantative Theory of Retarded Base Diffusion in Silicon n-p-n Structures with Arsenic Emitters, *J. Appl. Phys.*, **44**, 283 (1973)
- [47] K. Tsukamoto, Y. Akasaka, Y. Watari, Y. Kusano, Y. Hirose and G. Nakamura : Arsenic Emitter and Its Application to UHF Power Transistor, *Proc. 9th Conference on Solid State Devices*, Japan J. Appl. Phys. Supplement 17-1, 187 (1977)
- [48] C. L. Jones and A. F.W. Willoughby : Interactions between Sequential Ga/As Diffusions in Silicon, *Proc. 3rd Int. Symp. Silicon Material Science and Technology*, p. 684 (1977)
- [49] H. Shibayama, H. Masaki, H. Ishikawa and H. Hashimoto : Emitter Dip Effect by Low Temperature Heat-Treatment of Arsenic-Diffused Layer, *J. Electrochem. Soc.*, **123**, 742 (1976)
- [50] 中村源四郎, 行本義則, 亘善彦, 堀江和夫, 赤坂洋一 : トランジスタにおけるエミッタ押し出し効果制御の方法, 半導体集積回路シンポジウム, 第4回 (1973)
- [51] J. E. Lawrence : The Cooperative Diffusion Effect, *J. Appl. Phys.*, **37**, 4106 (1966)
- [52] M. Maeda and M. Tanimoto : Emitter Dip Effect in Doubled-Diffused n-p-n Silicon Transistors, *Phys. Stat. Sol. (a)*, **16**, 273 (1973)
- [53] C. L. Jones and A.F.W. Willoughby : Studies of the Push-Out Effect in Silicon, *J. Electrochem., Soc.*, **123**, 1531 (1976)
- [54] J.F. Ziegler, G.W. Cole and J.E.E. Baglin : Discovery of Anomalous Base Regions in Transistors, *Appl. Phys. Letters*, **21**, 177 (1972)
- [55] T.C. Chan and C.C. Mai : Diffusion of Boron, Phosphorus, Arsenic, and Antimony into (100) and (111) Silicon Slices, *Proc. IEEE*, **58**, 588 (1970)
- [56] M. Okamura : The Orientation Dependence of Boron Diffusion, *Japan J. Appl. Phys.*, **9**, 848 (1970)
- [57] D. A. Antoniadis, A. G. Gonzalez & R. W. Dutton : Boron in Near-Intrinsic (100) and (111) Silicon under Inert and Oxidizing Ambients-Diffusion and Segregation, *J. Electrochem. Soc.*, **125**, 813 (1978)
- [58] G. Masetti, S. Solmi and G. Soncini : On Phosphorous Diffusion in Silicon under Oxidizing Atmosphere, *Solid-State Electron.*, **16**, 1419 (1973)
- [59] G. Masetti, S. Solmi and G. Soncini : Oxidation-Rate Dependence of Phosphorus Diffusivity in Silicon, *Phil. Mag.*, **33**, 613 (1976)
- [60] I. R. Sanders and P. S. Dobson : Oxidation, Defects and Vacancy Diffusion in Silicon, *Phil. Mag.*, **20**, 881 (1969)
- [61] P. S. Dobson : The Effect of Oxidation on Anomalous Diffusion in Silicon, *Phil. Mag.*, **24**, 567 (1971)
- [62] P. S. Dobson : The Mechanism of Impurity Diffusion in Silicon, *Phil. Mag.*, **26**, 1301 (1972)
- [63] S.M. Hu : Formation of Stacking Faults and Enhanced Diffusion in the Oxidation of Silicon, *J. Appl. Phys.*, **45**, 1567 (1974)
- [64] 谷口研二, 黒沢景, 柏木正弘 : 未発表データ
- [65] Y. Tsunoda : Effect of Atmosphere on

- Arsenic Diffusion in Silicon, Japan J. Appl. Phys., **13**, 1901 (1974)
- [66] Y. Nabeta, T. Uno, S. Kubo and H. Tsukamoto : Restrained Diffusion of Boron and Phosphorus in Silicon under HCl-Added Oxygen Atmosphere, J. Electrochem. Soc., **123**, 1416 (1976)
- [67] J.D. Meindl, K.C. Saraswat and J.D. Plummer : The Need for Process Models in a Ubiquitous Technology, Proc. 3rd Int. Symp. Silicon Material Science and Technology, p. 894 (1977)
- [68] R.W. Dutton, A. G. Gonzalez, R.D. Rung and D. A. Antoniadis : IC Process Engineering Models and Applications, *ibid*, p. 910
- [69] P. Shah : Computer Aided Process Design and Optimization for Semiconductor Device Fabrication, *ibid*, p. 923
- [70] R.W. Dutton, D.A. Divekar, A. G. Gonzalez, S.E. Hanson and D.A. Antoniadis : Correlation Fabrication Process and Electrical Device Parameter Variations, IEEE J. Solid State Circuits, SC-2, 349 (1977)
- [71] D.A. Antoniadis, S.E. Hansen, R.W. Dutton, A. G. Gonzalez and M. Rodoni : SUPREMEI-A Program for IC Process Engineering Models, Stanford Electron. Lab., Stanford Univ., Stanford, CA, Tech. Rep. SUSEL-77-006, May (1977)
- [72] D. A. Antoniadis, S. E. Hansen, and R. W. Dutton : SUPREME II-A Program for IC Process Modeling and Simulation, Stanford Electron Lab., Stanford Univ., Stanford, CA, Tech. Rep. SEL-78-020, June (1978)
- [73] M. Ghezzi : Diffusion from a Thin Layer into a Semi-Infinite Medium with Concentration Dependent Diffusion Coefficient, J. Electrochem. Soc., **119**, 977 (1972)



# 第五章 微细元件的栅氧化膜

饭塚尚和

## 5.1 微细化引起的变化

为了实现集成电路的微细化,采用了各种方法,其中最正统的方法是把元件结构参数按一定的比率缩小。设缩小因子<sup>(1)、(2)</sup>为 $\alpha$ ,则缩小后MOS晶体管的阈值电压为:

$$V'_t = \frac{1}{\epsilon_{ox}} \left( \frac{t_{ox}}{\alpha} \right) \times \left[ -Q_{eff} + \sqrt{2\epsilon_{Si}q(\alpha N_A) \left( \frac{V_{S-SUB}}{\alpha} + \Psi_s \right)} \right] + (\Delta W_t + \Psi_s \approx) \frac{V_t}{\alpha} \tag{5.1}$$

缩小后的结构和电源参数如下:

$$\left. \begin{aligned} \text{结深 } x'_a &= x / \alpha \\ \text{电源电压 } V' &= V / \alpha \\ \text{沟道杂质浓度 } N'_A &= \alpha N_A \\ \text{沟道长度 } L' &= L / \alpha \end{aligned} \right\} \tag{5.2}$$

缩小后的漏电流 $I'_D$ 为:

$$I'_D(\text{三极管}) = \frac{\mu\epsilon_{ox}}{t_{ox}/\alpha} \left( \frac{W/\alpha}{L/\alpha} \right) \left( \frac{V_g - V_t - V_d/2}{\alpha} \right) \left( \frac{V_d}{\alpha} \right) = \frac{I_D}{\alpha} \tag{5.3}$$

$$I'_D(\text{五极管}) = \frac{\mu\epsilon_{ox}}{2(t_{ox}/\alpha)} \left( \frac{W/\alpha}{L/\alpha} \right) \left( \frac{V_g - V_t}{\alpha} \right)^2 = \frac{I_D}{\alpha} \tag{5.4}$$

(5.1)式中,  $\Psi_s = (2kT/q) \ln(N_A/n_i)$ , 此时变为:

$$\Psi'_s = \frac{2kT}{q} \ln(\alpha N_A/n_i) \tag{5.5}$$

这样,按比例缩小的方法是通过对所有参数一律加以变换,使电气特性和变换前一样。但实际上,由于要求提高性能,会产生比例不平衡,从而出现以下四个问题。

(1) 电场集中: 由于要求提高性能,电源电压的降低比其他参数降低的程度小。因而出现栅氧化膜中的电场强度增大,电场在漏结集中,发生击穿和急动(flinging)电场增大等问题。另外,在这种情况下,要严密地进行短沟道MOSFET的工作特性分析,必须引入二次效应<sup>(8)~(5)</sup>。

(2) 电流集中: 随着沟道电导和杂质浓度的增大,在Si-SiO<sub>2</sub>界面就会集中大电流,从而容易发生碰撞电离引起的空穴载流子。

(3) 辐射损伤增大: 在高密度IC的制造工艺中,由于采用电子束曝光技术<sup>(7)</sup>、反应式等离子体、离子溅射等干法腐蚀技术<sup>(8)</sup>,或者高浓度离子注入技术等,在SiO<sub>2</sub>中造成各种类型的辐射损伤<sup>(9)~(11)</sup>。这些损伤对电气特性的影响以及稳定性问题,需要进行研究。

(4) 应力增大: 必须充分考虑应力增大和晶体畸变,以便使工艺最佳化。前者是由于在纵向没有像平面内那样进行按比例缩小而产生的,后者是由于高浓度离子注入使杂质集中在局部区域而产生的。下面,对这些问题分别进行详细讨论。

## 5.2 微细化带来的问题

### 5.2.1 二氧化硅的绝缘电压和传导机理

随着 IC 的微细化,  $\text{SiO}_2$  膜厚减小到什么程度是一个有意义的问题。正如在硅表面附近分成体内和表面来研究一样, 对  $\text{SiO}_2$  膜也有必要分别研究其体内的性质和过渡区的性质。对于过渡区, 必须从下面二个观点来研究, 一个是晶体学、物理学或化学的观点, 另一个是隧道效应和陷阱或复合中心等电气观点。后面将要详细叙述, 这些过渡区定为  $30 \sim 40 \text{ \AA}$  比较妥当。因而,  $\text{SiO}_2$  膜厚的实用界限大概为  $100 \text{ \AA}$  左右。此时, 如果从按比例缩小来考虑, 电源电压预料为  $1 \sim 2\text{V}$ , 要求逻辑摆幅为数  $\text{kT}$ , 读出电路的读出灵敏度为  $\text{kT}$  数量级, 因而将出现各种参数起伏, 噪声大等问题。这些问题, 有待于通过重新评价, 从立足于新思想的设计直至工艺、装配的综合技术, 以求得到解决或缓和。

#### (1) 决定绝缘耐压的主要因素

关于薄膜材料的绝缘击穿问题, 很久以来就引起了人们的兴趣, 也发表了一些调研报告 (1960~1970年)<sup>[12]</sup>。硅的热氧化膜的绝缘耐压范围大约为  $(2 \sim 10) \times 10^6 \text{ V/cm}$ <sup>[13]</sup>。它随着测试方法、被测元件的形状参数 (金属电极的种类、厚度、面积等) 和外加电压极性的不同而不同<sup>[14]~[19]</sup>, 其偏差情况如图 5-1 所示<sup>[18]</sup>, 初期绝缘击穿通过自愈而恢复, 最终的绝缘击穿局限在高电压侧和低电压侧。低电压侧的耐压分布是由于在缺陷处没有积蓄足够的能量而不能产生自愈, 所以, 随电极面积的增大而增加。关于电极面积的影响如图 5-2 所示<sup>[20]</sup>。最终的击穿电压分布呈泊松分布 (见图 5-3), 其特点是低压侧下部稍为有点拉长, 高压侧的下部不足。

这里应注意外加电压的极性和上升速度。根据电压的极性, 硅表面可呈现存储、耗尽或反型状态。在固定状态下, 硅表面的电压降为  $1\text{V}$  左右时, 几乎全部电压都加在  $\text{SiO}_2$  上; 在深耗尽状态下, 大部分电压加在硅上, 表面看来绝缘耐压提高了。这是由少数载流子的产生时间常数和电压的上升速度共同决定的。在 MOS 电容器的情况下, 少数载流子的产生时间常数大, 可观测到数分钟之久, 需要规定适当的上升速度 (见图 5-4)。另外, 如果电极的极性不同, 则  $\text{SiO}_2$  中的放电通路的电阻也不同, 例如铝电极为 (+) 时同为 (-) 时相比, 电阻高一个数量级, 初始冲击电流低一个数量级, 因而难于自愈<sup>[18]</sup>。

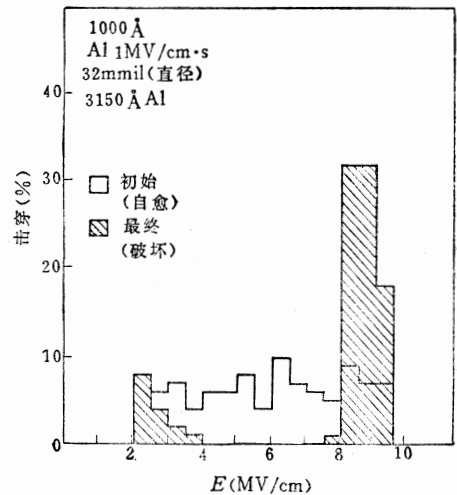


图5-1 初期的和最终的耐压分布<sup>[18]</sup>

假设自愈后的最终绝缘击穿在高电压侧的分布概率为  $P$ , 则  $P$  和电极面积  $F$  的关系为

$$-\ln P = \rho F \quad (5.6)$$

式中,  $\rho$  为氧化膜的缺陷密度, 与电极 (铝) 面积密切相关 (见图 5-5)。从图 5-5 可以看出, 电极膜较厚时, 随着电极面积的增大, 在高压侧的分布概率减小。  $\rho$  与铝电极厚度的

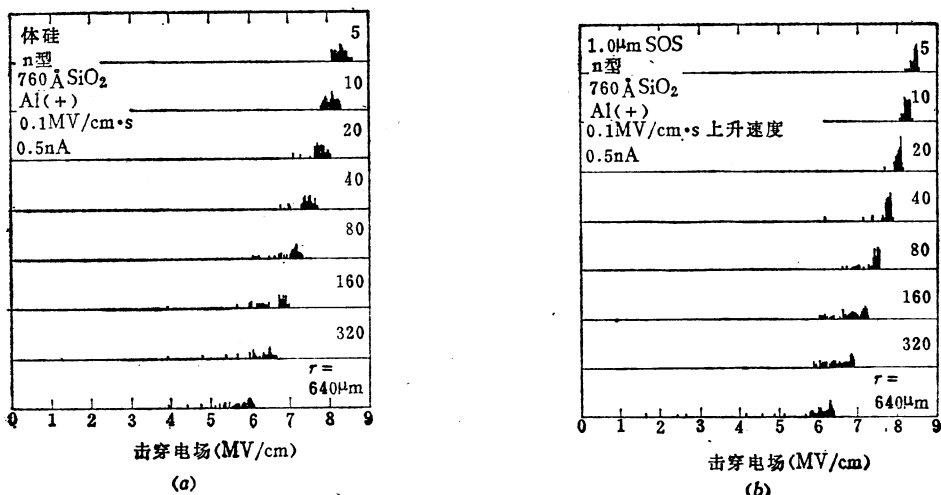


图5-2 绝缘击穿电场强度与电极面积的关系  
(a) 体硅; (b) SOS。

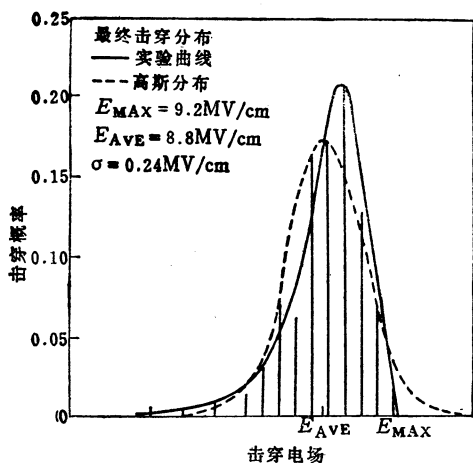


图5-3 最终击穿电场强度的分布<sup>[18]</sup>

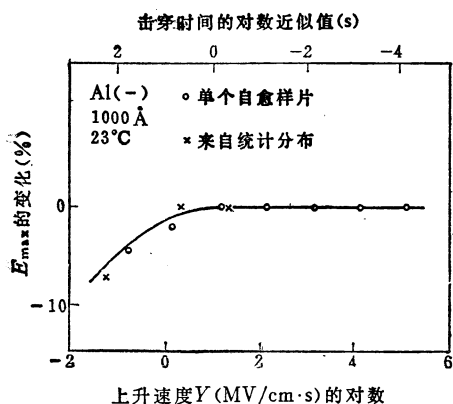


图5-4 上升速度和 $E_{max}$ <sup>[18]</sup>

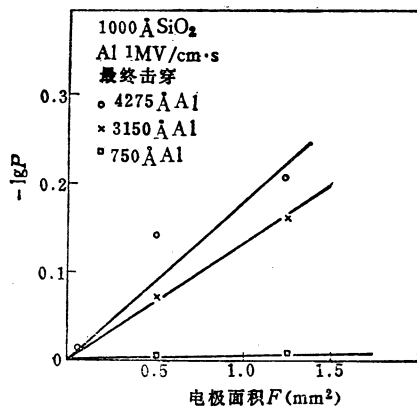
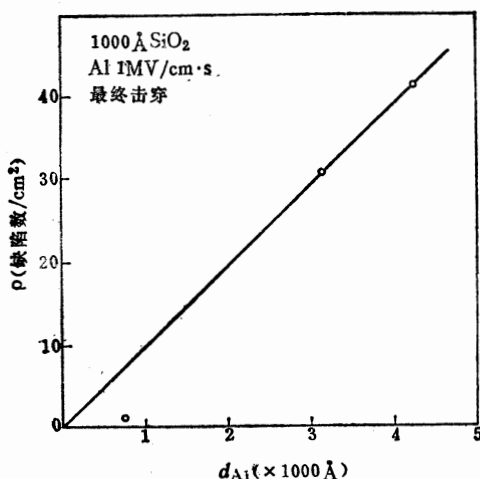
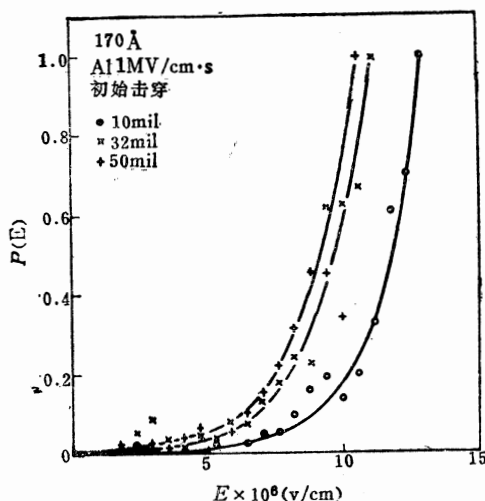


图5-5 最终绝缘击穿概率与电极面积的关系<sup>[18]</sup>

图5-6 铝栅电极厚度和缺陷密度  $\rho$  的关系<sup>[13]</sup>图5-7  $P(E)$  与电场的关系

关系如图5-6所示。

在图5-6中，假定只有一种缺陷。如果考虑到各种缺陷的分布，则情况如下。当外加电场为  $E$ （或小于  $E$ ）时引起击穿的缺陷的存在概率  $P(E)$  为：

$$P(E) = \int_0^E F\rho(\xi)[1 - \rho(\xi)]d\xi = 1 - \exp\left\{-\int_0^E F\rho(\xi)d\xi\right\} \quad (5.7)$$

因此，耐压高于  $E$  的电容器存在概率  $P'(E)$  为

$$P'(E) = \exp\left\{-\int_0^E F\rho(\xi)d\xi\right\} - \ln P'(E) = F \int_0^E \rho(\xi)d\xi \quad (5.8)$$

这同(5.6)式是对应的。Osburn 和 Qrmond 根据对应的实验值，对于  $170 \text{ \AA}$  的  $\text{SiO}_2$ ，设  $E = 0.8E_{\max}$  ( $E_{\max}$  为最大击穿电场强度)，则

$$\int_0^{0.8E_{\max}} \rho(\xi)d\xi \approx 120 \text{ cm}^{-2} \quad (5.9)$$

把此值用于 MOS IC，对于有效栅区占芯片面积 20% 的 5mm 见方芯片来说，缺陷数为 6 个/片就是不可忽视的数量。 $P(E)$  和电场的关系如图5-7所示<sup>[13]</sup>。

图5-6的  $\rho$  是在膜厚为  $1000 \text{ \AA}$  时产生自愈条件下的值，所以要比上述值小很多。当  $\text{SiO}_2$  膜变薄（约  $200 \text{ \AA}$ ）时，自愈明显减弱。自愈是由于烧断电流通路而产生的。因此，必须有一定的能量  $K$ ，该能量由下式确定<sup>[13]</sup>：

$$K = \frac{\epsilon_0 x F^2}{2d} (V_i^2 - V_r^2) \quad (5.10)$$

式中， $V_i$  是能量储蓄所需要的阈值电压， $V_r$  是引起自愈性击穿期间电极间的维持电压。从该式可以看出，若  $F$  增大则  $V_r$  减小。关于  $V_r$  的大小，Osburn 给出为  $22 \sim 24 \text{ V}$ ，Klein 给出为  $16 \text{ V}$ 。

此外，决定绝缘耐压的重要因素还有膜厚、氧化前后的处理方法及保护膜的有无等，将在其它部分作详细讨论。

## (2) 绝缘耐压与氧化膜厚度的关系

众所周知，随着氧化膜的变薄，自愈将变得困难，初期耐压（非破坏）和最终耐压（破坏）大体一致。但一般来说，随着氧化膜厚度的减小，最大绝缘击穿强度 ( $E_{max}$ ) 将增大，而其分布范围更宽，也就是耐压的偏差变大。但是，对于耐压与膜厚的关系有不同的看法，有认为随着膜厚的增加，击穿电场强度 ( $E_B$ ) 增大<sup>[22]</sup>、减小<sup>[23]</sup>或不变<sup>[24]</sup>的报告。Osburn<sup>[25]</sup>等人认为，这是由于  $E_B$  的测试条件不统一造成的。

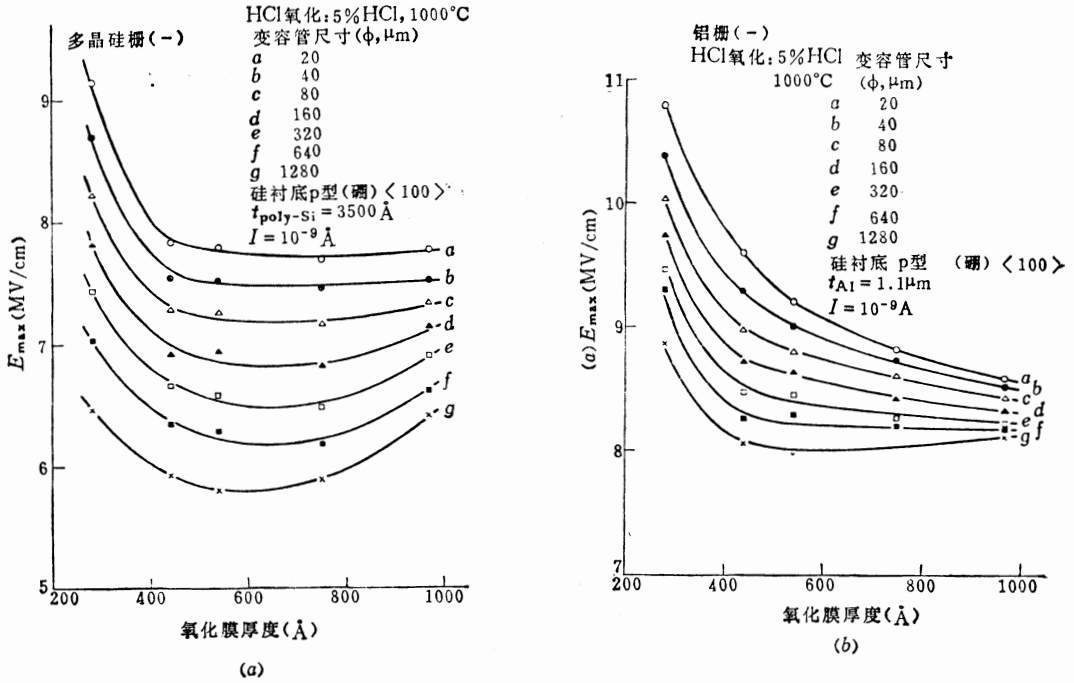


图5-8  $E_{AVE}$ 和氧化膜厚度的关系

(a) 硅栅; (b) 铝栅。

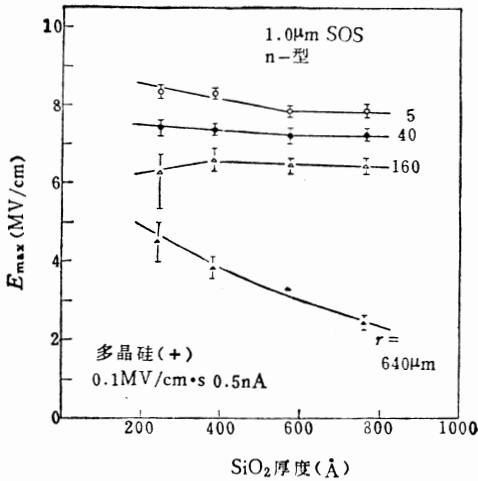


图5-9  $E_{AVE}$ 和氧化膜厚度的关系 (SOS)

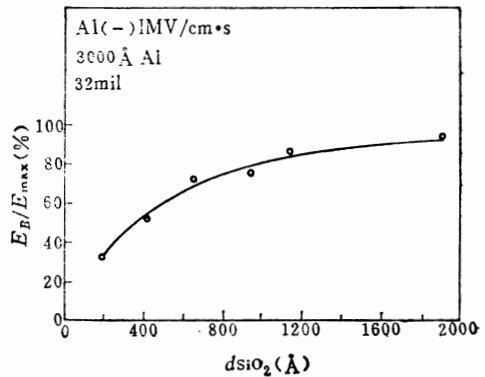


图5-10 最终击穿电场强度与 $\text{SiO}_2$ 膜厚的关系<sup>[25]</sup>

SiO<sub>2</sub> 的平均绝缘耐压 ( $E_{AVE}$ ) 的例子如图 5-8<sup>[26]</sup>、5-9<sup>[27]</sup> 所示。在这种情况下不产生自愈。最终的  $E_B$  如图 5-10 所示, 随着膜厚增加而增大, 这可以用自愈的增加来说明。在有自愈的情况下, 最终的  $E_B$  接近于  $E_{max}$ 。因此, 在 SiO<sub>2</sub> 膜厚度 ( $d_{SiO_2}$ ) 较厚的情况下, 最终电场强度的分布曲线变陡。初期击穿电场强度与 SiO<sub>2</sub> 膜厚的关系如图 5-11 所示, 以供参考。硅衬底的杂质浓度对  $E_{max}$  的影响, 对 p 型 Si 衬底来说, 如图 5-12 所示, 几乎没有什么影响, 但对 n 型 Si 衬底来说, 同是图 5-12 所示的两种不同电阻率的衬底, 当  $d_{SiO_2} = 100 \text{ \AA}$  时, 衬底电阻率低的 SiO<sub>2</sub>, 其  $E_{max}$  约低 15% ( $\rho \approx 300 \text{ cm}^{-2}$ )。图 5-12 曲线在 SiO<sub>2</sub> 膜厚小于 800  $\text{\AA}$  时可近似表示为

$$E_{max} \propto d_{SiO_2}^{-0.21} \tag{5.11}$$

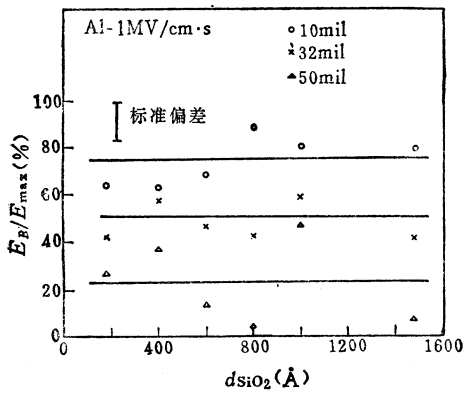


图5-11 初期击穿电场强度与SiO<sub>2</sub>膜厚的关系<sup>[25]</sup>

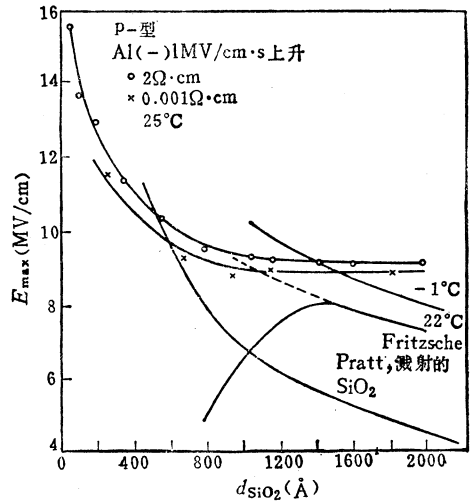


图5-12  $E_{max}$ 和氧化膜厚度的关系<sup>[25]</sup>

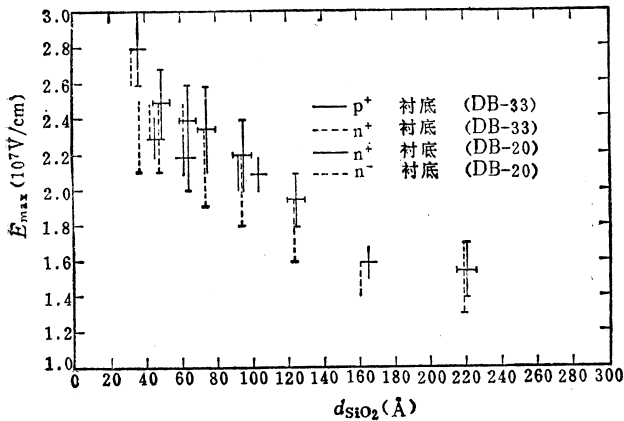


图5-13 薄SiO<sub>2</sub>膜的 $E_{max}$ 与膜厚的关系<sup>[28]</sup>

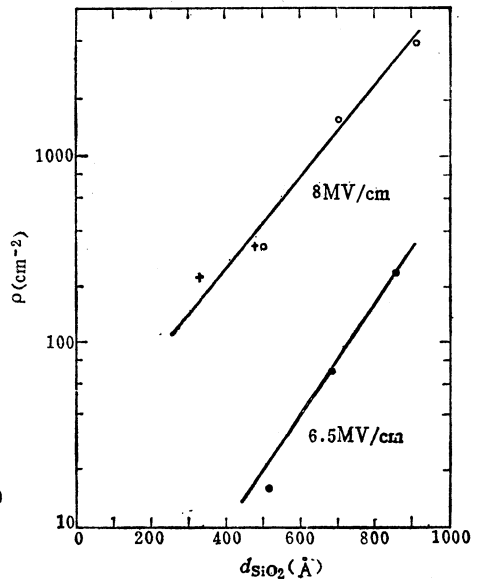


图5-14 有效缺陷密度(加直流电压3000s后)和膜厚的关系<sup>[30]</sup>

其中指数0.21与绝缘击穿机理有关，是人们感兴趣的数值。后面将详细叙述，该数值很接近根据 Distefano 和 Shatzkes 的模型<sup>[28]</sup>得出的  $E_{max}$  (参考图5-31)。这种模型是根据 SiO<sub>2</sub> 中的碰撞电离形成空穴空间电荷从而产生电子注入的加速电场的理论提出的。

这里应注意的是， $E_{max}$ 随着 SiO<sub>2</sub> 膜厚的减小而增大，但  $E_{AVE}$  几乎不变，这是因为工艺条件不同会造成很大偏差。SiO<sub>2</sub>膜厚进一步减小的情况如图5-13所示。

另外，SiO<sub>2</sub>的缺陷密度随着膜厚的减小而降低(见图5-14)<sup>[30]</sup>。

(3) 工艺条件的影响

对于 SiO<sub>2</sub> 膜的绝缘强度来说，Osburn 和 Ormond 认为，与其重视硅衬底的影响，不如重视氧化前的处理、晶片的干燥、氧化炉石英管的清洁度和氧化温度等。例如，由于氧化前的处理方法的不同， $\rho$  的偏差范围宽达 50~160cm<sup>-2</sup><sup>[25]</sup>。

关于氧化温度的影响，Osburn 等人提供了图5-15所示的结果。从图中可知，SiO<sub>2</sub> 膜越薄，氧化温度越高，则在低电场强度下的击穿可能性越大。

关于 SiO<sub>2</sub> 上的 PSG (磷硅玻璃钝化膜) 的有效性也被证实<sup>[22]、[25]</sup>。由于 PSG (其厚度为整个膜厚的 10% 左右) 的存在，在低电场侧的击穿减少了，因此，耐压提高 80%<sup>[25]</sup>。

(4) 测试条件的影响

测试温度对绝缘耐压的影响很小(见图5-16)，温度升高， $E_{max}$  稍有增大<sup>[25]</sup>。电压的上升时间长短引起耐压的变化必须考虑<sup>[29]、[30]</sup>。当考虑到耐压随着 SiO<sub>2</sub> 中的杂质电荷移动而降低的时候，加电压的时间长短对耐压的影响就变得更为重要(后面叙述)。

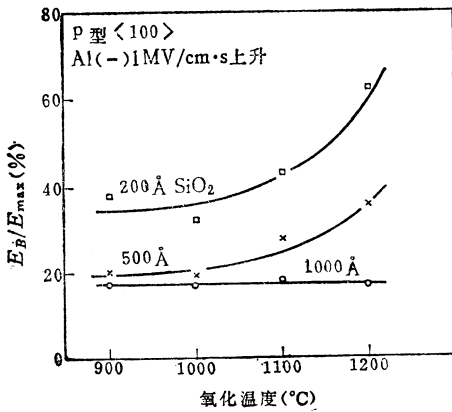


图5-15 耐压分布与氧化温度的关系<sup>[25]</sup>

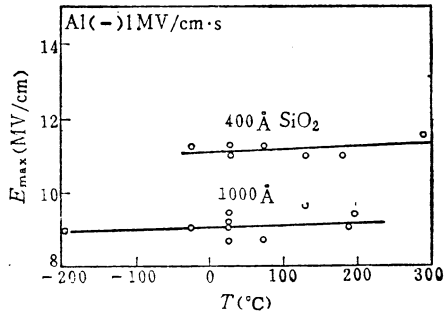


图5-16  $E_{max}$ 与测试温度的关系<sup>[25]</sup>

(5) SiO<sub>2</sub> 的传导机理

(a) Fowler-Nordheim 隧道电流

在高电场区，SiO<sub>2</sub>的传导电流一般是由 Fowler-Nordheim 型隧道效应产生的、从电极流到 SiO<sub>2</sub> 中的注入电流。它是由于隧道效应而使电子通过由 SiO<sub>2</sub> 中的电场在 SiO<sub>2</sub>-电极界面形成的三角形势垒向 SiO<sub>2</sub> 注入的现象。Fowler-Nordheim 隧道电流的基本公式为

$$J = \left( \frac{q^3 E^2 m}{8\pi h \Phi_B m^*} \right) \exp \left\{ - \frac{4(2m^*)^{1/2} \Phi_B^{3/2}}{3\hbar q E} \right\} \quad (5.12)$$

式中， $\Phi_B$  为势垒高度， $m$  为自由电子质量， $m^*$  是 SiO<sub>2</sub> 禁带中电子的有效质量， $h$  为普

朗克常数。从该式可以看出， $\ln(J/E^2)$  和  $1/E$  的关系曲线为直线 (Fowler-Nordheim 曲线)。实际上，必须对由镜像力引起的势垒下降和对电子分布进行温度修正，进行这种修正后，则

$$J = \left( \frac{q^3 E^2 m}{8\pi h \Phi_B m^*} \right) \left[ \frac{1}{i^2(y)} \right] \left[ \frac{\pi c k T}{\sin(\pi c k T)} \right] \times \exp \left\{ - \frac{4(2m^*)^{1/2} \Phi_B^{3/2}}{3\hbar q E} \cdot v(y) \right\} \quad (5.13)$$

式中， $y = (1/\Phi_B)(q^3 E/4\pi\epsilon_0 x)^{1/2}$  (5.14)  
 $i(y)$  和  $v(y)$  是椭圆积分。

在实际的  $\text{SiO}_2$  中，由于高电场引起碰撞电离而产生电子-空穴对，但由于空穴的迁移率很小<sup>[34]</sup>，所以，在  $\text{SiO}_2$  中产生空穴俘获，使负电极界面的电场 ( $E_s$ ) 大于平均电场  $\bar{E}$ ，从而进一步促进了电子的注入<sup>[35]</sup>。即如图5-17所示，偏离了 Fowler-Nordheim 曲线。 $E_s$  和  $\bar{E}$  的关系如图5-18所示， $\text{SiO}_2$  膜越厚，偏离越大。另外，众所周知，由于空间电荷的存在， $\ln I - \sqrt{V}$  的关系曲线在很宽的外加电压范围内呈直线。

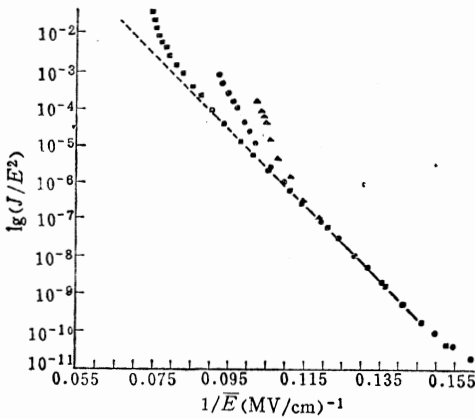


图5-17 Fowler-Nordheim 曲线<sup>[35]</sup>

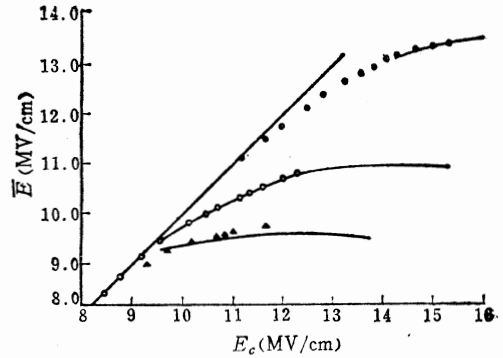


图5-18 负极电场  $E_s$  和  $\text{SiO}_2$  中的平均电场  $\bar{E}$  的关系<sup>[35]</sup>

( $\text{SiO}_2$  厚度: ▲ 494 Å; ● 263 Å; ■ 142.5 Å.)

( $\text{SiO}_2$  膜厚: ▲ 494 Å; ○ 263 Å; ● 142.5 Å.)

在稳定状态下，Fowler-Nordheim 电流和温度的关系比 (5.13) 式预测的小 (见图 5-19, 5-20)<sup>[36]</sup>，特别是在栅电极 (铝) 加负电压的情况下差异更大。另外，一般认为，在栅电极形成后进行退火 (例如，在  $N_2$  气氛下， $500^\circ\text{C}$ ，5min)，可使 MOS 电容器的电导率下降 2~3 个数量级。

(b) 肖特基电流

根据肖特基效应引起电极和绝缘膜界面势垒降低，从而使绝缘膜的注入电流增大的机理，肖特基电流可用下式表示：

$$J = A^* (1 - \gamma) T^2 \exp(-q\Phi_B/kT) \exp\left(\frac{\beta_s E^{1/2}}{kT}\right) \quad (5.15)$$

式中， $A^*$  为里查逊常数 ( $=qm^*k^2/h^3$ ,  $\text{A/m}^2/\text{deg}$ )， $\gamma$  为反射系数，取决于势垒势能，而且



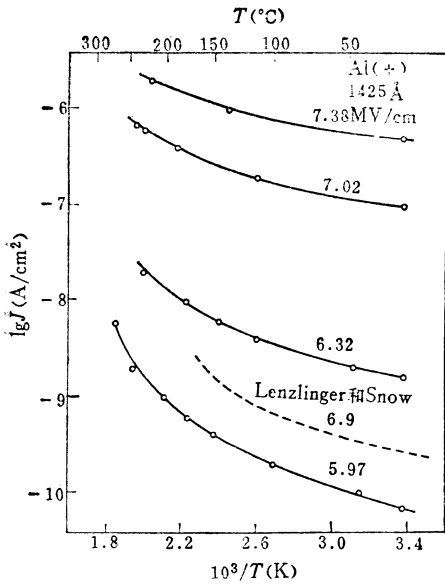


图5-19 注入SiO<sub>2</sub>的电子电流与温度的关系 (Al+)<sup>[36]</sup>

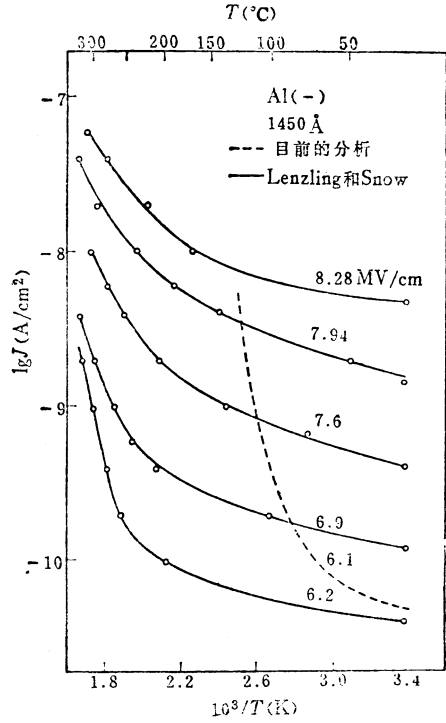


图5-20 注入SiO<sub>2</sub>的电子电流与温度的关系 (Al-)<sup>[36]</sup>

$$\beta_s = \left( \frac{q^3}{4\pi\epsilon_{0x}} \right)^{1/2} \quad (5.16)$$

这时， $\ln I - \sqrt{V}$ 关系曲线为直线，其斜率为 $\beta_s$ 。但是，众所周知，绝缘膜中存在的空间电荷<sup>[39]、[40]</sup>以及电场向电极渗透的现象造成直线的破坏。空间电荷对肖特基电流( $J_s$ )和隧道电流( $J_T$ )的影响，用如下两式表示<sup>[39]</sup>：

$$J_s = \frac{9}{8} \frac{\epsilon_{0x}}{\theta} \cdot \frac{\mu V^2}{d_{SiO_2}^3} \quad (5.17)$$

$$J_T = \frac{9}{8} \frac{\epsilon_{0x}}{\theta} \cdot \frac{\mu V^2}{d_{SiO_2}^3} \left( 1 - \frac{\Phi_B}{V} \right) \quad (5.18)$$

式中， $d_{SiO_2}$ 为SiO<sub>2</sub>膜厚， $\mu$ 为载流子迁移率， $\theta$ 是俘获系数(后述)。当 $\Phi_B \ll V$ 时，上两式完全相同，而且这与以浅陷阱能级为基础的SCL(空间电荷限制)电流是一致的<sup>[38]</sup>。

(c) Poole-Frenkel 电流

根据绝缘膜内部肖特基效应引起传导的机理，Poole-Frenkel<sup>[42]</sup>电流是绝缘膜中俘获的电子被激发进入绝缘体导带而产生的电流，由于外部电场引起的肖特基效应使势垒降低(内部肖特基效应)，从而产生电流增大的现象<sup>[43]</sup>。 $V-I$ 关系曲线是以离化俘获中心产生的库仑力的作用为基础，用下式表示<sup>[44]</sup>：

$$J_{PF} = J_0 \exp \left\{ - \frac{q\Phi_T - \beta_{PF} E^{1/2}}{kT} \right\} \quad (5.19)$$

式中， $\beta_{PF}$ 是Poole-Frenkel常数，并可表示为

$$\beta_{PF} = \left( \frac{q^3}{\pi\epsilon_{0x}} \right)^{1/2} \quad (5.20)$$

$\Phi_T$  为陷阱能级。  $\beta_{PF} = 2\beta_S$ 。 Poole-Frenkel 电流同肖特基电流一样，在硅的热氧化膜中几乎观测不到，但在  $ZrO_2$ <sup>[44]</sup>、 $Si_3N_4$ <sup>[45]、[46]</sup>、 $SiO_2$ <sup>[47]、[48]</sup> 中能观测到。在 (5.19) 式中， $J_0 = e\mu n_0 E$ <sup>[49]</sup>。在这种场合，由于膜中存在多种陷阱能级，也必须对  $\beta_{PF}$  进行修正。Hall<sup>[50]</sup> 假设在非晶态物质中存在局部化的能级 (Wannier 态)，计算的  $\beta_{PF}$  值为 (5.20) 式的  $\frac{1}{2}$ ，即等于  $\beta_S$ ，这是能充分说明实验值的情况 (Poole-Frenkel 电流与偏压极性无关，但肖特基电流一般随极性而变)。Hill<sup>[43]</sup> 也认为，由于存在着局部化的能级，使  $\beta_{PF}$  在  $2\beta_S \sim \beta_S$  之间变化。而且，据说由于存在着替位离子、空位、成对的填隙离子或极化子等中性陷阱能级，使  $\ln J_{PF}$  与电场的关系在  $E^{1/2} \sim E$  之间变化。

#### (d) 空间电荷限制电流

设在热平衡状态下，绝缘膜中的自由电子密度为  $n_0$ ，如果从电极注入的电子超过  $n_0$ ，则在绝缘膜中就会形成空间电荷，SCL 电流用下式表示<sup>[49]</sup>：

$$J_{SCL} = \frac{9}{8} \frac{\epsilon_{0x} \mu V^2}{d_{SiO_2}^3} \quad (5.21)$$

从  $J_0$  变到  $J_{SCL}$  的电压  $V_{rr}$  用下式表示：

$$V_{rr} = \frac{8qn_0 d^2}{9\epsilon_{0x}} \quad (5.22)$$

SCL 电流也受绝缘膜中陷阱能级的影响，使该电流值减小。

(1) 在存在单一浅陷阱能级的情况下，与前面的 (5.17) 式相同，即

$$J_{SCL} = \frac{9}{8} \frac{\epsilon_{0x}}{\theta} \frac{\mu V^2}{d_{SiO_2}^3} \quad (5.23)$$

式中，俘获系数  $\theta$  为

$$\theta = \frac{gN_t}{n_1} = \frac{gN_t}{N_c \exp[(E_T - E_c)/kT]} \quad (5.24)$$

式中， $g$  是相对于陷阱的简并系数， $N_t$  是陷阱密度， $N_c$  是绝缘体导带底归一化的有效态密度， $E_T$ 、 $E_c$  分别是陷阱能级和导带底的能量。

(2) 在存在单一深陷阱能级的情况下，由于深陷阱能级在费米能级以下，俘获的电子数  $n_t \approx N_t \cdot \Delta E$ ，SCL 电流为

$$J_{SCL} = \frac{9}{8} \frac{\epsilon_{0x} \mu V}{d_{SiO_2}^2} \left( \frac{n_0 q}{C} \right) e^{tV} \quad (5.25)$$

式中，

$$t = C/N_t \cdot d \cdot kT \quad (5.26)$$

$\Delta E$  是由外加电压引起的费米能级的变化量， $C$  是绝缘膜的静电电容量。

(3) 在浅陷阱能级分布的情况下，在热平衡状态，陷阱能级在费米能级以上，以某一能量范围分布。特征温度  $T_e$  用下式定义<sup>[52]</sup>：

$$n_t = A e^{-E/kT_e} \quad (5.27)$$

式中， $A$  是常数， $E$  是从导带底测得的能量。当  $T_e > T$  时，

$$J_{SCL} \propto V^{(T_e/T)+1} \quad (5.28)$$

以上是仅考虑电子时的 SCL 电流，而在电子注入的同时也有空穴注入时，情况就更复杂<sup>[53]</sup>。当电流变大时，也出现  $I \propto V^2$ 、 $I \propto V^3$  的关系。

#### (e) 跳跃传导电流

这种机理引起的电流是电阻性电流，可用下式表示<sup>[54]</sup>：

$$J_H = \frac{(2\epsilon_0 m^* kT)^{1/2} PK k^2 T^2 N a^{7/2} \mu V}{24\pi \hbar^3 g} \exp\left(-\frac{E_2}{kT}\right) \quad (5.29)$$

式中， $P$ 是假定有杂质子晶格情况下的相邻原子数， $K$ 是补偿比例， $N$ 是杂质浓度， $a$ 是杂质离子间的平均距离， $E_2$ 是跳跃电导激活能，其表示式为

$$E_2 = E_a - (3e^2/\epsilon_0 \cdot a) \quad (5.30)$$

式中 $E_a$ 是单一杂质原子的离化能。

(f) 隧道电流

当绝缘膜厚度减小到20~40 Å时，隧道现象可能引起直接跃迁。在分析 MOS 结构的隧道现象时，对于硅来说，分简并<sup>[55]、[56]</sup>和非简并<sup>[57]、[58]</sup>两种情况。在实用的 MOS IC中，这样薄的膜不会单独使用，当前重要性不大，详细讨论可参考有关文献<sup>[55]~[58]</sup>。这里仅示出采用  $p^{++}$  和  $n^{++}$  硅衬底的 MOS 结构中可能产生的跃迁（见图5-21）和  $V$ - $I$  特性曲线（见图5-22，5-23）<sup>[59]</sup>。但是，Si-SiO<sub>2</sub>界面的电子隧道和陷阱具有重大的影响，在 5.3.2 节将进一步加以讨论。

(6) 绝缘击穿机理

关于绝缘膜的绝缘击穿的机理，在理论上进行过许多讨论。作为其基础的模型有多种，而实测的电流电压特性也很复杂。绝缘击穿现象可以分成绝缘膜的固有击穿和与杂质离子有关的击穿两类。对于前一个模型，又提出了雪崩击穿和碰撞电离击穿两种模型。

关于雪崩击穿，在禁带宽度 ( $E_G$ ) 为 3~4eV 的半导体中，Ridley<sup>[17]</sup>根据光学声子散射引起热电子能量降低的模型进行计算所得的  $E_{max}$ ，同实测值比较一致。但在  $E_G$  大(9eV) 的 SiO<sub>2</sub> 中，实测值比计算值小得多。因此，Ridley 提出了杂质离子引起绝缘击穿的模型。该模型的要点是由于下述的正反馈而产生不稳定值。即由于 F-N 隧道注入，使电子从负极注入 SiO<sub>2</sub> → 由焦耳热引起加热 → 正离子激活 → 正离子向负电电极移动 → 负电极附近电场增大 → F-N 电流增大。由于这种电场的局部集中，F-N 电流变成：

$$J_{FN} = A [\mu_e E]^2 \exp[-B/\mu E] \quad (5.31)$$

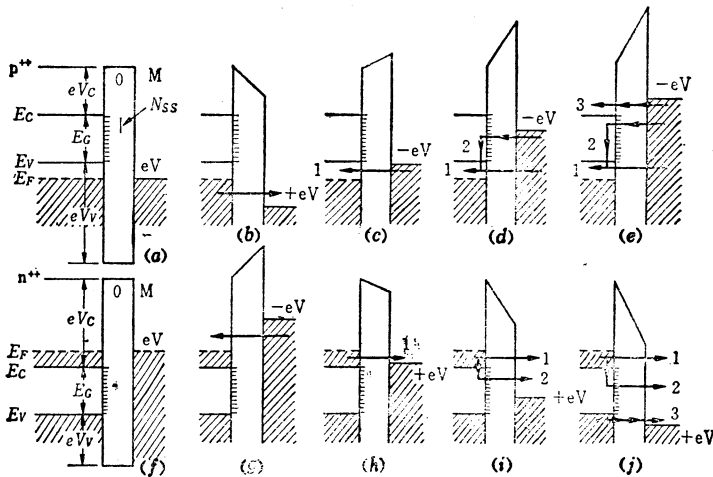


图5-21 在具有薄SiO<sub>2</sub>的MOS结构中的各种隧道模型  
(a)~(e)是 $p^{++}$ 硅衬底；(f)~(j)是 $n^{++}$ 硅衬底。

式中,  $A$ 、 $B$ 是常数,  $\mu_e$ 是电场增大系数。对应于不同的  $\text{SiO}_2$  膜厚的  $\mu_e$  值示于表 5-1<sup>[17]</sup>。根据这种模型所得的计算值和对应的实测值如图 5-24 所示。

表 5-1 电场的增大系数

| $d_{\text{SiO}_2}$ (Å) | $\mu_e$ |
|------------------------|---------|
| 100                    | 3.3     |
| 400                    | 5.0     |
| 1000                   | 5.3     |
| 4000                   | 5.7     |

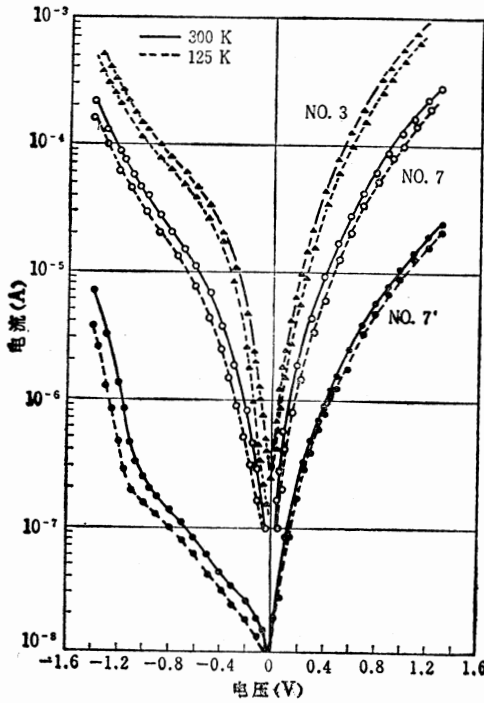


图 5-22 具有薄  $\text{SiO}_2$  的 MOS 电容器的隧道电流<sup>[69]</sup> (电极直径 0.25mm)

No3 = p<sup>+</sup> 硅, 加偏压, 干氧氧化;

No7 = p<sup>+</sup> 硅, 加偏压, 水汽氧化;

No7' = 在 No7 氧化后 30 分钟, 在  $\text{H}_2$  中 350°C 下退火。

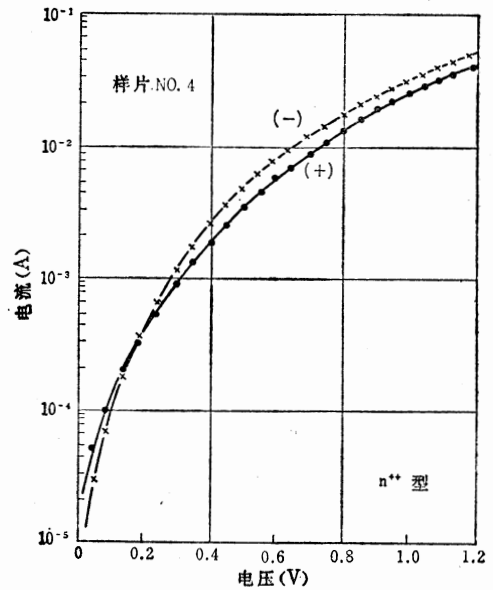


图 5-23 隧道电流 (n<sup>+</sup> 硅)<sup>[69]</sup>

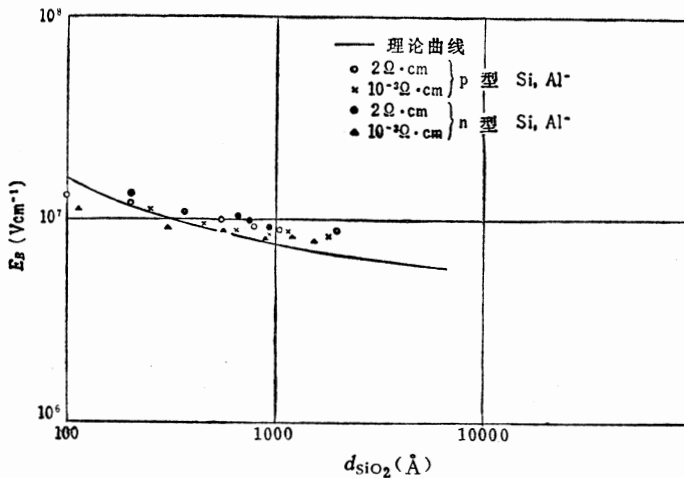


图 5-24 根据离子漂移模型得出的  $\text{SiO}_2$  耐压<sup>[17]</sup>

这种杂质离子引起绝缘击穿模型用以说明与时间有关的绝缘击穿现象是有效的<sup>〔16〕、〔18〕、〔60〕</sup>。从加高电场至击穿为止的时间  $t$  与膜厚、温度有关 (见图 5-25, 5-26)。如图 5-27 对应于  $t$  的曲线的激活能为 0.6eV。因此, 击穿电场  $E_B$  可用  $E_B = E_0 + \alpha t^{-1/4}$  表示。已经测出 SiO<sub>2</sub> 中的正杂质离子是 Na<sup>+</sup> 和 H<sup>+</sup>, 这些杂质离子在 SiO<sub>2</sub> 中移动的激活能通常 Na<sup>+</sup> 为 1.4eV、H<sup>+</sup> 为 0.73eV<sup>〔61〕</sup>。但 Na<sup>+</sup> 的激活能与浓度有关, 当浓度增加时, 激活能可减小到 0.65eV<sup>〔17〕</sup>。

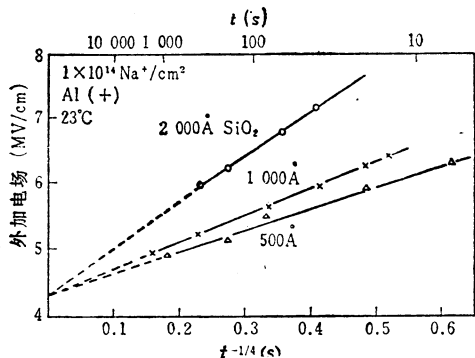


图5-25 绝缘击穿时间与外加电压的关系<sup>〔60〕</sup>

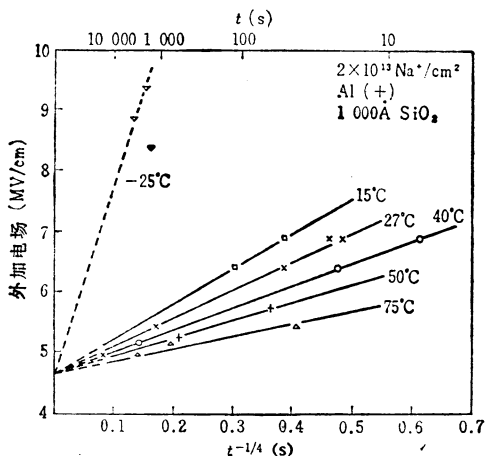


图5-26 温度对击穿时间的影响<sup>〔60〕</sup>

这样, 一方面, 与时间有关的击穿用正离子的移动来说明, 另一方面, 已观察到需要比离子漂移时间更长的击穿现象。它是用电或电化学反应以及极化引起界面势垒降低, 从而产生电场增强击穿 (FEB) 来加以说明的<sup>〔60〕、〔62〕、〔63〕</sup>。FEB 是在 MOS 电容退火过程中发生上述反应引起的。当然,  $E_B$  要比初始值低 (见图 5-28)。在不加偏压时, SiO<sub>2</sub> 中与击穿有关的缺陷产生所需的时间  $\tau$  用下式表示:

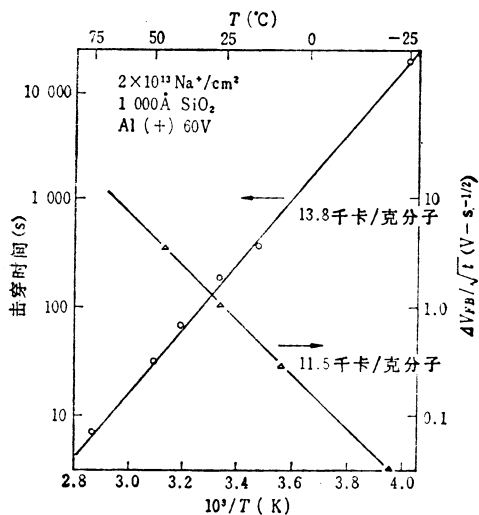


图5-27 击穿时间和阈值电压漂移与温度的关系<sup>〔60〕</sup>

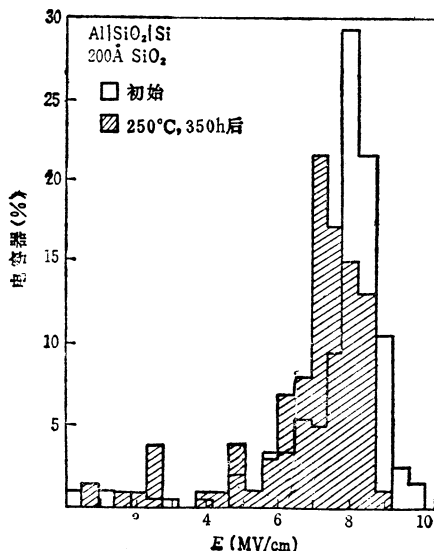


图5-28 高温退火后的耐压分布偏移<sup>〔63〕</sup>

$$\tau \propto d_{\text{SiO}_2}^{1.7} \exp(-\Delta E_d/kT) \tag{5.32}$$

式中  $\Delta E_d$  已求出为  $0.6\text{eV}$ 。  $\tau$  值随金属电极的种类而变化，电极 Mo、Pt，多晶硅时比 Al 时的值大， $\text{SiO}_2$  上有 PSG 膜时  $\tau$  值也变大。因此，无偏压时缺陷的产生要考虑金属电极与  $\text{SiO}_2$  反应带来的影响。

另一方面，在退火中，从电极上加偏压到测试器件 100% 绝缘击穿的时间  $t_{\text{max}}$ ，与氧化膜厚度 ( $d_{\text{SiO}_2}$ )、电场强度 ( $E$ : MV/cm) 有如下关系<sup>[68]</sup>：

$$t_{\text{max}} \propto d_{\text{SiO}_2}^{(0.8+0.65E)} \exp(-\Delta E_B/kT) \tag{5.33}$$

当  $d_{\text{SiO}_2} = 200 \sim 1000 \text{ \AA}$  时，已求出  $\Delta E_B$  为  $1.4\text{eV}$  (见图 5.29)，但  $d_{\text{SiO}_2}$  为  $100 \text{ \AA}$  时， $\Delta E_B$  变为  $0.9 \sim 1.1\text{eV}$  (见图 5-30)。随电场而变化的情况，包含着复杂的因素，已作了观测，还需要进一步研究。总之，氧化膜越薄，FEB 越快，这是很重要的。在加偏压的退火中，电极材料的性质和氧化膜的厚度对  $t_{\text{max}}$  有影响。据报导，在 Al 电极和 HCl (3%) 氧化的情况下， $t_{\text{max}}$  值要大一个数量级<sup>[63]</sup>。

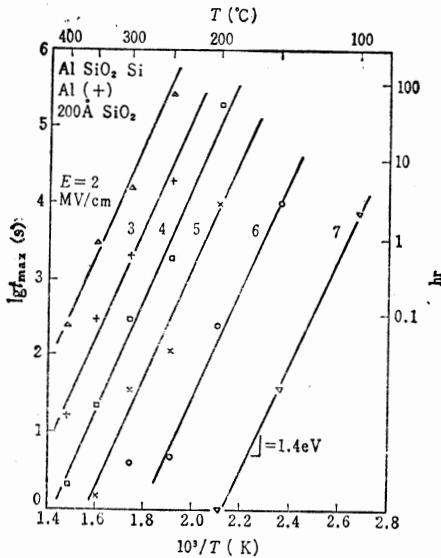


图5-29  $t_{\text{max}}$  的温度特性 ( $d_{\text{SiO}_2} = 200 \text{ \AA}$ )<sup>[68]</sup>

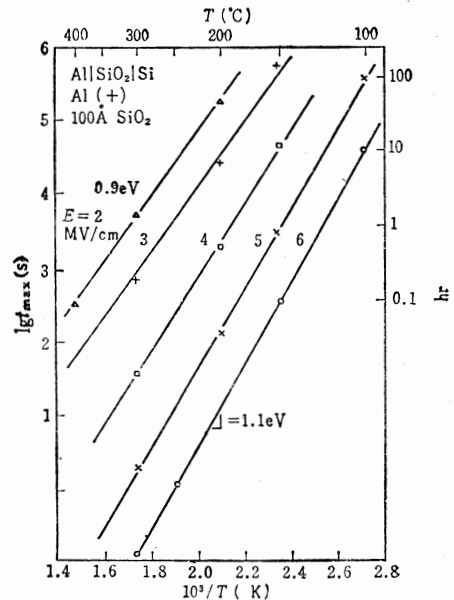


图5-30  $t_{\text{max}}$  的温度特性 ( $d_{\text{SiO}_2} = 100 \text{ \AA}$ )<sup>[63]</sup>

如上所述，Al 与  $\text{SiO}_2$  有反应，相反，多晶硅与  $\text{SiO}_2$  很难反应。在这种情况下，必须讨论  $\text{SiO}_2$  的固有击穿。由于自愈性击穿伴随着由焦耳热引起的加热，所以，耐压随外加电压的脉冲宽度变化<sup>[16]</sup>，而造成击穿的缺陷与硅衬底的表面状态也有关。考虑固有击穿时，必须研究无宏观缺陷的膜。已有人提出  $\text{SiO}_2$  的固有绝缘击穿是由于  $\text{SiO}_2$  中的碰撞电离造成的模型<sup>[28]、[65]~[68]</sup>。最初的模型，由 O'Dwyer<sup>[65]</sup> 提出，认为是由于雪崩倍增使电流-电压特性产生负阻性的不稳定性的缘故。但 DiStefano 和 Shatzkes 指出，在禁带宽度较宽的  $\text{SiO}_2$  中，由于倍增系数过于小而不致于击穿<sup>[67]</sup>。他们的模型是根据 Fowler-Nordheim 隧道效应从负电极侧注入电子，这些电子被  $\text{SiO}_2$  中的电场加速，多数放出慢声子而失去能量，部分电子的能量完全变成热。由于反复进行碰撞电离，使电子数进一步增多。另一方面，价带中产生的空穴，由于俘获或复合，部分消失，而剩余的空穴聚集在负电极附近

形成空间电荷，促进了电子注入。这种正反馈会使电流-电压特性产生负阻性的不稳定性。这种模型不同于因局部电流集中引起发热而产生的不稳定性。

SiO<sub>2</sub>中的空穴迁移率在室温下很低，大约为10<sup>-8</sup>cm<sup>2</sup>/V·s，所以，空穴在SiO<sub>2</sub>中的消失要考虑放射复合或经空穴陷阱引起的复合，而后的俘获面积大，可用下式计算：

$$\sigma = \frac{1}{\pi} \left( \frac{3q^2}{16\pi\epsilon_{ox}} \right)^2 = 2.5 \times 10^{-13} \text{cm}^2 \quad (5.34)$$

计算结果能充分说明实测值<sup>[28]</sup>。SiO<sub>2</sub>中的正电荷密度为<sup>[67]</sup>：

$$\rho_+ = \frac{q}{\langle \sigma \rangle} \frac{\partial}{\partial x} \int_{\phi(x) + \epsilon_i}^0 D(\epsilon, x) d\epsilon \quad (5.35)$$

式中，D(ε, x)是电子能量分布，用下式表示：

$$D(\epsilon, x) \approx \frac{1/\hbar\omega}{[2\pi(x/\lambda)]^{1/2}} \exp \left\{ -\frac{(\hbar\omega x/\lambda - \epsilon)^2}{(\hbar\omega)^2(2x/\lambda)} \right\} \quad (5.36)$$

ε<sub>i</sub>是SiO<sub>2</sub>的禁带宽度(≈9eV)，ħω是声子能量(=0.153eV)，x是离开负电极界面的距离，ε是能量，φ(x)是SiO<sub>2</sub>导带底的能量，λ是电子和慢声子的散射距离(=1.34Å)。⟨σ⟩是加权的平均复合俘获面积。以这个ρ<sub>+</sub>为基础，解泊松方程，求出V-I特性，图5-31是求得的E<sub>AVE</sub>(平均绝缘击穿电场强度)<sup>[28]</sup>。膜越薄，E<sub>AVE</sub>越大，这是采用非局部离化率的缘故。膜无限厚时的离化率α(E)<sup>[67]</sup>为

$$\alpha(E) = \frac{\gamma}{\lambda} (1 - \gamma g e^{-\gamma}) \exp \left[ -\frac{\epsilon_i}{eE\lambda} (1 - g e^{-\gamma}) \right] \quad (5.37)$$

式中，γ是离化截面积与全散射截面积之比，γ = ħω/eEλ，而

$$g \approx 1 + \gamma e^{-\gamma} \quad (5.38)$$

此外，相对于SiO<sub>2</sub>中电子陷阱的电子碰撞离化速率用下式表示：

$$\alpha N = 25 \exp(-1.5/E) \text{cm}^{-1} \quad (E: \text{MV/cm}) \quad (5.39)$$

式中，N是俘获中心的平均浓度(≈5×10<sup>13</sup>cm<sup>-3</sup>)，α是碰撞电离截面，当E=1×10<sup>6</sup>V/cm时，α=7×10<sup>-14</sup>cm<sup>2</sup><sup>[69]</sup>。

### 5.2.2 氧化膜中的杂质、缺陷和畸变

众所周知，栅氧化膜中或Si-SiO<sub>2</sub>界面存在的杂质和畸变对器件性能(绝缘耐压和阈值电压的变动，俘获中心和复合中心的迁移率的减小以及泄漏电流的增加等)和可靠性有重大的影响。

从按比例缩小方面说，SiO<sub>2</sub>中的固定电荷对阈值电压的影响很小，但从提高性能和提高可靠性的观点来看，随着栅氧化膜的变薄必须重新认识。

#### (1) SiO<sub>2</sub>中的杂质移动

通常，SiO<sub>2</sub>中存在着电激活杂质，H<sup>+</sup>和Na<sup>+</sup>是最普遍的<sup>[61]、[70]~[72]</sup>。此外，还有

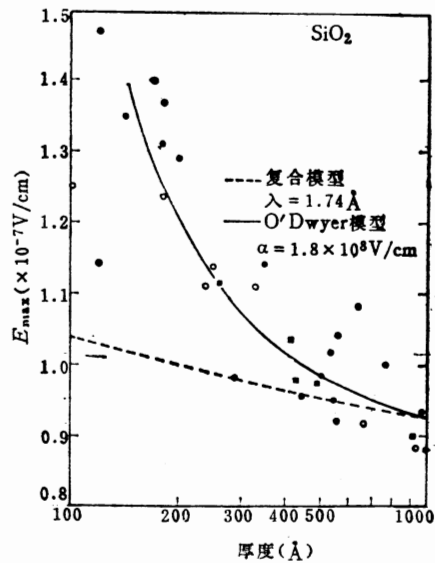


图5-31 绝缘击穿强度与氧化膜厚度的关系<sup>[28]</sup>

$K^{+(78)}$ 、 $F^{-(24)}$ 和其他负离子。进入  $SiO_2$  中的  $Na^+$  和  $H^+$  具有在 Si 中或电极界面堆积的性质，离硅表面越近，对表面电位变化的影响越大，在图 5-32、5-33 中示出了  $Na^+$  和  $H^+$  堆积的情况。这些离子由于 +BT (偏置温度)，首先聚集在 Si-SiO<sub>2</sub> 界面，然后由于 -BT 而漂移，此时的时间常数和激活能如图 5-34、5-35 所示。在  $H^+$  场合，激活能随着氧化条件的不同而不同，据报导一般为 0.7~0.9eV。而在  $Na^+$  场合，可观察到快速移动和缓慢移动两种情况，前者为 0.75eV，后者为 1.1eV。在 (100) 硅面上，干氧化物 (1200°C 氧化) 中的  $H^+$  的参数值如下<sup>[51]</sup>：

$$E_a = 0.73eV$$

$$\mu = 40 \exp(-0.73/kT) \text{ cm}^2/V \cdot s$$

$$D = \exp(-0.73/kT) \text{ cm}^2/s$$

另外，据报导，用射频溅射形成的  $SiO_2$  中的  $Na^+$  的激活能随着偏压的大小和极性的不同在 0.66~1.7eV 的范围内变化<sup>[76]~[78]</sup>。也有人认为，虽然热氧化膜中的  $Na^+$  移动的激活能一般为 1.4eV，但由于在  $SiO_2$  中存在着  $Na^+$  的陷阱，存在从陷阱放出的激活能 ( $\leq 0.91eV$ ) 和移动所需的激活能 ( $\geq 1.21eV$ )，所以，观测到的激活能为 0.91~1.2eV<sup>[77]</sup>。

在 300°C 左右的温度下， $K^+$  离子在  $SiO_2$  中的移动加快。

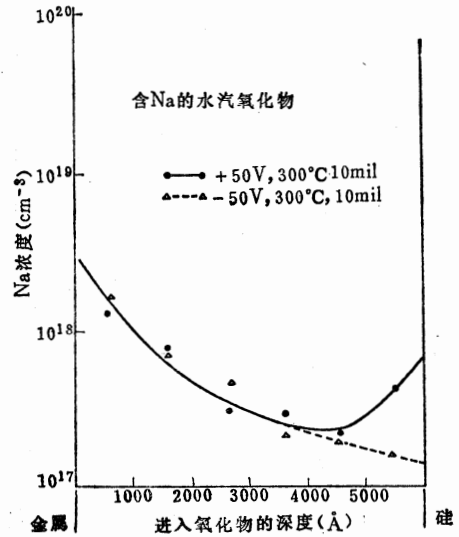


图5-32  $SiO_2$  中的 Na 分布<sup>[61]</sup>

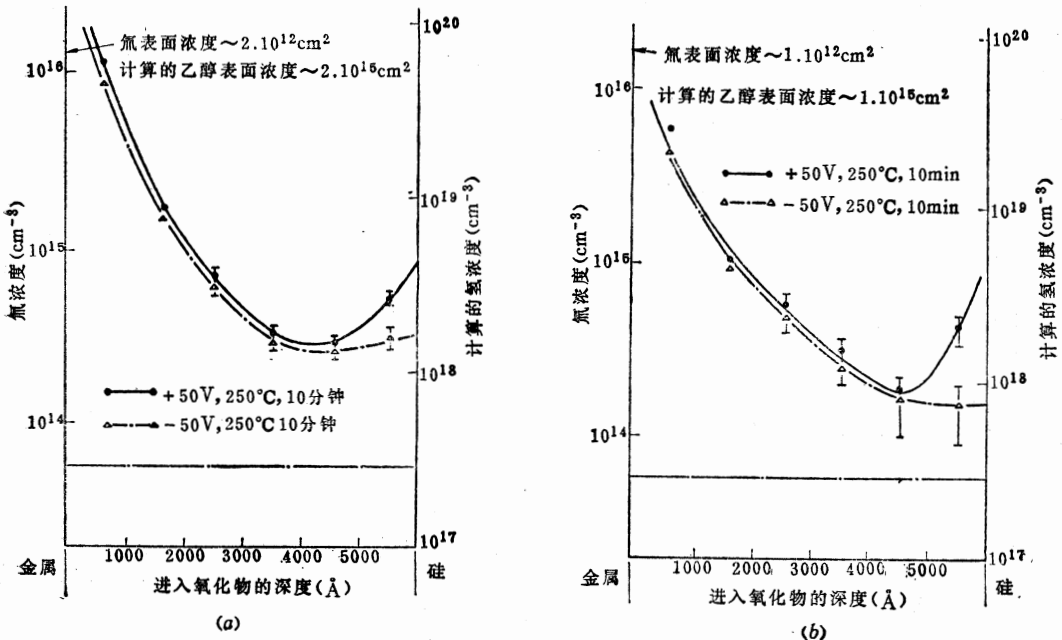


图5-33  $SiO_2$  中的 H 分布<sup>[61]</sup>

(a) 干氧化物; (b) 水汽氧化物。



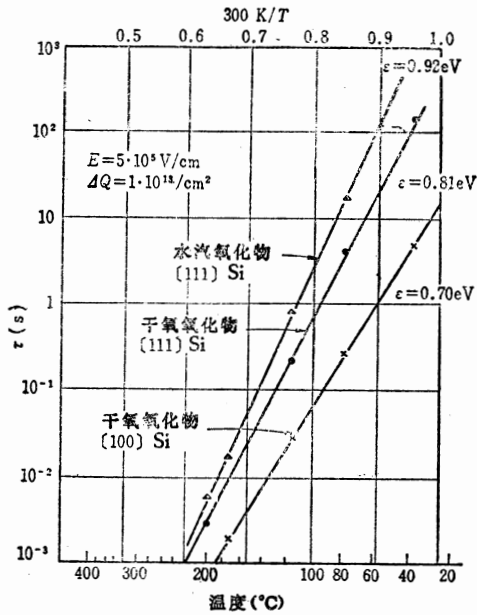


图5-34 SiO<sub>2</sub>中的H<sup>+</sup>移动的时间常数<sup>[61]</sup>

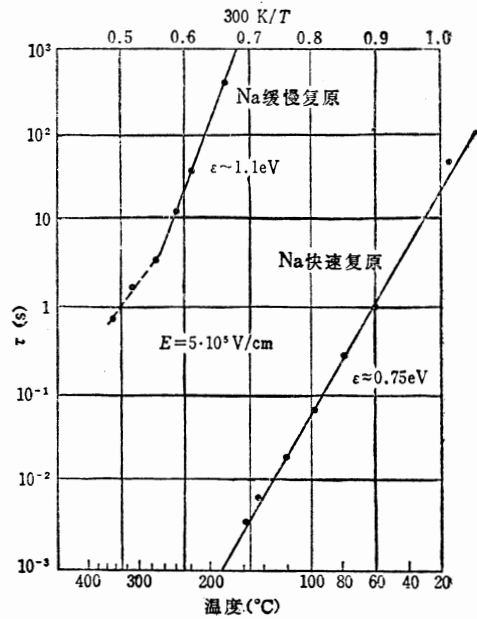


图5-35 SiO<sub>2</sub>中的Na<sup>+</sup>移动的时间常数<sup>[61]</sup>

检测 SiO<sub>2</sub>中的可动离子，可采用 MOS 变容二极管结构的电压直线上升 (Linear Voltage Ramp) 法和三角形电压扫描 (TVS) 法<sup>[79]~[82]</sup>，检测灵敏度为 10<sup>9</sup>离子/cm<sup>2</sup>。图 5-36 是用 TVS 法检测的例子。作为另一种评价方法，也观测了在 MOS 电容器加偏压的状态下，以  $\frac{1}{T}$  的速率进行等速温度扫描的双曲线加热<sup>[76]</sup>产生的热激励离子电流 (TSIC)。

离子电流随温度的变化如图 5-37 所示。假设在  $T_m$  时离子电流达到最大值  $I_m$ ，则有如下关系式<sup>[76]</sup>：

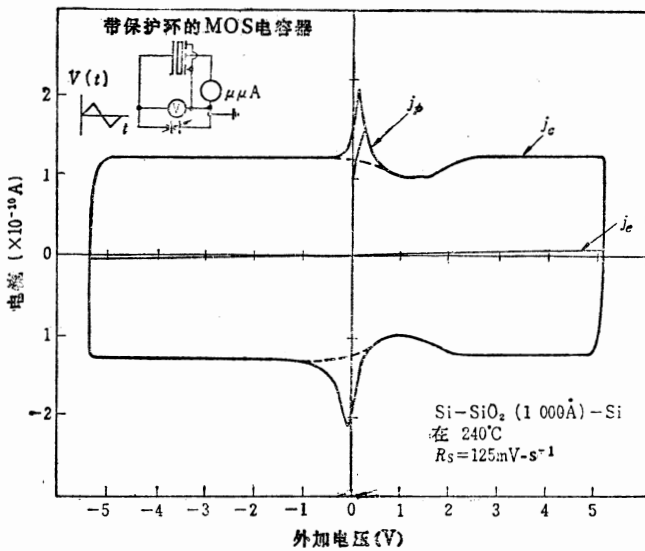


图5-36 用TVS法检测出的离子移动电流<sup>[81]</sup>

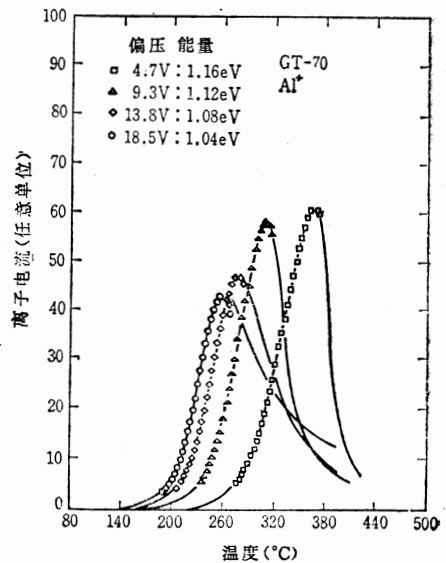


图5-37 溅射SiO<sub>2</sub>膜上的Na<sup>+</sup>(10<sup>18</sup>cm<sup>-2</sup>)引起的TSIC<sup>[76]</sup>

$$\ln\left(\frac{I}{I_m}\right) = 1 + \frac{E}{k} \left( \frac{1}{T_m} - \frac{1}{T} \right) - \exp\left[ \frac{E}{k} \left( \frac{1}{T_m} - \frac{1}{T} \right) \right] \quad (5.40)$$

$$E = \frac{k\nu}{a} \exp\left(-\frac{E_a}{kT_m}\right) \quad (5.41)$$

式中,  $E_a$  为激活能,  $\nu$  为频率因子,  $a$  是双曲线加热速率 ( $1/T = 1/T_0 - at$ )。假设  $I/I_m = 0.5$ , 上升一侧 (低温侧) 的温度为  $T_h$ , 则

$$E_a = 1.46 k \left( \frac{T_h T_m}{T_m - T_h} \right) \quad (5.42)$$

杂质的测定采用电子微探针分析<sup>[83]</sup> (EMA) 和俄歇电子能谱仪<sup>[84]</sup> (AES) 或放射化学分析等。为了吸除这种可动离子, 在含 HCl 或 Cl<sub>2</sub> 的氧气中进行氧化是有效的方法<sup>[85]、[86]</sup>。

表5-2 杂质在SiO<sub>2</sub>中的扩散系数<sup>[87]</sup>

| 元素 | $D_0$ (cm <sup>2</sup> /s) | $Q$ (eV) | $D$ (1100°C) (cm <sup>2</sup> /s) | $D$ (1200°C) (cm <sup>2</sup> /s) | $C_0$ (m/o) | $C_s$ (cm <sup>-3</sup> )                   | 源                                | 气 氛   |
|----|----------------------------|----------|-----------------------------------|-----------------------------------|-------------|---|----------------------------------|---|
| 硼  | **7.23 × 10 <sup>-6</sup>  | **2.38   | 1.3 × 10 <sup>-14</sup>           | 5.1 × 10 <sup>-14</sup>           | 0.001~0.1   | 1 × 10 <sup>19</sup> ~2 × 10 <sup>20</sup>  | B <sub>2</sub> O <sub>3</sub> 汽  | O <sub>2</sub> + N <sub>2</sub>                       |
|    | **1.23 × 10 <sup>-4</sup>  | 3.39     | 4.6 × 10 <sup>-17</sup>           | *3.2 × 10 <sup>-16</sup>          | —           | 6 × 10 <sup>18</sup>                        | B <sub>2</sub> O <sub>3</sub> 汽  | Ar  |
|    | —                          | —        | —                                 | 6.2 × 10 <sup>-15</sup>           | —           | >1 × 10 <sup>20</sup>                       | B <sub>2</sub> O <sub>3</sub> 汽  | Ar  |
|    | *7.38 × 10 <sup>-4</sup>   | *3.58    | *5.6 × 10 <sup>-17</sup>          | *4.3 × 10 <sup>-16</sup>          | 3.5~7.0     | 4~8 × 10 <sup>19</sup>                      | 硼硅酸盐                             | N <sub>2</sub>  |
|    | *3.16 × 10 <sup>-4</sup>   | *3.53    | 3.4 × 10 <sup>-17</sup>           | *2.6 × 10 <sup>-16</sup>          | <18         | <3 × 10 <sup>20</sup>                       | 硼硅酸盐                             | —   |
|    | —                          | —        | ~2.0 × 10 <sup>-11</sup>          | —                                 | >18         | >3 × 10 <sup>20</sup>                       | 硼硅酸盐                             | —   |
|    | *1.61 × 10 <sup>-5</sup>   | *2.82    | 7.2 × 10 <sup>-16</sup>           | *3.6 × 10 <sup>-15</sup>          | 9.1~9.4     | 7 × 10 <sup>19</sup>                        | 硼硅酸盐                             | Ar  |
|    | *3.01 × 10 <sup>-2</sup>   | *3.56    | 2.5 × 10 <sup>-15</sup>           | *1.9 × 10 <sup>-14</sup>          | 14.9~15.8   | 2 × 10 <sup>20</sup>                        | 硼硅酸盐                             | Ar  |
|    | —                          | —        | —                                 | *7.0 × 10 <sup>-13</sup>          | —           | —   | —                                | H <sub>2</sub> + N <sub>2</sub><br>+ H <sub>2</sub> O |
|    | *1.04 × 10 <sup>5</sup>    | *4.17    | 5.3 × 10 <sup>-11</sup>           | *5.8 × 10 <sup>-10</sup>          | —           | —   | Ga <sub>2</sub> O <sub>3</sub> 汽 | H <sub>2</sub> + N <sub>2</sub>                       |
| 镓  | *5.73 × 10 <sup>-5</sup>   | *2.30    | 2.0 × 10 <sup>-13</sup>           | *7.6 × 10 <sup>-13</sup>          | —           | 8 × 10 <sup>20</sup> ~1 × 10 <sup>21</sup>  | P <sub>2</sub> O <sub>5</sub> 汽  | N <sub>2</sub>  |
|    | **6.39 × 10 <sup>-11</sup> | **1.27   | 1.4 × 10 <sup>-15</sup>           | 2.9 × 10 <sup>-15</sup>           | —           | 3 × 10 <sup>19</sup> ~2 × 10 <sup>20</sup>  | P <sub>2</sub> O <sub>5</sub> 汽  | N <sub>2</sub>  |
|    | **4.72                     | **4.21   | 1.7 × 10 <sup>-15</sup>           | 1.9 × 10 <sup>-14</sup>           | 3.0         | 5 × 10 <sup>19</sup> ~1 × 10 <sup>20</sup>  | P <sub>2</sub> O <sub>5</sub> 汽  | O <sub>2</sub> + N <sub>2</sub>                       |
|    | *1.86 × 10 <sup>-1</sup>   | *4.03    | *2.9 × 10 <sup>-16</sup>          | *3.0 × 10 <sup>-15</sup>          | 0.1~3.5     | 8 × 10 <sup>-17</sup> ~8 × 10 <sup>19</sup> | 磷硅酸盐                             | N <sub>2</sub>  |
| 砷  | *9.82 × 10                 | *4.88    | *1.2 × 10 <sup>-16</sup>          | 2.0 × 10 <sup>-15</sup>           | —           | 1~2 × 10 <sup>19</sup>                      | AsH <sub>3</sub>                 | O <sub>2</sub> + N <sub>2</sub>                       |
|    | *2.48 × 10 <sup>2</sup>    | *4.90    | *2.6 × 10 <sup>-16</sup>          | *4.4 × 10 <sup>-15</sup>          | 0.8         | 1~6 × 10 <sup>19</sup>                      | 砷硅酸盐                             | Ar  |
|    | *1.63                      | *4.04    | *2.4 × 10 <sup>-15</sup>          | *2.4 × 10 <sup>-14</sup>          | 2.5         | —   | 砷硅酸盐                             | Ar  |
|    | —                          | —        | 3.5 × 10 <sup>-15</sup>           | —                                 | 5.8         | 5 × 10 <sup>19</sup>                        | 砷硅酸盐                             | Ar  |
|    | —                          | —        | 1.5 × 10 <sup>-16</sup>           | —                                 | 5.8         | 4 × 10 <sup>20</sup>                        | 砷硅酸盐                             | O <sub>2</sub>  |
| 锑  | *1.31 × 10 <sup>16</sup>   | *8.75    | *9.9 × 10 <sup>-17</sup>          | 1.5 × 10 <sup>-14</sup>           | 3.0         | 5 × 10 <sup>19</sup>                        | Sb <sub>2</sub> O <sub>5</sub> 汽 | O <sub>2</sub> + N <sub>2</sub>                       |

注:  $C_0$  = 源中的掺杂剂浓度, 用克分子比表示;

$C_s$  = 扩散 (规定源和设有氧化物阻挡层的环境) 后硅表面浓度;

\* = 采用最小平方法, 使Arrhenius曲线与实验数据吻合而计算的值;

\*\* = 与参考计算值不一致而重新计算的数值。

混入 SiO<sub>2</sub> 中的杂质, 除这些可动离子外, 还有源、漏等掺杂剂所用的离子。当栅氧化膜变薄时, 在多晶硅中掺入的这些杂质向 SiO<sub>2</sub> 扩散, 并到达沟道区, 使阈值电压偏移, 对绝缘耐压等特性可能带来不利的影响。表 5-2 列出了 B、Ga、As、Sb 在 SiO<sub>2</sub> 中的扩散系数<sup>[87]</sup>。例如磷在 SiO<sub>2</sub> 表面浓度为  $(0.5 \sim 1) \times 10^{20} \text{cm}^{-3}$  的情况下, 在 1100°C 下加热处理 20 分钟, 若  $D = 1.7 \times 10^{-16} \text{cm}^2/\text{s}$ , 则  $b\sqrt{Dt} \approx 270 \text{Å}$ , 可穿过 200~300 Å 的 SiO<sub>2</sub>。砷在 SiO<sub>2</sub> 中的扩散系数比磷小一个数量级, 但据报导, 如果在过氧气氛下进行热处理, 则在 SiO<sub>2</sub> 中的扩散将加速<sup>[88]</sup>。

(2) SiO<sub>2</sub>中的杂质引起的电气特性恶化

可动离子引起阈值电压的变动，不仅在栅电场而且在源、漏电场中发生<sup>[89]</sup>，在n型短沟道器件中，可能使沟道内的杂质分布不均匀。Silversmith<sup>[90]</sup>提出，由于这种杂质分布不均匀引起表面电位的波动，使MOS电容的C-V特性发生畸变(图5-38)，并确认不是由于“界面能级”的增加造成的。

在实验中，有意识地在SiO<sub>2</sub>中加入10<sup>18</sup>/cm<sup>2</sup>的Na<sup>+</sup>离子，则可观测到即使在室温下，2~4.5 MV/cm的电场也会引起Na<sup>+</sup>离子移动，并在SiO<sub>2</sub>界面聚集(2~3)×10<sup>12</sup>/cm<sup>2</sup>的Na<sup>+</sup>离子，从而影响从MOS电容器的硅衬底表面来的光激励电流的大小<sup>[91]</sup>。DiMaria根据这种光电流的测量，而不是根据移动条件，得出Na<sup>+</sup>离子分布在离界面50 Å以内的结论<sup>[91]</sup>。据报导，Si-SiO<sub>2</sub>界面的电子对光电发射的势垒，在纯净的SiO<sub>2</sub>中为4.3eV，而在掺Na<sup>+</sup>离子的SiO<sub>2</sub>中则降低到2.9eV<sup>[92]</sup>。也有人解释说，在这种情况下，发射的电子不是价带中的电子，而是聚集

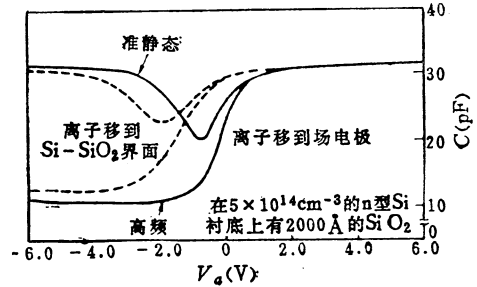


图5-38 离子引起的表面电位波动对C-V特性的影响

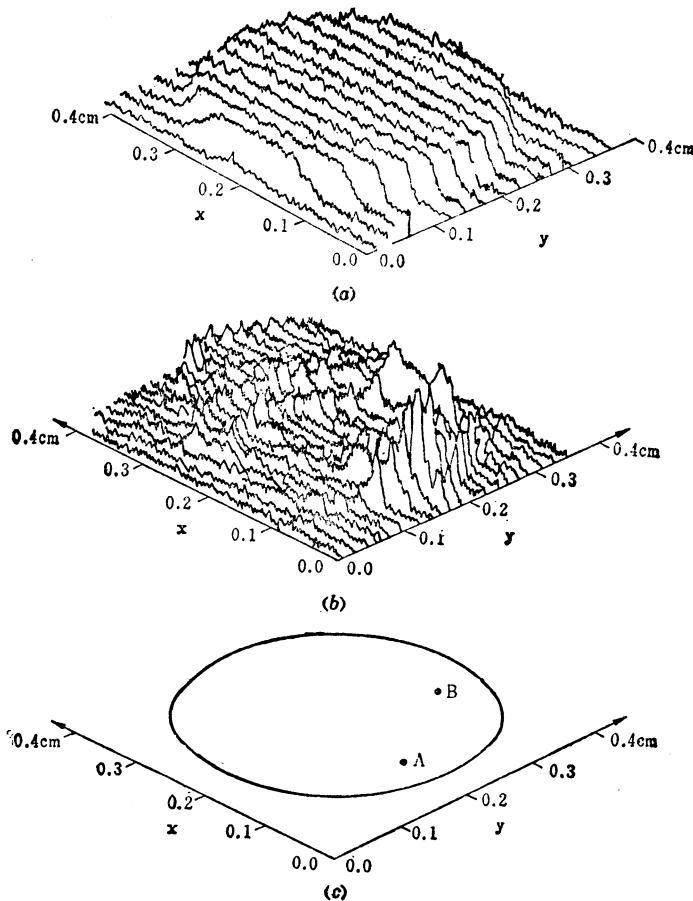


图5-39 与Na<sup>+</sup>离子沾污的SiO<sub>2</sub>膜的光电流对应的SIP图<sup>[92]</sup>

在表面的导带中的电子<sup>[83]</sup>，这种看法不完全正确。据报导，根据理论计算势垒降低的极限，在Na-SiO<sub>2</sub>界面为2.73eV<sup>[84]</sup>。

另一方面，SiO<sub>2</sub>中存在的正离子会影响高电场中的SiO<sub>2</sub>的导电过程，这已有过阐述。但正如前面所述，Si-SiO<sub>2</sub>界面势垒的不均匀性，在势垒低的地方会引起局部电流集中而产生绝缘击穿。根据DiStefano<sup>[62]</sup>提出的扫描内部光电子发射(SIP)法已得出其对应关系(见图5-39)。根据这种击穿机理，击穿电压与时间有关，但达到击穿的最长时间 $t_{max}$ ，明显地与Na<sup>+</sup>离子浓度有关。图5-40和5-41表示Osburn和Ormond的实验结果。这是有意识地掺入Na<sup>+</sup>离子的情况。掺入 $5 \times 10^{12} \text{Na}^+/\text{cm}^2$ 和不掺Na<sup>+</sup>离子的情况(参照图5-29)相比， $t_{max}$ 小2个数量级左右。

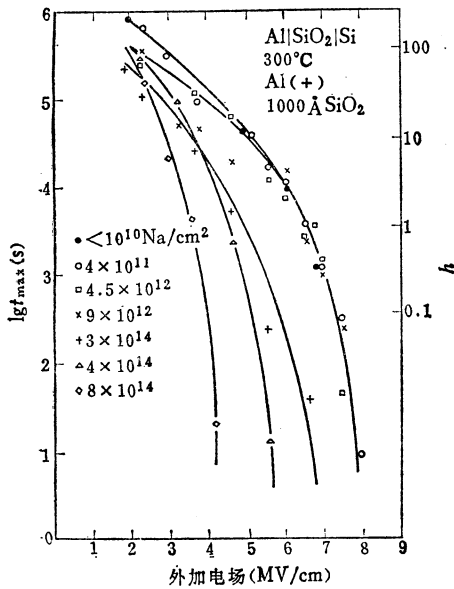


图5-40  $t_{max}$ 与电场的关系<sup>[86]</sup>

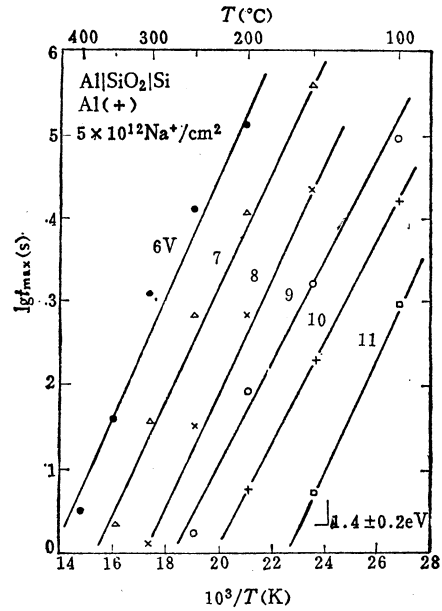


图5-41  $t_{max}$ 的温度特性( $5 \times 10^{12} \text{Na}^+/\text{cm}^2$ ,  $d_{\text{SiO}_2} = 175 \text{Å}$ )<sup>[86]</sup>

在实际的器件制造工艺中，大概不会混入超过 $10^{11}/\text{cm}^2$ 的Na<sup>+</sup>离子，但在微细晶体管中，很明显由管道腐蚀造成的沾污情况比较严重，因而必须给予充分注意。Na<sup>+</sup>离子一旦超过 $10^{11}/\text{cm}^2$ 就会使SiO<sub>2</sub>结晶，形成缺陷，导致绝缘击穿电压降低。一般认为，这种结晶

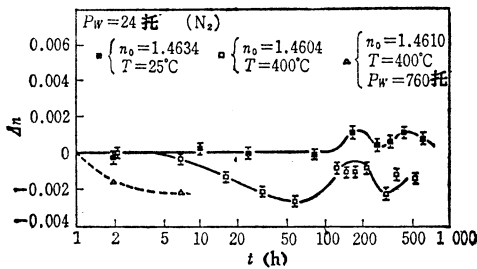


图5-42 SiO<sub>2</sub>膜(1100 Å)经湿N<sub>2</sub>处理引起的折射率的变化( $\lambda = 5461 \text{Å}$ )<sup>[87]</sup>

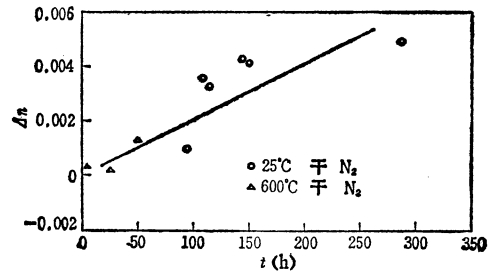


图5-43 含钠SiO<sub>2</sub>干N<sub>2</sub>退火引起的折射率的变化<sup>[87]</sup>

会使  $\text{SiO}_2$  的折射率发生变化<sup>[97]</sup>。由于  $\text{H}_2\text{O}$  存在，变化将加快（见图 5-42），而  $\text{Na}^+$  离子的存在将使折射率进一步扩大（见图 5-43）。在结晶进行时，绝缘击穿电压降低（图 5-44）<sup>[97]</sup>。与此相对应的  $\text{SiO}_2$  中的缺陷增加，其与时间的关系如图 5-45 所示。缺陷产生的激活能约为  $0.1\text{eV}$ 。

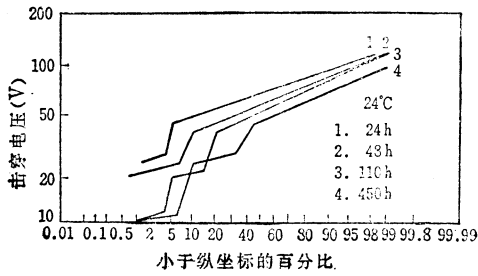


图5-44 含钠 $\text{SiO}_2$ 膜的耐压分布<sup>[97]</sup>

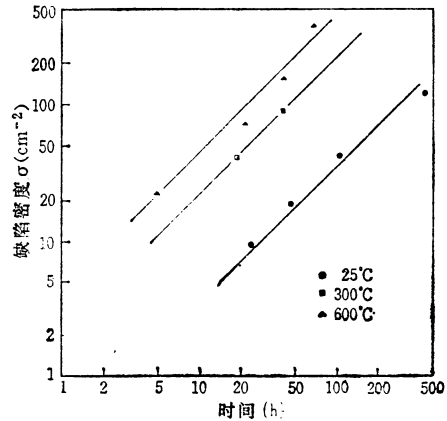


图5-45 钠沾污的 $\text{SiO}_2$ 膜 ( $\text{Na}^+ > 10^{11}\text{cm}^2$ ) 经老化引起的缺陷的增加<sup>[97]</sup>

### (3) 由电应力引起的缺陷

一般认为，如果 MOS 电容器加高电压，特别是当环境温度高的时候，会引起以  $\text{SiO}_2$  为电解质的电解反应。当栅极为负时，在阳极侧的  $\text{Si-SiO}_2$  界面上产生氧空位  $V_{\text{O}}^{++}$ ，结果产生  $\text{Q}_{\text{ox}}$  和  $N_{\text{ss}}$ ，局部区域也产生氧化膜缺陷<sup>[98], [99]</sup>。由于空位而在  $\text{SiO}_2$  中形成正电荷，在  $\text{Si}(111)$  面特别明显，一般认为其激活能为  $0.47\text{eV}$ 。

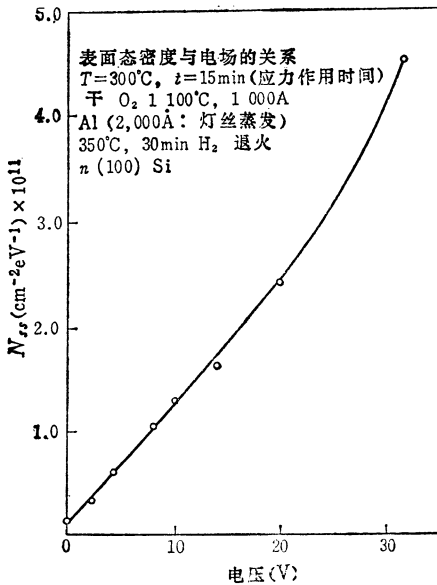


图5-46 表面能级 ( $N_{\text{ss}}$ ) 与应力电压的关系，并示出禁带中的分布峰值<sup>[97]</sup>

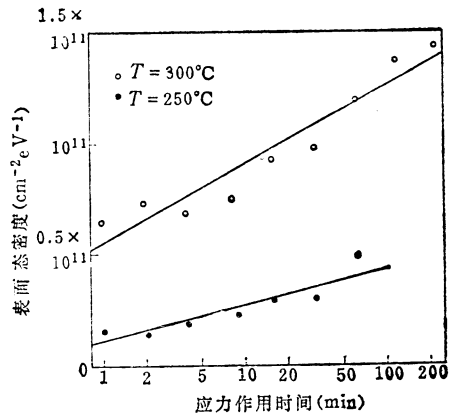


图5-47 固定电荷与应力作用时间的关系

另一方面，即使在电解反应不明显的电场 ( $1\sim 3\times 10^6\text{V/cm}$ ) 中，通过由应力产生的慢陷阱能级观测平带电压的漂移和界面能级的产生，也表明  $N_{ss}$  与外加电压成正比 (见图 5-46)，并且与时间对数的关系曲线为直线 (图 5-47)<sup>[100]</sup>。激活能确定为  $1.4\sim 1.5\text{eV}$ 。

### 5.2.3 氧化、退火条件和界面特性

#### (1) 氧化膜中的固定电荷、界面能级

显然， $\text{SiO}_2$  中的固定电荷 ( $Q_{ox}$ ) 和快表面能级 ( $N_{ss}$ ) 同氧化及热处理条件有密切的关系<sup>[101~103]</sup>。

#### (a) 固定电荷

干氧化时的氧化温度与  $Q_{ox}$  的关系如图 5-48 所示，温度越高，则  $Q_{ox}$  越少。另外，如果氧化后在 Ar 或 He 等惰性气体中进行退火处理，则  $Q_{ox}$  接近于最小值。若再次将其在  $\text{O}_2$  中进行退火 (氧化)，则恢复原值 (增加)，呈现所谓干氧化三角形的关系 (见图 5-48)<sup>[102]</sup>。

$\text{SiO}_2$  的膜厚至少在  $1000\text{\AA}$  以上时， $Q_{ox}$  才与其没有关系，所以可考虑离 Si-SiO<sub>2</sub> 界面  $100\sim 200\text{\AA}$  范围内的分布情况 (见图 5-49，图 5-50)。对  $Q_{ox}$  与衬底 Si 晶面的关系也作了研究，得出的结论是  $(100)\approx(311)<(110)<(211)<(111)$ 。

测量由二维的  $Q_{ox}$  起伏造成的表面势波动也能分析  $Q_{ox}$  在平面内的分布，从下面的标准偏差 ( $\sigma_s$ ) 公式可以推断波动周期  $\lambda$  为  $75\sim 100\text{\AA}$ <sup>[106]、[107]</sup>。

$$\sigma_s^2 = \left( \frac{q}{kT(\epsilon_{si} + \epsilon_{ox})} \right)^2 \frac{q\bar{Q}_{ox}}{4\pi} \times \ln \left[ 1 + \left( \frac{\epsilon_{si} + \epsilon_{ox}}{C_{ox} + C_{se} + C_{ss}} \right)^2 \frac{1}{\lambda_{\min}^2} \right] \quad (5.43)$$

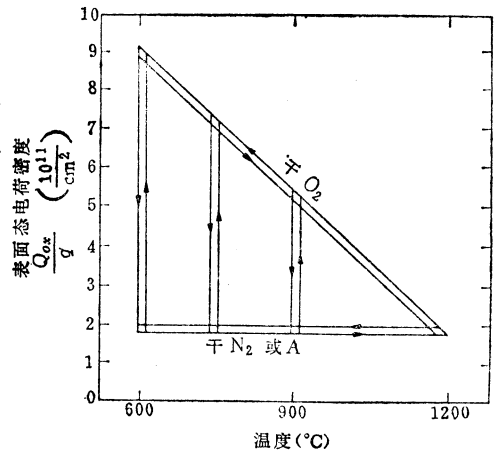


图5-48 “干氧化三角形”

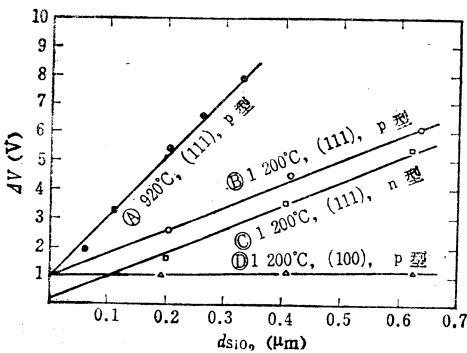


图5-49 平带电压漂移与氧化膜厚的关系<sup>[102]</sup>

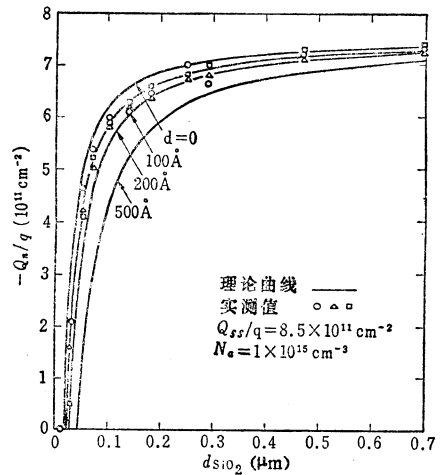


图5-50  $Q_{ox}$  的分布<sup>[102]</sup>

这些 SiO<sub>2</sub>固有的固定电荷与 Si-SiO<sub>2</sub>界面上的 Si 和 O 的结合状态密切相关<sup>[108]</sup>，同时还可能与 Si 的氧化、还原反应造成的悬挂键的生长、消失有关系<sup>[109],[110]</sup>。图 5-51 表示退火气氛中 O<sub>2</sub>的分压和 Q<sub>ox</sub>的关系的例子。据认为，悬挂键的形成也与氧化时进入 SiO<sub>2</sub>中的 Si 夹杂有关<sup>[111]</sup>，详细情况下节再叙述。

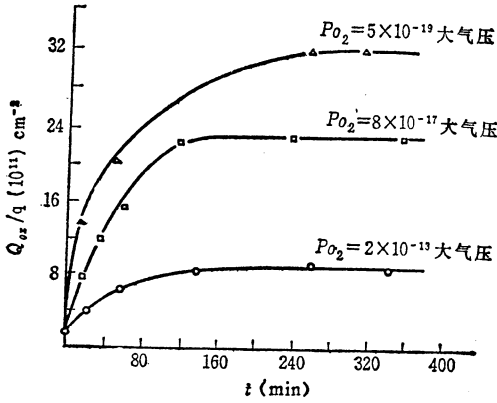


图5-51 在910°C, CO-CO<sub>2</sub>中退火后 SiO<sub>2</sub>中的固定电荷<sup>[107]</sup>

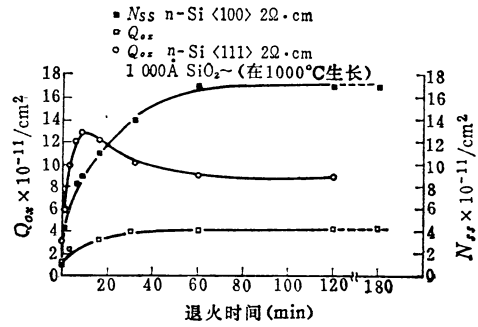


图5-52 在600°C、O<sub>2</sub>气氛下退火的效果<sup>[108]</sup>

(b) 快表面能级

快表面能级密度 ( $N_{ss}$ ) 不仅受氧化气氛和氧化温度的影响，而且在很大程度上受栅电极形成前后的低温退火条件的影 响<sup>[112]</sup>。在氧化气氛中进行低温 (600°C) 退火时， $N_{ss}$  增加 (见图 5-52)<sup>[108]</sup>。 $N_{ss}$  也同  $Q_{ox}$  一样，随着退火温度的上升而减小。在惰性气体中进行低温退火时，如图 5-53 所示， $N_{ss}$  因退火而增加，但其增加量比在 O<sub>2</sub> 中退火时少。在 He 中， $N_{ss}$  随着退火温度的降低而增加，但到 600°C 以下又减小 (见图 5-54)。

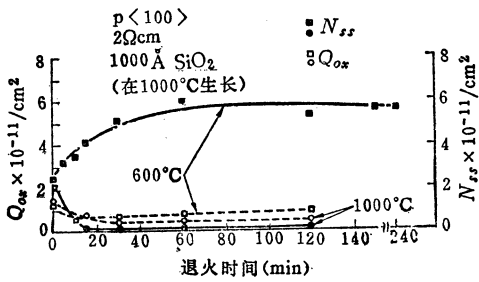


图5-53 在N<sub>2</sub>气氛下退火的效果<sup>[103]</sup>

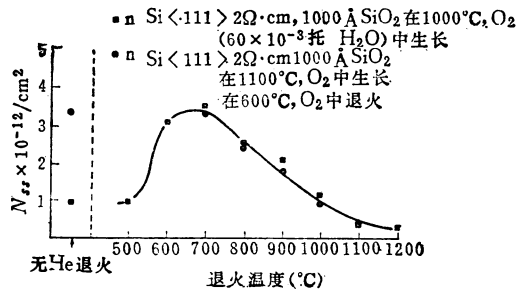


图5-54 在He气氛下退火的效果<sup>[103]</sup>

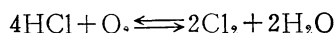
在 H<sub>2</sub> 中进行低温退火， $N_{ss}$  也减小<sup>[113]</sup>。如果在 N<sub>2</sub> 中进行长时间退火，则在 Si-SiO<sub>2</sub> 界面附近形成氮氧化膜， $Q_{ox}$  和  $N_{ss}$  均增加。

样片从栅氧化炉中拉出的速度大小也影响  $Q_{ox}$  和  $N_{ss}$ 。 $N_{ss}$  随外加负偏压的增加而增加，而拉出速度小时增加的快，而且 (111) 面比 (100) 面增加的快 (见图 5-55)<sup>[102]</sup>。

(c) 在栅氧化中 Cl 离子的作用

在混入 HCl、Cl<sub>2</sub> 或含 Cl 离子化合物的 O<sub>2</sub> 中进行氧化，能有效地减少氧化膜中的正

离子, 减少表面能级和吸除晶体缺陷。这是由于碱性离子和重金属离子的氯化物的蒸气压高, 容易被除去的缘故<sup>[114], [115]</sup>。为了获得洁净的氧化膜, 同样可使用 HCl 或 Cl<sub>2</sub> 气体<sup>[116]~[122]</sup>, 采用三氯乙烯, 也有清洁效果<sup>[123]</sup>。在有 Cl 离子存在的情况下进行氧化所得到的 SiO<sub>2</sub> 中, 不仅减少了 Q<sub>ox</sub>, 而且对来自电极的沾污物质的侵入有保护作用<sup>[116]</sup>。在 HCl 和 O<sub>2</sub> 的混合气体中进行氧化时, 根据



的反应, 一定能形成 Cl<sub>2</sub> 和 H<sub>2</sub>O。因此, 会产生由水分和 Cl<sub>2</sub> 两个因素造成的氧化速度加快现象<sup>[116], [117], [120], [121]</sup> (见图 5-56)。图上的氧化速度加快的程度不能单纯用上式计算的 H<sub>2</sub>O 分压来说明, 从而可以明显地看出 Cl 离子的催化作用。

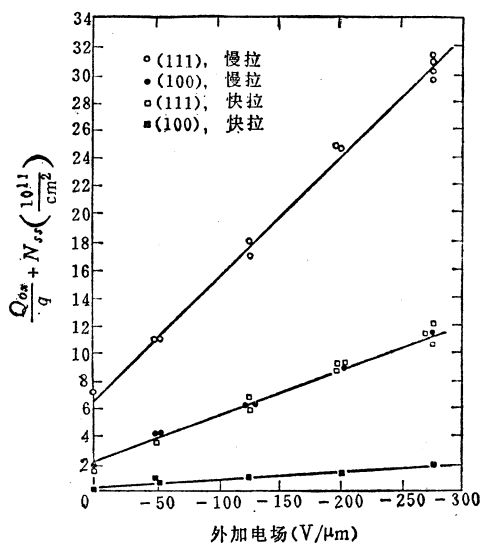


图5-55 Q<sub>ox</sub>和N<sub>ss</sub>与BT应力(400°C, 2min)的关系<sup>[102]</sup>

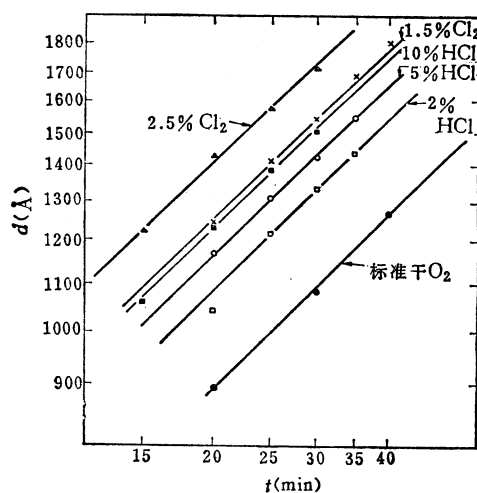


图5-56 掺Cl引起的氧化速度的变化<sup>[116]</sup>

其次, 形成洁净的 SiO<sub>2</sub> 要有最适宜的 HCl 或 Cl<sub>2</sub> 量。随着 HCl 或 Cl<sub>2</sub> 的克分子比的增大, SiO<sub>2</sub> 中的有效正离子密度减小<sup>[116], [119], [122]</sup>; 氧化温度越高, 密度越小 (见表 5-3、5-4)<sup>[122]</sup>。但必须注意, 克分子比过大, 则表面会粗糙。在 1100°C 氧化时, HCl/O<sub>2</sub> 克分子比为 (4~5)% 最合适 (见图 5-57)。

表5-3 在 1150°C 下氧化 30 分钟, 在 <100>Si 上形成 SiO<sub>2</sub> 时 HCl 和 Cl<sub>2</sub> 的有效性<sup>[122]</sup>

| 样片说明                | 厚度 (nm) | V <sub>FB</sub> <sup>-</sup> (V) | V <sub>FB</sub> <sup>+</sup> (V) | 等效离子密度 (10 <sup>10</sup> /cm <sup>2</sup> ) |
|---------------------|---------|----------------------------------|----------------------------------|---|
| 干O <sub>2</sub>     | 105     | -0.18                            | -2.1                             | 41.4  |
| 1.5%Cl <sub>2</sub> | 156     | -0.74                            | -0.9                             | 11.9  |
| 3.0%HCl             | 134     | -0.22                            | -0.65                            | 10.0  |
| 2.5%Cl <sub>2</sub> | 167     | -0.16                            | -0.1                             | 1.2   |
| 5%HCl               | 148     | -0.23                            | -0.1                             | 1.4   |

注: BT条件: 5×10<sup>6</sup>V/cm, 250°C, 5min (Na沾污的Al电极)。



表5-4 HCl 的效果与氧化温度的关系

| HCl:O <sub>2</sub> (克分子%) | 温度 (°C) | 时间 (min) | 厚度 (nm) | $V_{FB}^+$ (V) |
|---------------------------|---------|----------|---------|----------------|
| 0                         | 1150    | 48       | 148     | -8.5           |
| 6                         | 1200    | 24.5     | 148     | -0.05          |
| 6                         | 1150    | 34       | 151     | -0.1           |
| 6                         | 1100    | 44       | 146     | -0.4           |
| 6                         | 1050    | 76       | 149     | -5.9           |
| 6                         | 1000    | 150      | 146     | -6.3           |

注：BT条件与表5.3同。

因此，由于引入 HCl 或 Cl<sub>2</sub>，SiO<sub>2</sub> 中的有效正离子减少。然而还有相当多的离子留在 SiO<sub>2</sub> 中<sup>[85]</sup>，这些离子被 SiO<sub>2</sub> 中存在的 Cl 离子（分布如图 5-58 所示）中和<sup>[124]</sup>。看来，当 SiO<sub>2</sub> 中的 Cl 浓度为  $1.5 \times 10^{15}/\text{cm}^2$  左右<sup>[118]</sup> 时，则有稳定作用。

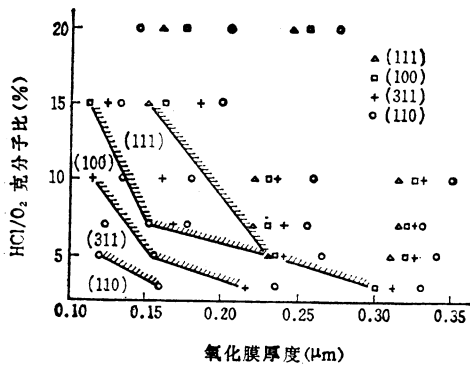


图5-57 加HCl氧化造成的表面粗糙的边界<sup>[117]</sup>

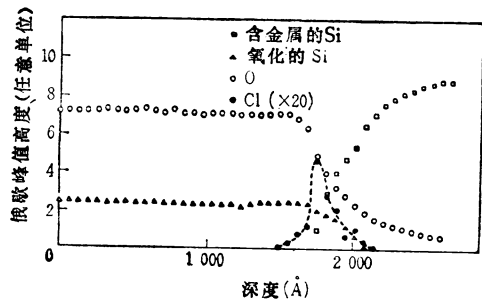


图5-58 HCl氧化物中的Cl分布<sup>[261]</sup>

由于在氧化中加入 Cl，使 Si-SiO<sub>2</sub> 界面的各种电气特性得到改善<sup>[124]~[126]</sup>。但必须注意，除 HCl 外，Cl<sub>2</sub>，CCl<sub>4</sub>，HBr，C<sub>2</sub>HCl<sub>3</sub> 几乎不会改善 SiO<sub>2</sub> 的介质特性，反而使其变差<sup>[127]</sup>，对于 -BT 处理，表现出不稳定性<sup>[118], [128]</sup>。据报导，掺 HCl 氧化时，即使加 0.3% 的 HCl，就会使 <111>Si 的表面能级约减少一个数量级，<100>Si 的表面能级也减少  $\frac{2}{3}$ ，低频噪声约减少  $\frac{4}{5}$ ，载流子寿命约增加一个数量级（见图 5-59）<sup>[126]</sup>，SiO<sub>2</sub> 中的缺陷密度减小（见图 5-60），绝缘耐压提高（见图 5-61），偏差变小，从加偏压至击穿的最大时间  $t_{max}$  延长（见图 5-62、5-63）<sup>[127]</sup>。但众所周知 Cl<sub>2</sub>/O<sub>2</sub> 氧化时， $t_{max}$  减小（见图 5-64），HCl/O<sub>2</sub> 氧化时，若氧化温度提高，则 SiO<sub>2</sub> 的缺陷密度增大（见图 5-65）<sup>[127]</sup>。

进一步观测有关氯化膜对于 -BT 处理的不稳定性，则发现在 HCl 氧化膜中，产生  $V_T$  的负向漂移（见图 5-66），在 Cl<sub>2</sub> 氧化膜中，开始产生正向漂移，随后产生负向漂移（图 5-67）<sup>[118]</sup>。在 HCl 氧化膜的情况下，Cl 离子越多， $Q_{ox} + N_{ss}$  的增加越快（见图 5-68）<sup>[128]</sup>。

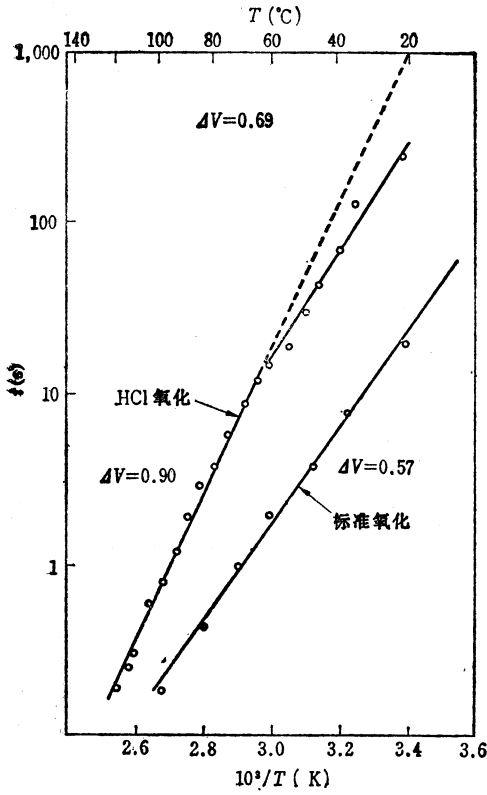


图5-59 表面反型时间与温度的关系<sup>[126]</sup>

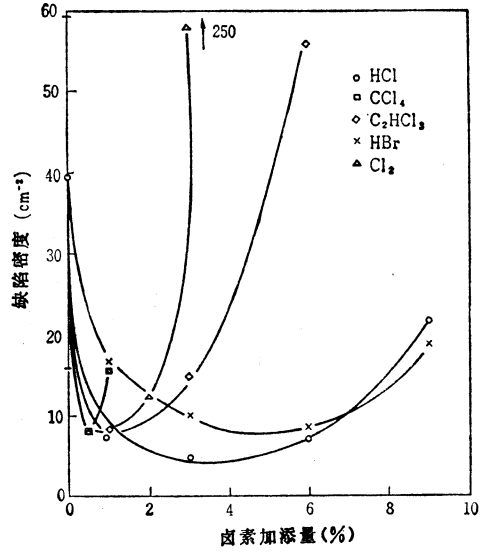


图5-60 卤素对缺陷密度的影响<sup>[127]</sup>

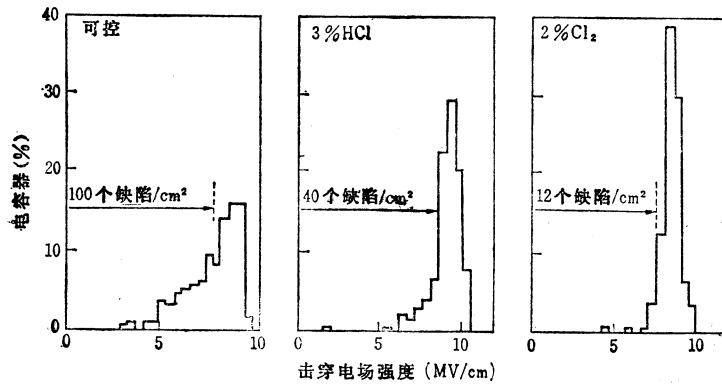


图5-61 加HCl和Cl<sub>2</sub>的氧化膜中的E<sub>B</sub>分布<sup>[127]</sup>

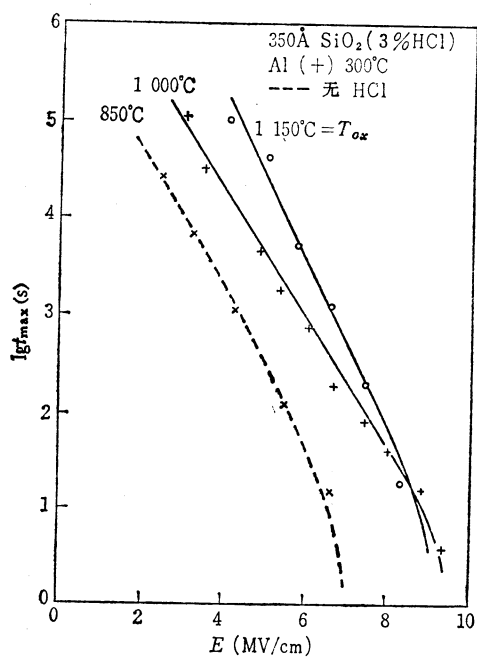


图5-62 氧化温度 $T_{ox}$ 对 $t_{max}$ 的影响<sup>[127]</sup>

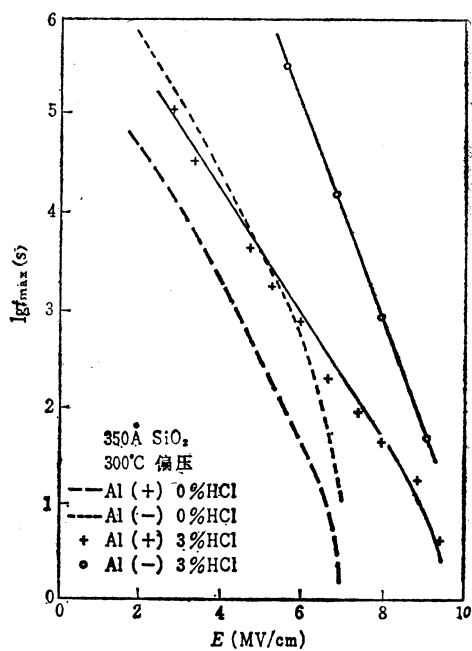


图5-63 加HCl的氧化膜的 $t_{max}$ 和偏压极性的关系<sup>[127]</sup>

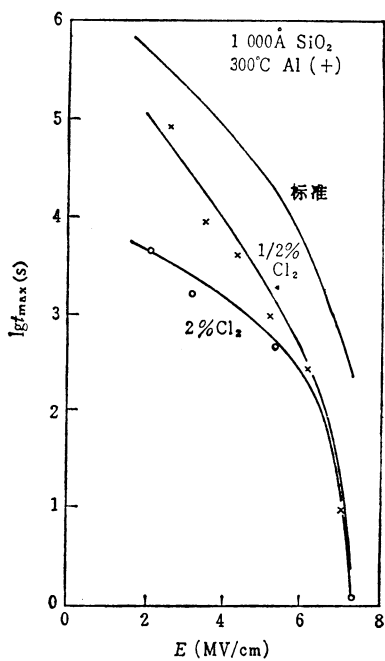


图5-64 加Cl<sub>2</sub>的氧化膜 (1000°C) 的 $t_{max}$ <sup>[127]</sup>

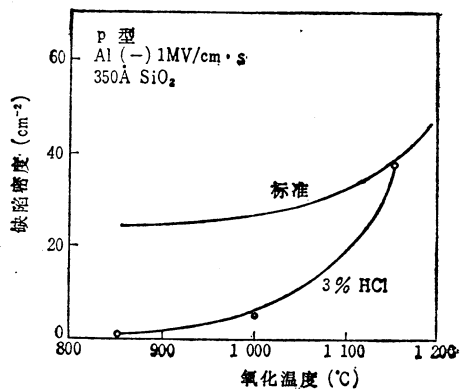


图5-65 加HCl的氧化膜中的缺陷密度和氧化温度的关系<sup>[127]</sup>

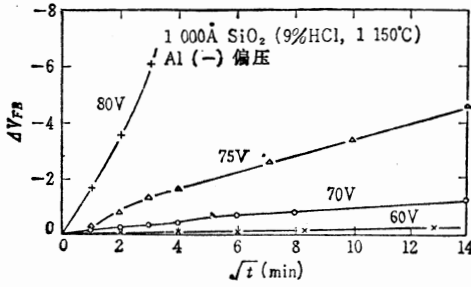


图5-66 加HCl的氧化膜的 $V_{FB}$ 漂移与时间的关系<sup>(118)</sup>

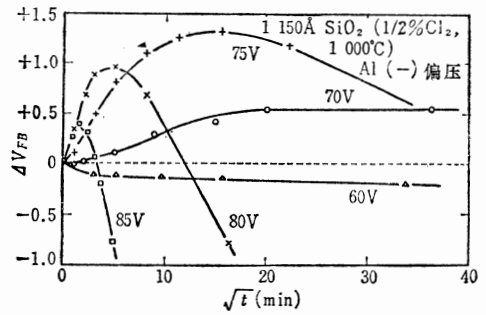


图5-67 加Cl<sub>2</sub>的氧化膜的 $V_{FB}$ 漂移与时间的关系<sup>(118)</sup>

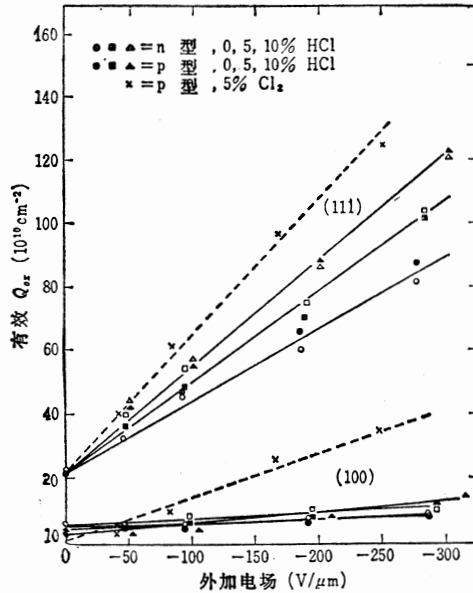
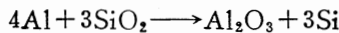


图5-68 加HCl的氧化膜的有效电荷 ( $Q_{ox}/q + N_{ss}$ ) 与BT应力 ( $400^{\circ}\text{C}$ , 5min) 的关系<sup>(128)</sup>

### 5.2.4 SiO<sub>2</sub>与电极的反应

在Si-SiO<sub>2</sub>界面，由于热或电化效应会引起特性变化。同样，在电极-SiO<sub>2</sub>界面也会引起特性变化，例如，Al-SiO<sub>2</sub>的反应一般为



游离的Si是SiO<sub>2</sub>中产生正电荷的原因。上述反应在500°C时，反应能的变化为-150千卡/克分子，表明反应在进行之中。各种金属和SiO<sub>2</sub>反应时，自由能的变化如表5-5所示<sup>(129)</sup>。一般认为，Mo比Cr反应性更弱。由于Al和SiO<sub>2</sub>反应会使Al进入SiO<sub>2</sub>，其速度用下式表示<sup>(129)</sup>：

$$\text{速度} = 3.18 \times 10^{17} \exp(-2.56/kT) \quad (\text{Å})$$

通常由于Al烧结使Al进入SiO<sub>2</sub>，图5-69示出IMA的分析结果<sup>(130)</sup>。在这个例子中，

Na<sup>+</sup>除分布在Si-SiO<sub>2</sub>界面外，还与Al对应地分布在Al-SiO<sub>2</sub>界面附近，这是其特征。另外，

表5-5 金属和SiO<sub>2</sub>反应  
(500°C) 时自由能的变化<sup>[129]</sup>

| 元 素 | ΔF(千卡/克分子) |
|-----|------------|
| Mg  | -184       |
| Al  | -150       |
| Be  | -72        |
| Ti  | -15        |
| Cr  | +80        |

辐射损伤造成的V<sub>T</sub>漂移，在外加负偏压的情况下含Al的SiO<sub>2</sub>比不含Al的大，但在外加正偏压的情况下，则前者比后者小。这是因为虽然有Na<sup>+</sup>存在，但由于Al使氧的未结合键减少，从而使辐射产生的空穴陷阱的作用受到抑制(见图5-70)<sup>[130]</sup>。

在Cr-SiO<sub>2</sub>-Si结构中，可以观测到，在离Cr电极75Å以内，存在10<sup>18</sup>/cm<sup>3</sup>数量级的负电荷，在75~150Å范围内存在10<sup>18</sup>/cm<sup>3</sup>数量级的正电荷，形成二层电荷。

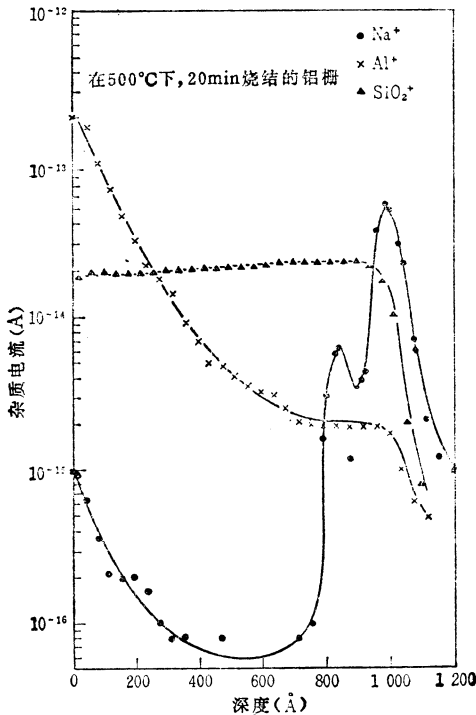


图5-69 SiO<sub>2</sub>中Al和Na的分布剖面<sup>[130]</sup>

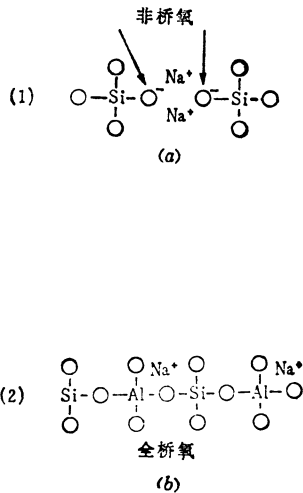
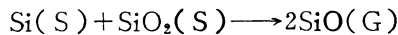


图5-70 SiO<sub>2</sub>网状结构<sup>[130]</sup>

另一方面，采用多晶硅栅电极结构，有可能获得更稳定的特性，但还有说不清之处。在500°C左右的温度下，在N<sub>2</sub>、H<sub>2</sub>或混合气体中进行退火，有减小N<sub>ss</sub>的效果，特别是在混合气体中进行的退火对减小N<sub>ss</sub>更有效<sup>[132]</sup>。但在这种退火中，有无多晶硅是有差别的。在Hickmott的实验中<sup>[132]</sup>，在有多晶硅的混合气体中退火，N<sub>ss</sub>值小(见图5-71、图5-72)。在混合气体中退火时，在400°C左右N<sub>ss</sub>减小，然后随着温度的上升又增大，超过800°C时再次减小。一般认为，在400°C附近N<sub>ss</sub>的减小是由于悬挂键和H<sub>2</sub>反应形成Si-H结合的缘故；高于400°C时，由反应



生成SiO气体，促使N<sub>ss</sub>增大；更高温度时，由于SiO扩散在Si-SiO<sub>2</sub>界面电荷的交换减少，

所以,  $N_{ss}$  再次减小。另一方面, Ruzyllo 等人<sup>[183]</sup>正好在这个温度区域测出 SiOH 的增加(见图5-73), 这是有趣的对照。

在SiO<sub>2</sub>膜的绝缘击穿方面, Al 电极和多晶硅电极的显著区别表现在  $t_{max}$  和氧化膜厚度的关系<sup>[184]</sup>。图5-74示出Osburn和Bassous 得出的结果。膜越薄, 硅栅的优越性越突出。

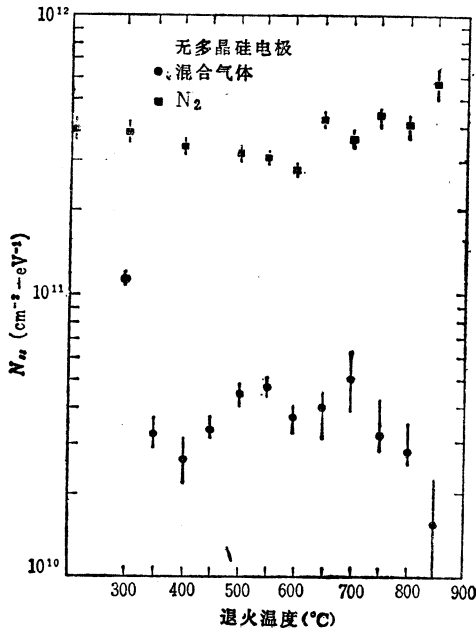


图5-71 退火特性 ( $t_A = 35\text{min}$ )<sup>[182]</sup>

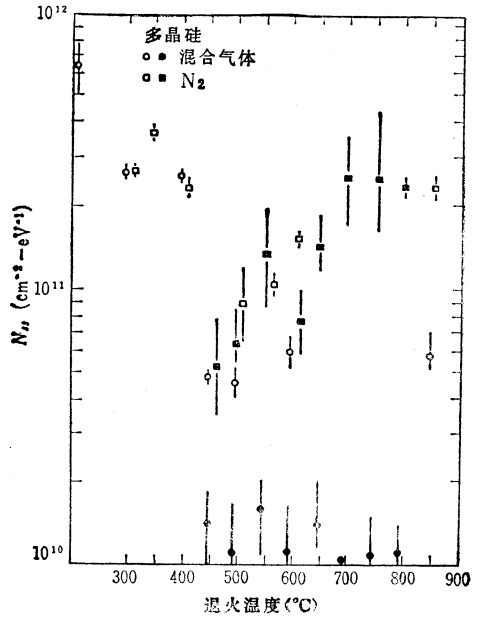


图5-72 退火特性 ( $t_A = 35\text{min}$ )<sup>[182]</sup>

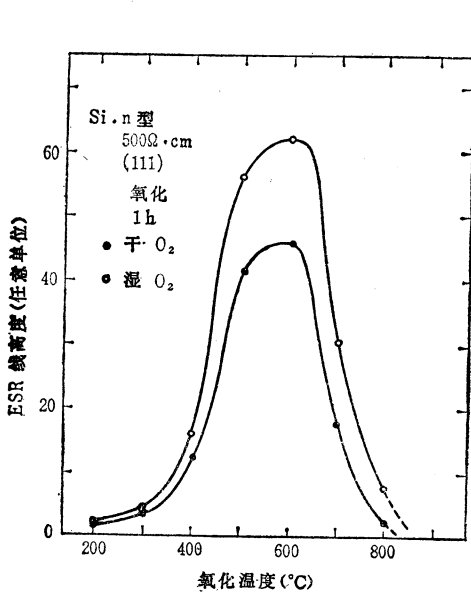


图5-73 硅表面低温氧化引起的 ESR 信号 ( $g = 2.004, 2.007$ ) 的变化<sup>[183]</sup>

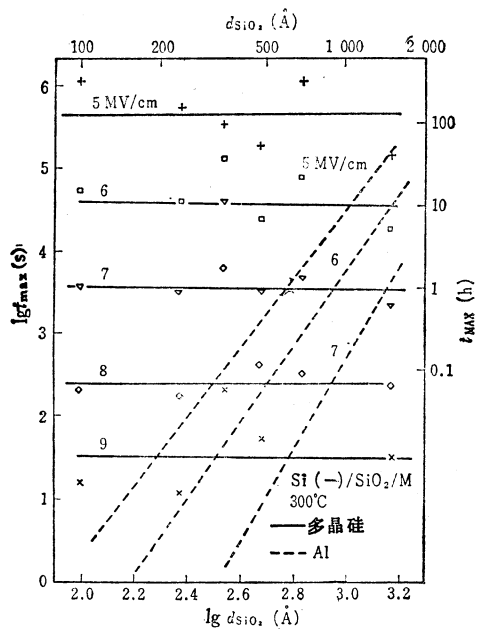


图5-74  $t_{max}$  与氧化膜厚度的关系<sup>[184]</sup>

引起恶化的激活能以硅栅为大 ( $-2.4\text{eV}$ ) (图 5-75)。若观察与偏压极性的关系, 则 Al 栅在偏压为负时  $t_{\text{max}}$  大, 相反, 多晶硅栅在偏压为正时  $t_{\text{max}}$  大。另外, 值得注意的是, 在掺磷多晶硅的情况下, 即使将形成的掺磷多晶硅栅除去而改为 Al 栅,  $t_{\text{max}}$  也增大 (见图 5-76)。估计在  $\text{SiO}_2$  表面掺磷, 有助于使其稳定, 但其浓度用目前的分析手段测量不出来<sup>[134]</sup>。

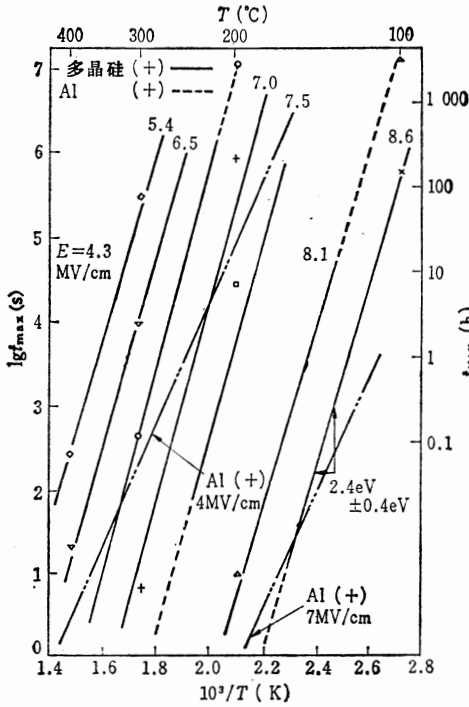


图5-75  $t_{\text{max}}$ 与温度的关系<sup>[134]</sup>

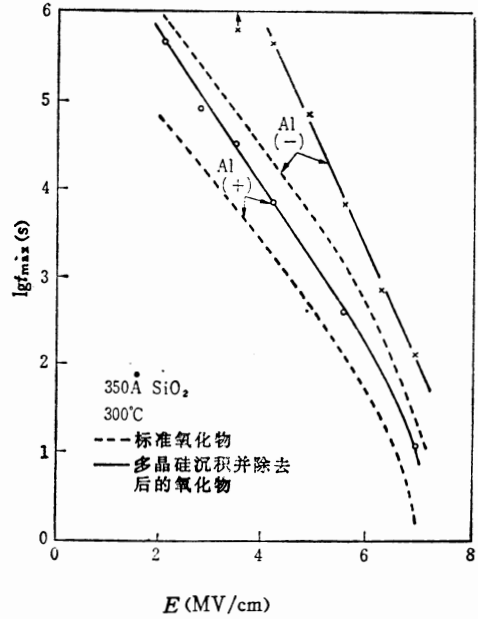


图5-76 除去掺杂多晶硅后再形成Al电极的MOS结构的 $t_{\text{max}}$ <sup>[134]</sup>

$Q_{ox}$  与电极面积的关系也有报导。由于在烧结中可动离子产生蒸发, 所以, 电极面积越小,  $Q_{ox}$  越少<sup>[135]</sup>。

当 $\text{SiO}_2$ 膜特别薄 ( $20\sim 40\text{ \AA}$ ) 时, 就出现了电极物质直接扩散到 $\text{SiO}_2$ 中形成表面能级的问题<sup>[136]</sup>, 因此退火会引起 $N_{ss}$ 增大。例如, 在 $\text{SiO}_2$ 膜厚为 $27\text{ \AA}$ 的Cr栅MOS结构中, 退火前的 $N_{ss}$ 峰值为 $1.3 \times 10^{12}/\text{cm}^2 \cdot \text{V}$ , 但在 $\text{N}_2$ 中、 $450^\circ\text{C}$ 下退火3小时后,  $N_{ss}$ 峰值增至 $1.1 \times 10^{18}/\text{cm}^2 \cdot \text{V}$ <sup>[136]</sup>。

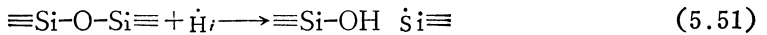
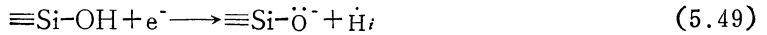
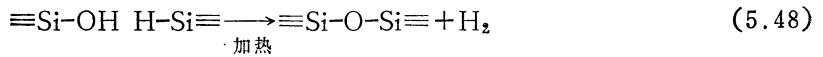
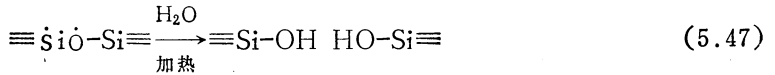
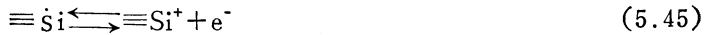
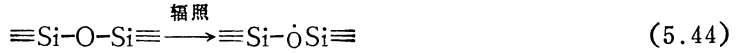
### 5.2.5 辐照损伤

这里讲述的辐照损伤是指在IC制造工艺流程中受到的辐照损伤。由于辐照引起的 $V_T$ 变化一直受到人们的重视, 虽然经 $400\sim 500^\circ\text{C}$ 的退火能完全恢复, 但今后伴随着电子束直接在硅片上曝光<sup>[137]~[138]</sup>、X射线曝光、等离子体腐蚀<sup>[140]</sup>、离子刻蚀或高浓度离子注入<sup>[138]</sup>等技术的采用, 不仅要研究 $V_T$ 的变化, 而且也要对 $\text{SiO}_2$ 膜的耐压、载流子寿命、结漏电流、迁移率或可靠性进行深入细致的研究。

有关辐照损伤的详细情况可参考有关文献<sup>[141], [142]</sup>。本章仅讨论由于电子束、X射线以及离子束的辐照在SiO<sub>2</sub>或Si-SiO<sub>2</sub>界面产生缺陷的情况。

(1) 阈值电压的变动

由于电子束(EB)等的照射,在SiO<sub>2</sub>中形成电子-空穴对,破坏了Si-O键,这些键同H<sup>+</sup>、OH<sup>-</sup>等其他杂质离子结合,而产生电荷,这就是Q<sub>ox</sub>和N<sub>ss</sub>产生的原因。一般认为,在SiO<sub>2</sub>中有如下各种反应<sup>[142]</sup>:



式中,  $\dot{\text{H}}_i$  是填隙氢离子,和其他的  $\dot{\text{H}}_i$  结合可以形成 H<sub>2</sub><sup>[143]</sup>。正电荷的分布随着辐照时的偏压极性的不同而不同,聚集在负电极附近的正电荷会降低界面势垒。图5-77是栅电极加负偏压时辐照的例子。

另一方面,辐照会使SiO<sub>2</sub>中产生正电荷,这是由于空穴被俘获。以这种模型为基础进

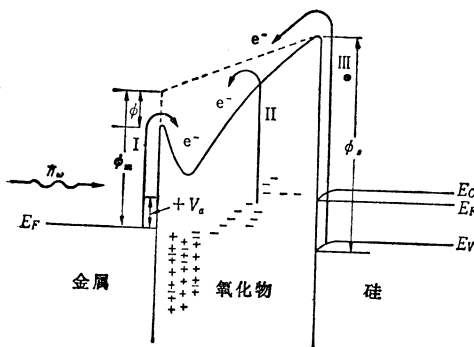


图5-77 辐照后的能量曲线图<sup>[144]</sup>

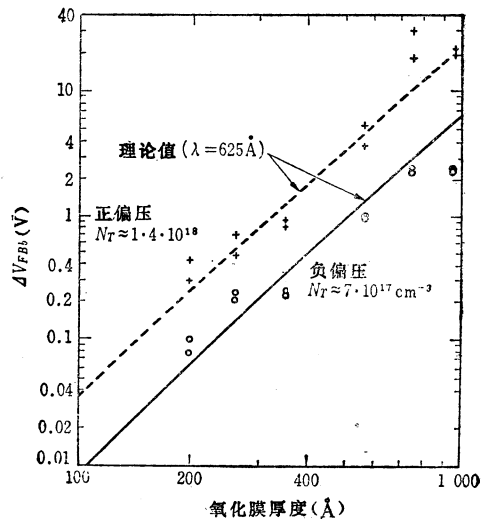


图5-78 辐照造成的平带电压的漂移<sup>[145]</sup>



行分析时,若只考虑 SiO<sub>2</sub> 中一种陷阱 ( $N_T$ ), 则  $V_{FB}$  的漂移  $\Delta V_{FBb}$  用下式表示<sup>[145]</sup>:

正偏压下辐照:

$$\Delta V_{FBb} = -(qN_T d_{SiO_2}^2 / \epsilon_{ox}) F_+(y) \quad (5.53)$$

$$F_+(y) = (y^2/2 + ye^{-y} + e^{-y} - 1)/y^2 \quad (5.54)$$

负偏压下辐照:

$$\Delta V_{FBb} = -(qN_T d_{SiO_2}^2 / \epsilon_{ox}) F_-(y) \quad (5.55)$$

$$F_-(y) = (y^2/2 - y + 1 - e^{-y})/y^2 \quad (5.56)$$

式中,  $d_{SiO_2}$  为氧化膜厚度;  $y = d_{SiO_2} / \lambda$ ;  $\lambda$  为  $(\sigma N_T)^{-1}$ , 称为平均俘获自由程;  $\sigma$  是陷阱对空穴的俘获截面积。用这个模型计算的  $\Delta V_{FBb}$  值和实测值的比较如图 5-78 所示,  $N_{ss}$  与膜厚的关系如图 5-79 所示。

对于抗辐照损伤性能, 已从 Si 晶向、氧化气氛和温度、退火条件、栅电极材料性质等方面进行了研究<sup>[144], [146], [147]</sup>。作为例子可推荐如下工艺:

- (1) 硅晶向  $\langle 100 \rangle$ ,
- (2) 在干氧中 1000°C 下氧化,
- (3) 在不超过 800°C 的 N<sub>2</sub> 中退火或者不退火,
- (4) 电阻加热蒸铝, 并在 500°C 下烧结。

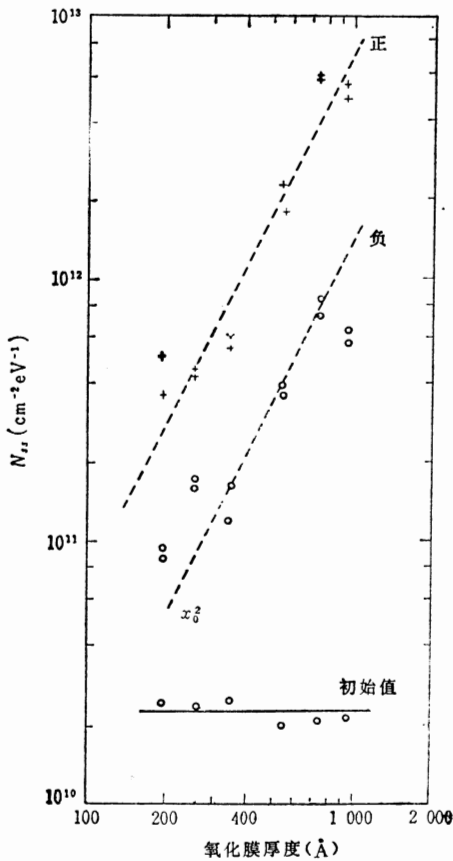


图5-79 Co<sup>60</sup> 辐照(600千拉德)引起表面能级密度的增加<sup>[145]</sup>

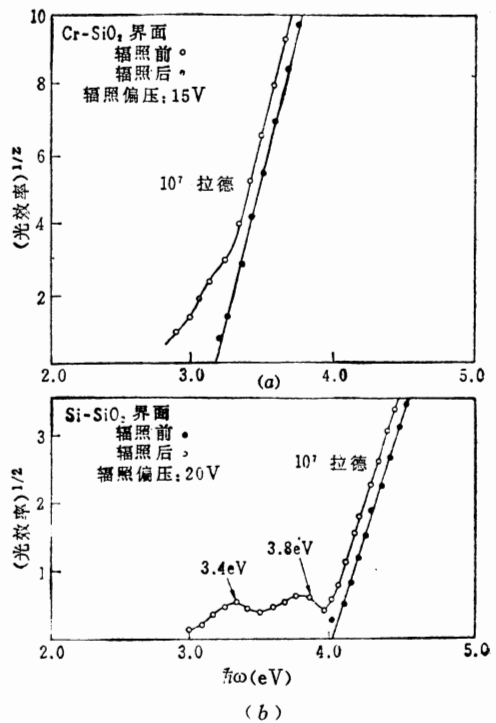


图5-80 对Cr-SiO<sub>2</sub>-Si结构进行γ射线辐照后的光响应<sup>[144]</sup>

SiO<sub>2</sub>中的杂质(例如B)也影响抗辐照损伤性能,即使自对准结构,对源和漏进行离子注入也有杂质从两端进入SiO<sub>2</sub>,从而使辐照损伤增大。对于栅电极来说,如果在SiO<sub>2</sub>中掺能形成电子陷阱的材料,则辐照不会造成SiO<sub>2</sub>-电极(Cr或衬底Si)界面的势垒降低(见图5-80)<sup>[144]</sup>。也有这样的实验结果,由辐照形成的陷阱密度在多晶硅栅电极的情况下比在Al电极的情况下大<sup>[148]</sup>。

对于在氧化中加HCl的效果也进行了考查,在负偏压下辐照时无差别,但在正偏压下 $V_T$ 漂移随着HCl浓度的增大而增大。在1100°C下氧化时,若HCl为0.4%,则 $\Delta V_{FB} = -1V$ ;若HCl为5%,则 $\Delta V_{FB} = -36V$ <sup>[149]</sup>。这是由于SiO<sub>2</sub>中的Cl增大了对辐照的敏感性造成的。相反,在清除了HCl的石英管中,不加HCl进行氧化得到的SiO<sub>2</sub>,其辐照产生的正电荷非常少,但 $N_{ss}$ 增加较大,这是众所周知的。

作为栅电极材料的性质,对Al、Mo等和Cr作了比较。辐照后氧化膜的耐压以Cr为好,图5-81和5-82分别示出SiO<sub>2</sub>表面存在P和SiO<sub>2</sub>中含有B时的差别<sup>[150]</sup>。

关于辐照损伤的退火,最近提出了引人注目的方法<sup>[151]</sup>。这就是在真空中,在与Si-SiO<sub>2</sub>界面垂直的方向上对称地加上RF电场(13.56MHz)进行退火,这种方法就 $V_T$ 的恢复而言,不仅对于MOS结构,就是对于MNOS结构,也显示出热退火所不能达到的完全程度。

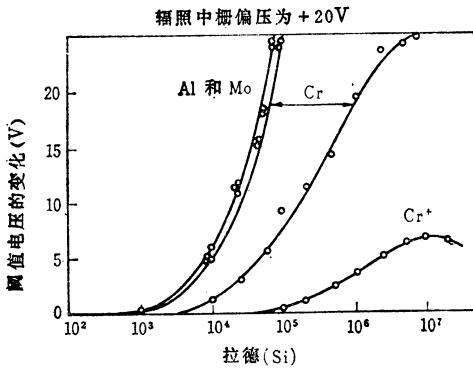


图5-81 辐照引起的 $V_T$ 漂移量和电极的种类。M-掺P的SiO<sub>2</sub>-Si (Co<sup>60</sup>)<sup>[150]</sup>

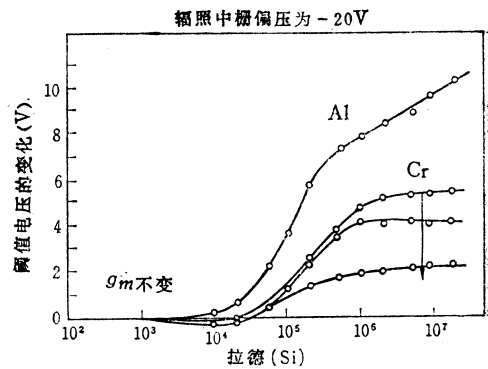


图5-82 B对辐照损伤的影响,箭头方向表示B的沟道掺杂量增大<sup>[150]</sup>

(2) 电子束辐照

用电子束直接曝光晶片上的抗蚀剂图形时,需要能量为数十keV、通量为 $10^{13}e/cm^2$ 以上的电子束。因而, SiO<sub>2</sub>也受到电子束照射。在有栅电极的情况下,当电子束能量小( $\leq 1keV$ )时,几乎不受影响,但能量高( $\geq 10keV$ )时,则直接受到影响。能量更高( $> 100keV$ )时, SiO<sub>2</sub>中不吸收一次电子束的能量,但受栅电极发出的二次电子的影响<sup>[152]</sup>。在最后一种情况下,栅电极膜越厚,辐照损伤越大。

电子束的能量和SiO<sub>2</sub>中吸收的能量分布的关系如图5.83所示<sup>[153]</sup>。辐照引起的 $V_T$ 漂移,因膜厚和能量不同而不同。作为一个例子,图5-84示出SiO<sub>2</sub>膜厚为5000Å的情况,此时,最大漂移量出现在能量为10keV处;而当SiO<sub>2</sub>膜厚为2500Å、9200Å时,则最大漂移量分

别出现在7keV、20keV附近<sup>[153]</sup>。图4-85示出退火特性。当激活能为0.28~0.46eV时，仅就 $V_T$ 而言，在300°C左右差不多完全被退火。

据说，SiO<sub>2</sub>直接接触低能（约10eV）电子束，也会受到损伤，在SiO<sub>2</sub>中形成(5~20) × 10<sup>12</sup>/cm<sup>2</sup>的俘获中心，其截面积（对电子）为(5~50) × 10<sup>-14</sup>cm<sup>2</sup><sup>[154]</sup>。

在Al栅n沟MOSFET的栅极上加正偏压，同时照射5keV的电子束时，阈值电压的

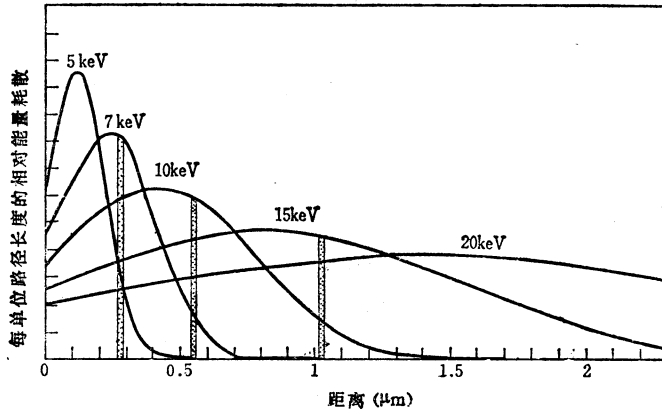


图5-83 照射到SiO<sub>2</sub>中的电子束能量耗散曲线<sup>[153]</sup>

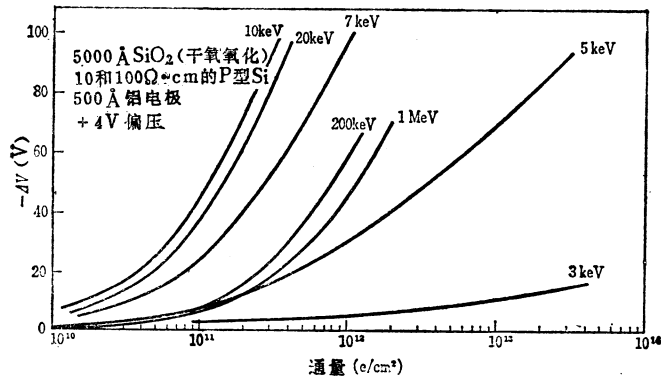


图5-84 在5000 Å厚的SiO<sub>2</sub>上电子束照射造成的电荷积累

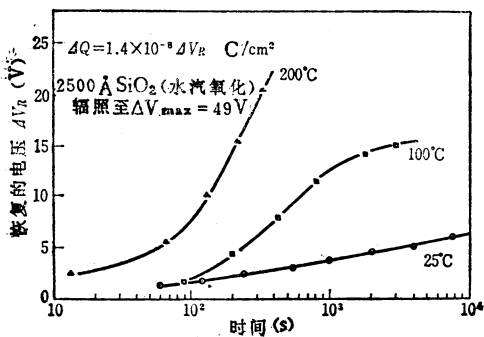


图5-85 辐照损伤的退火特性<sup>[153]</sup>

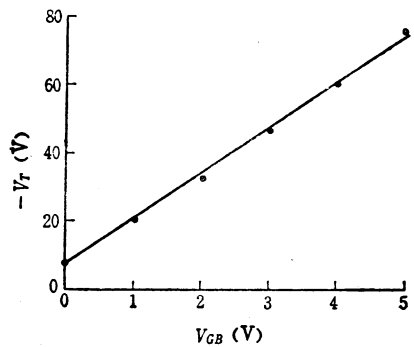


图5-86 在电子束照射中偏压的作用<sup>[155]</sup>

( $d_{SiO_2} = 6000 \text{ \AA}$ ,  $d_{Al} = 1500 \text{ \AA}$ )

漂移情况如图5-86所示<sup>[155]</sup>。假设膜厚为 $d_{\text{SiO}_2}$ ，且在距离 Si-SiO<sub>2</sub>界面  $x_1$  处为正电荷分布，则辐照后的  $V_T$  用下式表示：

$$V_T = -V_{GB} \left( \frac{2d_{\text{SiO}_2}}{x_1} - 1 \right) + V_T^0 \quad (5.57)$$

式中， $V_T^0$ 是照射前的阈值电压。

经25keV的电子束照射后的 $N_{ss}$ 能量分布(以照射剂量和膜厚为参数)如图5-87所示。Ma阐明， $N_{ss}$ 是在SiO<sub>2</sub>中形成的，并且是由于隧道效应而同硅表面进行电子交换的慢表面能级<sup>[157]</sup>。至于平带电压的漂移，Scoggan和Ma提出与Si衬底的杂质性质(p型或n型)及密度有关(见图5-88)，而SiO<sub>2</sub>中的 $Q_{ox}$ 与这些参量没有关系。这种差别的产生是由于Si的禁带上部是p型陷阱，禁带下部是n型陷阱的缘故。

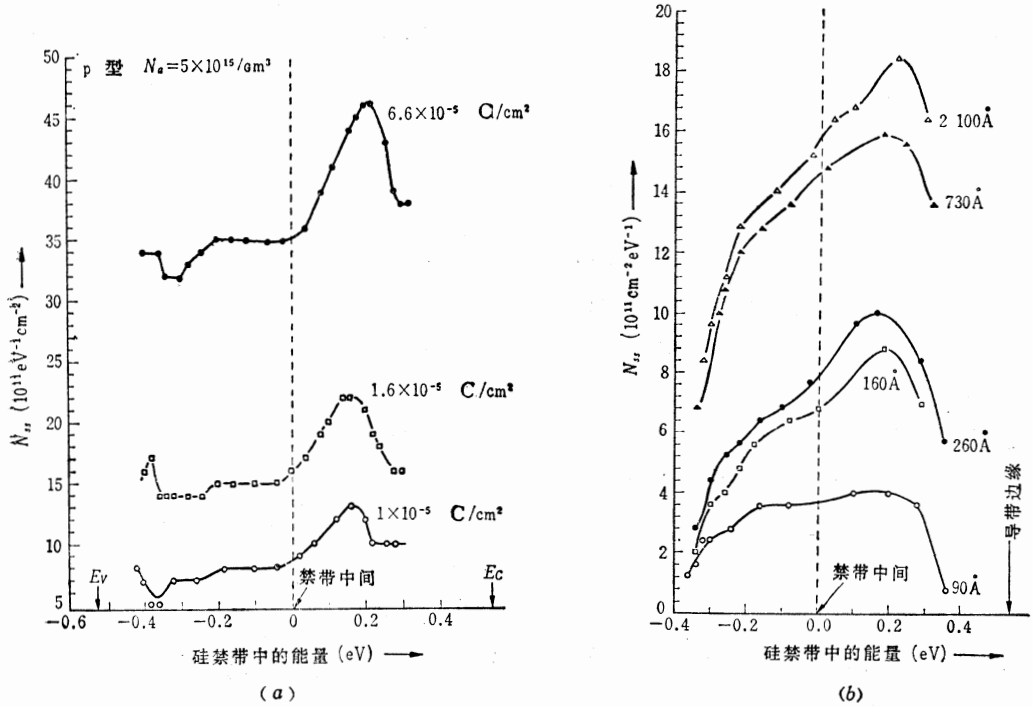


图5-87 电子束照射(25keV)引起的 $N_{ss}$ 变化  
(a) 与照射量的关系<sup>[156]</sup>，(b) 与膜厚的关系<sup>[157]</sup>。

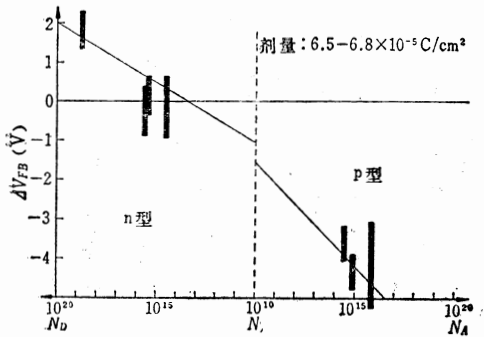


图5-88 电子束照射引起的 $V_{FB}$ 漂移与衬底密度的关系<sup>[158]</sup>

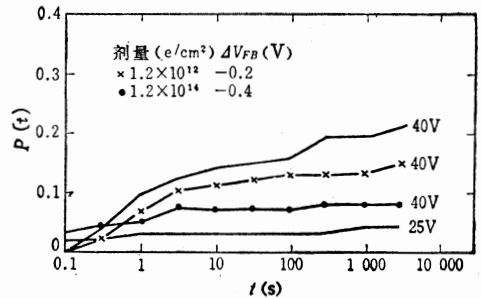


图5-89 电子束照射后的MOS电容器(96个)的击穿概率随时间而增加<sup>[159]</sup>

当用1MeV的电子束照射SiO<sub>2</sub>膜后，绝缘击穿与时间的关系，由Li和Maserjian得出图5-89所示的结果。即照射剂量大时其耐压高，这是由于在栅电极和SiO<sub>2</sub>界面附近存在俘获的空穴，造成电场削弱，使来自电极或其界面的正离子注入受到抑制，从而使绝缘击穿的概率减小。

(3) X射线照射

在等离子体溅射或电子束蒸发等微细加工技术中，元件受到的辐照损伤主要是由VUV（真空紫外线）或软X射线造成的。还有X射线曝光也会使元件受到同样的损伤。关于SiO<sub>2</sub>受X射线和VUV照射产生电荷及退火的研究，在探索SiO<sub>2</sub>中正电荷形成的机理方面起着重要的作用。

SiO<sub>2</sub>中的正电荷分布，已根据对内部光电发射和C-V曲线的漂移的评价求出，结论是正电荷分布在电极侧和Si侧，同时也分布在离这些界面50Å以内的SiO<sub>2</sub>中<sup>[160]</sup>。这种正电荷分布的产生可作如下解析，即无论是仅SiO<sub>2</sub>表面吸收的8.8eV(相当SiO<sub>2</sub>的禁带宽度)以上的VUV照射，还是能完全穿透SiO<sub>2</sub>的X射线照射，结果几乎不变。由此可见，辐照不会直接造成SiO<sub>2</sub>结构的变化，而是因辐照在SiO<sub>2</sub>中形成电子-空穴对，其中空穴在界面附近被俘获<sup>[160]~[163]</sup>。

由辐照产生的空穴俘获模型已由Gwyn提出<sup>[164]</sup>，由于图5-90所示的Si-O键被切断，在SiO<sub>2</sub>的禁带中形成受主能级(中性)和施主能级(正)。另外，退火机理如图5-91所示，包括三个过程，首先是SiO<sub>2</sub>导带的自由电子被带正电的施主能级俘获，随后被切断的Si和O的键恢复的过程[见图5-91(a)]；价带中的电子被激发到施主能级，随后引起键的再结合的过程[见图5-91(b)]；以及价带中的电子被激发到中性受主能级后，引起键的再结合的过程。

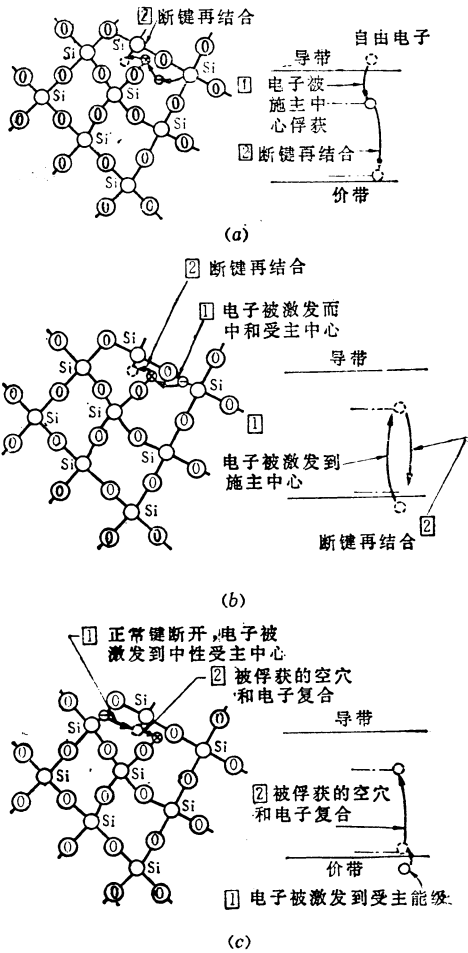


图5-91 退火过程模型图<sup>[164]</sup>

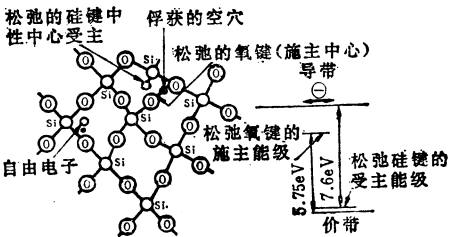


图5-90 SiO<sub>2</sub>中的结合状态(辐照中)<sup>[164]</sup>

另外, Dimaria等人认为, 至少在Si-SiO<sub>2</sub>界面上, 大部分正电荷俘获中心不是由于上述辐照产生的, 而是Si-SiO<sub>2</sub>界面原来存在的<sup>[160]</sup>。

SiO<sub>2</sub>中的禁带能级如图5-92所示<sup>[165]</sup>。Aitken和Young在表 5.6 中给出 Al (5000 Å)-SiO<sub>2</sub>(500 Å)-Si (0.1Ω·cm, P型) 的MOS电容器用20keV的X射线照射时, 在SiO<sub>2</sub>中形成的4种陷阱能级密度和俘获截面积。

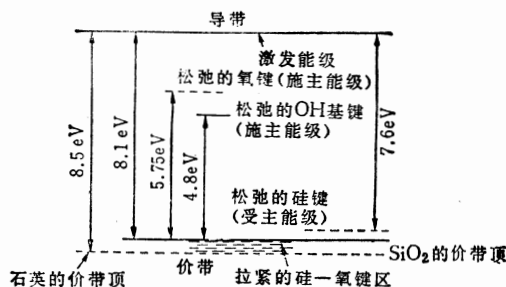


图5-92 SiO<sub>2</sub>禁带中的能级<sup>[164]</sup>

表5-6 陷阱因子的比较

| 陷阱 | 辐照后*                        |                           | 控制                          |                           | $\Delta N_t$ (cm <sup>-2</sup> ) |
|----|-----------------------------|---------------------------|-----------------------------|---------------------------|----------------------------------|
|    | $\sigma$ (cm <sup>2</sup> ) | $N_t$ (cm <sup>-2</sup> ) | $\sigma$ (cm <sup>2</sup> ) | $N_t$ (cm <sup>-2</sup> ) |                                  |
| A  | $>10^{-14}$                 | $25 \times 10^{11}$       | —                           | $<10^{10}$                | $+25 \times 10^{11}$             |
| B  | $8.0 \times 10^{-16}$       | $4.9 \times 10^{11}$      | $1.0 \times 10^{-17}$       | $7 \times 10^{10}$        | $+4.2 \times 10^{11}$            |
| C  | $3.9 \times 10^{-18}$       | $5.9 \times 10^{11}$      | $3.8 \times 10^{-18}$       | $2.5 \times 10^{11}$      | $+3.4 \times 10^{11}$ ①          |
| D  | $5.5 \times 10^{-19}$       | $1.15 \times 10^{11}$     | $4.7 \times 10^{-19}$       | $3.6 \times 10^{11}$      | $-2.45 \times 10^{11}$           |

注: \* 20keV, 25mA, 600s, +9V。

① 原文误为  $+2.3 \times 10^{11}$ 。——译者

(4) 离子碰撞

当离子射入SiO<sub>2</sub>时, 入射离子的动能传给靶原子, 使靶原子产生位移。因此, 在SiO<sub>2</sub>中可以观测到电子-空穴对的形成、Si-O键的切断和应力的产生(见图5-93)<sup>[11]</sup>。只从

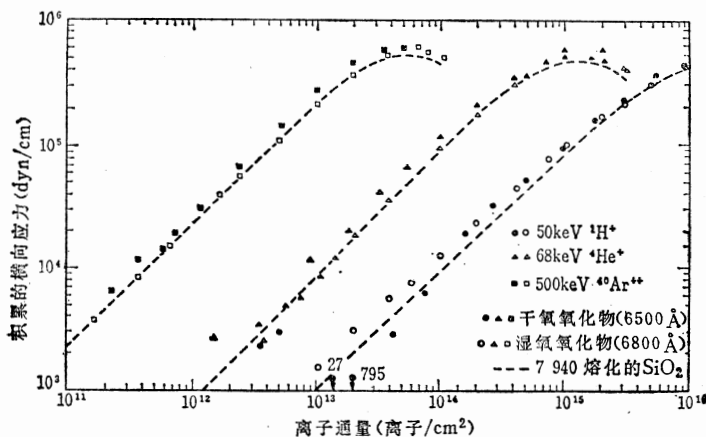


图5-93 由于离子注入在SiO<sub>2</sub>中产生的应力<sup>[11]</sup>

值电压的漂移来看, 从 200°C 左右开始退火, 在 500°C 左右差不多就能恢复。但从上述的应力来看, 碰撞造成的损伤, 从 300°C 左右开始退火, 要想完全恢复, 则必须在 SiO<sub>2</sub> 的氧化温度下退火。对于由高速离子注入产生离化而造成的缺陷, 在 600~800°C 下可以完全恢复<sup>[11]</sup>。

另一方面, 众所周知, 在 SiO<sub>2</sub> 中因离子碰撞而引起红外线吸收状态变化, 折射率也变化。由于离子注入, 9μm 频带的吸收峰值向低频侧漂移, 同时氧化膜厚度增加而折射率降低<sup>[168]</sup>。从 9μm 频带的吸收峰值和半峰值来看, 如图 5-94、5-95 所示在 700°C 左右就能退火。

从离子注入的 SiO<sub>2</sub> 的电气特性来看, 首先是抗 γ 射线和 VUV 照射的性能提高了<sup>[169]</sup>。其原因不是注入离子和辐照损伤的直接作用, 而是电子被离子注入产生的电子陷阱所俘获和空穴陷阱相互抵销的缘故。由于电子陷阱在 450~1000°C 下退火, 所以高温退火后的 SiO<sub>2</sub>, 其抗辐照性能有所降低。离子注入的 SiO<sub>2</sub> 的绝缘击穿与时间有关, 这种绝缘击穿可通过在电极附近注入离子而得到改善, Li 氏认为这种情况可用与电子束照射相同的机理来说明<sup>[170]</sup>。但 Fritzsche 等人提出另外的机理, 即因离子碰撞而移动的 Si 或 O 离子与电子碰撞的概率增大, 在 SiO<sub>2</sub> 中运动的电子的平均自由时间减小, 结果被加速到足够产生碰撞电离的能量的概率减小, 所以绝缘击穿电压上升。在这种情况下, 经 700°C、30 分钟的退火也能消除离子注入的影响。

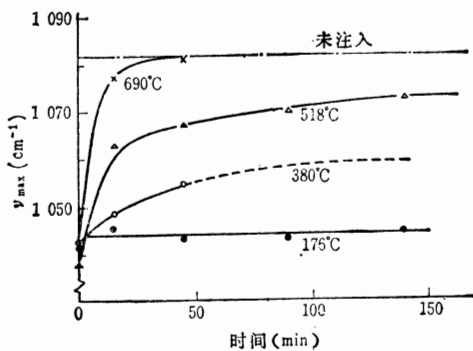


图5-94 从红外吸收 (9μm频带) 来看, 离子注入的 SiO<sub>2</sub> (P<sup>+</sup>; 3 × 10<sup>15</sup>/cm<sup>2</sup>) 的退火特性<sup>[168]</sup>

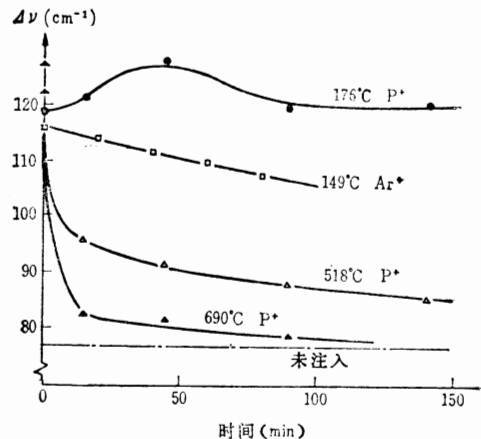


图5-95 在 SiO<sub>2</sub> 中注入 3 × 10<sup>15</sup>/cm<sup>2</sup> 的 P<sup>+</sup> (115keV) 和 Ar<sup>+</sup> (60keV) 时, SiO<sub>2</sub> 的红外吸收 (9μm 频带) 的半峰值退火特性<sup>[168]</sup>

### 5.2.6 结 耐 压

元件的微细化, 通过下面的因素而使源漏耐压降低, 即: (1) 由于栅氧化膜变薄造成的表面击穿电压降低, (2) 由于结变浅造成的结耐压降低, (3) 由于沟道区热载流子发生碰撞电离造成二次击穿。本章, 仅就第一个原因进行探讨。

#### (1) 结耐压与氧化膜厚度的关系

MOS 晶体管的漏结沟道边缘的耐压比本来的结耐压低。这是因为栅电极电位通过栅

氧化膜控制漏结表面电位，因而表面耗尽层宽度和电场强度发生变化，使产生雪崩击穿的漏电压发生变化。

结耐压与氧化膜厚度、栅电压的关系如图5-96所示<sup>[172]</sup>。漏结耐压 $V_{BR}$ 与栅电压 $V_G$ 及氧化膜厚度 $d_{SiO_2}$ 的关系为：

$$V_{BR} = V_G + E_{cr} \left( \frac{\epsilon_{Si}}{\epsilon_{ox}} \cdot d_{SiO_2} \cdot k \right)^{1/2} \quad (5.58)$$

式中， $E_{cr}$ 是沟道表面长度方向的电场强度的极限值， $k$ 是电场集中区的深度。当衬底浓度 $N_B = 6 \times 10^{14} / \text{cm}^3$ 时，突变结的耐压 $V_B = 430 \text{ V}$ （见图5-97）<sup>[173]</sup>。

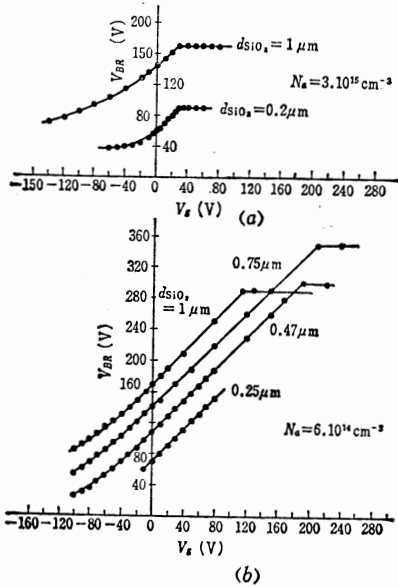


图5-96 结耐压与栅电压的关系<sup>[172]</sup>

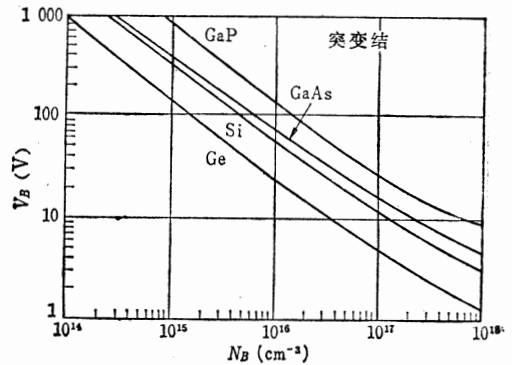
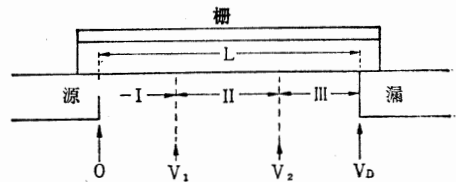


图5-97 突变pn结的耐压<sup>[173]</sup>

(2) 蠕变现象

由于雪崩击穿，热载流子注入到栅氧化膜中，并且被俘获，从而使结的雪崩电压上升，这种现象就称为蠕变<sup>[174]</sup>。在短沟道晶体管中，还会引起阈值电压的漂移<sup>[175]</sup>。假定在源、漏两个结中引起雪崩击穿，则如图5-98所示的 I 和 III 区中，由于注入栅氧化膜中的电子(p 沟道)被俘获，因而变成常导通状态(图5-99)，有效沟道长度减小到 $L - 2D$ 。在雪崩电压为 $-60 \text{ V}$ 时， $D$ 约为 $1 \mu\text{m}$  (图5-100)。俘获的电子密度( $N_{ss}$ )可近似为(见图5-101)<sup>[175]</sup>：

$$\Delta V_{BR} \approx \frac{1}{\epsilon_{Si}} \cdot \frac{\pi}{2} \cdot D \cdot q N_{ss} \quad (5.59)$$



|     | 沟道长度     | 阈值电压     |
|-----|----------|----------|
| I   | $D$      | $V_{TP}$ |
| II  | $L - 2D$ | $V_{TM}$ |
| III | $D$      | $V_{TP}$ |

图5-98 A-MOS中的阈值电压变化<sup>[175]</sup>



$\Delta V_{BR}$  是蠕变引起的耐压增加量。

蠕变电压  $\Delta V_{BR}$  是雪崩电流  $I_R$  和栅电压  $V_G$  的函数。Verwey 等人采用图 5-102 所示的带控制栅的圆形结 ( $\phi = 220\mu\text{m}$ ) 进行测定, 得出图 5-103, 图 5-104 的结果。  $N_{rr}$  与注入电流的比为俘获系数, 该系数  $F_{rr}$  是  $I_R$  和  $V_G$  的函数, 大约在  $10^{-9} \sim 10^{-7}$  范围<sup>[177]</sup>。

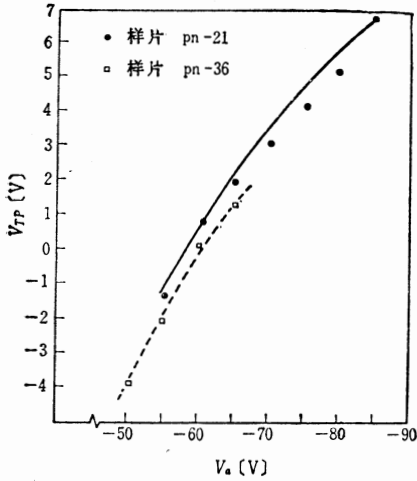


图5-99 雪崩注入引起的阈值电压漂移<sup>[176]</sup>  
(P沟,  $d_{\text{SiO}_2} = 2000 \text{ \AA}$ ,  $\rho_{\text{sub}} = 5\Omega\text{cm}$ )<sup>[176]</sup>

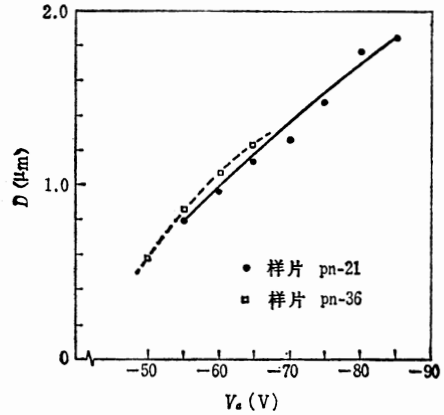


图5-100 雪崩注入引起的沟道变短<sup>[176]</sup>

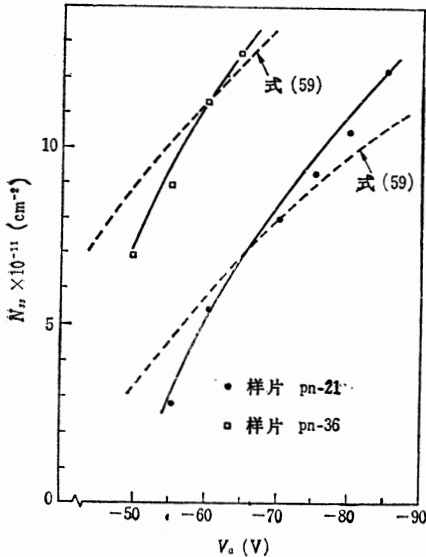


图5-101 由于雪崩注入, 在 $\text{SiO}_2$ 中产生的负电荷密度<sup>[176]</sup>

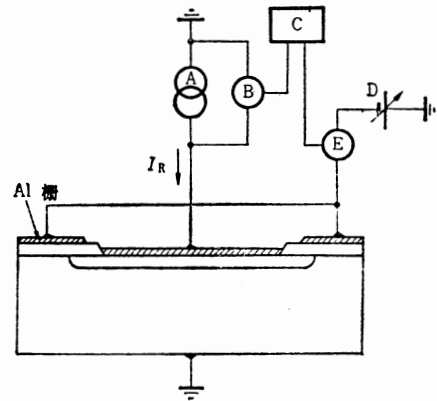
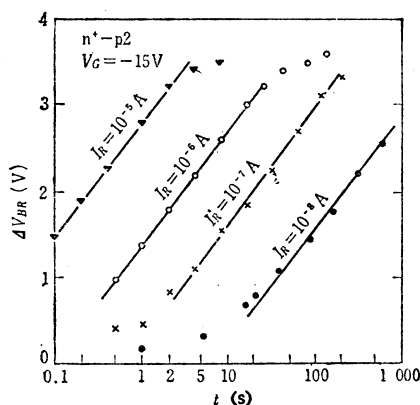
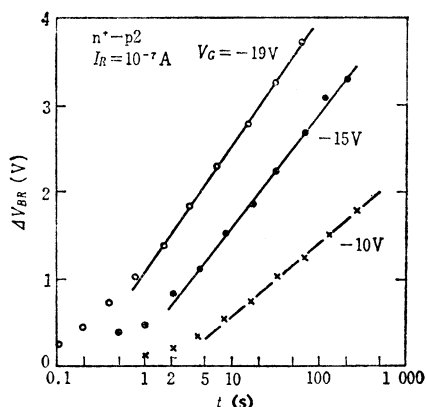


图5-102 带控制栅的pn结的雪崩注入<sup>[176]</sup>

图5-103 在 $n^+-p$ 结上的蠕变( $r = 220\mu\phi$ )<sup>[178]</sup>图5-104  $n^+-p$ 结上的蠕变( $r = 220\mu\phi$ )<sup>[178]</sup>

### 5.2.7 热载流子的产生

除上节叙述的雪崩击穿外，作为热载流子发生源，在强电场沟道中移动的载流子的碰撞电离而产生电子-空穴对也是一个问题。在 $n$ 沟MOSFET中，这些电子作为少数载流子除注入衬底外，也注入 $\text{SiO}_2$ 中。而且，空穴流动也成为衬底电流。如果在源结加正向偏压，由于双极作用空穴流动也成为不稳定的原因。注入到 $\text{SiO}_2$ 中的热载流子会引起阈值电压的变化，成为设计高密度器件的限制因素<sup>[178]~[181]</sup>，特别是成为与动态RAM信息保持不良有关的严重问题<sup>[82]</sup>。另外，即使在双极器件中，在发射结，也会雪崩击穿形成的载流子注入到 $\text{SiO}_2$ 中并被俘获，而引起电流放大系数下降，这一点早就为人们所认识<sup>[183]</sup>，并进行过详细的研究<sup>[184]</sup>。

#### (1) 电离系数

碰撞电离的产生过程，首先是电子被电场加速而处于热态，其动能有可能大于电离能 $\epsilon_i$ ，其概率是电离系数( $\alpha_i$ )。若把由电场引起的电子漂移看作麦克斯韦分布时，则 $\alpha_i$ 可用下式表示<sup>[185]</sup>：

$$\alpha_i = Ae^{-b/E} \quad (5.60)$$

式中， $A$ 为常数。 $b$ 用下式给出：

$$b = \epsilon_i(m^*\epsilon_R)^{1/2}/qh \quad (5.61)$$

式中， $m^*$ 为电子的有效质量， $\epsilon_R$ 为声子能量(=46.8meV)， $h$ 为普朗克常数(=6.6×10<sup>-27</sup>尔格秒)。假设 $m^*=0.39m_0$ ， $\epsilon_i=1.6\text{eV}$ ，则 $b=1.8\times 10^8\text{V/cm}$ (300K)，表明与实验值很一致<sup>[6]</sup>。 $A$ 值约为 $1.5\times 10^6/\text{cm}$ 。

当求电离系数 $\alpha_i$ 时，确定电场强度 $E$ 特别重要。假设靠近漏端的沟道夹断区的平均电场强度为 $E_r$ ，则它由三部分构成。第一部分 $E_1$ 是漏区耗尽层内的固有电荷产生的电场强度；第二部分 $E_2$ 是栅和漏间的边缘电场强度；第三部分 $E_3$ 是栅和沟道夹断点(电压 $V_{Dsat}$ )的边缘电场强度。这三部分电场强度分别表示为：

$$E_1 = \left( \frac{2\epsilon_{\text{Si}}}{qN_B} \right)^{-1/2} (V_D - V_{Dsat})^{1/2} \quad (5.62)$$

$$E_2 = \alpha \frac{\epsilon_{ox}}{\epsilon_{Si}} \frac{V_D - V'_G}{d_{SiO_2}} \quad (5.63)$$

$$E_3 = \beta \frac{\epsilon_{ox}}{\epsilon_{Si}} \left( \frac{V'_G - V_{Dsat}}{d_{SiO_2}} \right) \quad (5.64)$$

式中,  $V'_G = V_G + Q_{ox}/C_0$  因此

$$E_T = E_1 + E_2 + E_3 \quad (5.65)$$

夹断区的长度  $l_{dep}$  为

$$l_{dep} = \frac{V_D - V_{Dsat}}{E_T} \quad (5.66)$$

### (2) 热载流子注入 SiO<sub>2</sub> 的效率

在半导体中, 被加速而变热的载流子注入到绝缘膜中的现象很早就已发现<sup>[186]</sup>, 而随着 MOS FET 的沟道变短, 再次受到重视。碰撞电离产生的热载流子注入到 SiO<sub>2</sub> 中的概率  $P_{i0}$ , 可定义为能量高于 SiO<sub>2</sub> 势垒  $E_B$  的电子分布同所有电子能量范围内的电子分布之比<sup>[187]</sup>, 即

$$P_{i0} = \frac{\int_{E_B}^{\infty} f_E(E) dE}{\int_0^{\infty} f_E(E) dE} = 1 - \frac{2}{\sqrt{\pi}} \int_0^{\epsilon_B} \sqrt{\epsilon} e^{-\epsilon} d\epsilon \quad (5.67)$$

式中,  $\epsilon = E/kT$ ,  $\epsilon_B = E_B/kT_e$ , 电子温度  $T_e$  为<sup>[187]</sup>

$$kT_e = \frac{E_0}{\frac{1}{2} + \left( \frac{1}{4} + \frac{E_0}{\gamma E_\gamma} \right)^{1/2}} \quad (5.68)$$

式中,

$$E_0 = \frac{qE\tau l_\gamma}{\gamma E_\gamma} \quad (5.69)$$

$l_\gamma$  是放出声子所需要的电子的平均自由行程 ( $=60 \text{ \AA}$ ),  $E_\gamma$  是拉曼光声子能量 ( $=0.063 \text{ eV}$ ),  $\gamma$  是电子产生碰撞电离需要的平均自由行程  $l_i$  与  $l_\gamma$  的比, 即  $\gamma \equiv l_i/l_\gamma$ 。

当  $\epsilon_B \geq 4$  时, (5.67) 式可简化为

$$P_{i0} = ae^{-\epsilon_B} \quad (\epsilon_B \geq 4) \quad (5.70)$$

式中,  $a = 1.874$ ,  $B = 0.926$ 。  $P_{i0}$  与  $\epsilon_B$  的关系如图 5-105 所示<sup>[187]</sup>。这些电子在 Si-SiO<sub>2</sub> 界面散射, 因而不能全部注入, 假设散射系数为  $S$ , 则注入效率  $\eta_i$  为:

$$\eta_i = \frac{I_G}{I_R} = P_{i0} \cdot S \quad (5.71)$$

作为  $\eta_i$  大小的一个例子, Bulucea 给出  $\eta_i = 4.3 \times 10^{-4}$ , 这个值与实验值  $(2.4 \sim 5.0) \times 10^{-4}$  比较一致 (见图 5-106)<sup>[188]</sup>。

### (3) 热载流子向衬底发射

碰撞电离产生的热载流子, 大部分作为少数载流子向衬底发射。由多数载流子引起的衬底电流  $I_{sub}$  为

$$I_{sub} = I_D \alpha_i (E_T) l_{dep} \quad (5.72)$$

由于  $\alpha_i$  在 MOSFET 处于饱和和工作状态时具有较大的值, 所以  $I_{sub}$  在某一栅压下具有峰值。有  $I_{sub}$  存在的状态下, 向硅衬底发射的少数载流子, 通过设置在晶体管附近并偏置成深耗

尽型的 MOS 电容器来检测 (C-t 法<sup>[189],[190]</sup>)。  $I_{sub}$  和用 C-t 法求出有效载流子产生寿命  $\tau_g$  的关系如图 5-107 所示<sup>[191]</sup>。在动态 RAM 采用的单管-单电容单元中, 热载流子造成的电荷损失如图 5-108 所示。它示出测试用晶体管的漏极电压变化所引起的热载流子数量的变化; 当  $V_D = 1 \sim 5 \text{ V}$  ( $V_{sub} = -5 \text{ V}$ ) 时则不会引起变化。

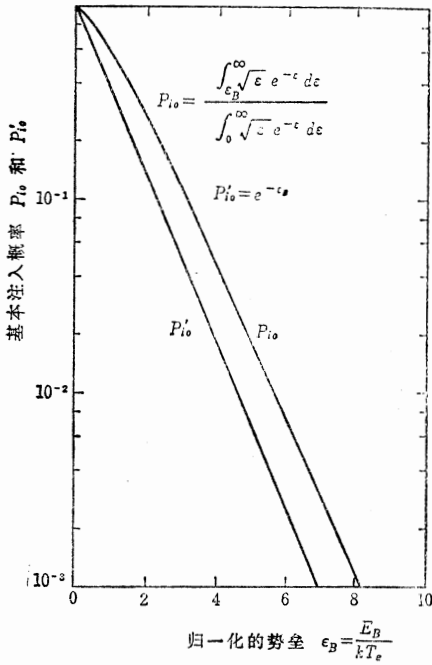


图5-105 注入概率和势垒能量的关系<sup>[187]</sup>

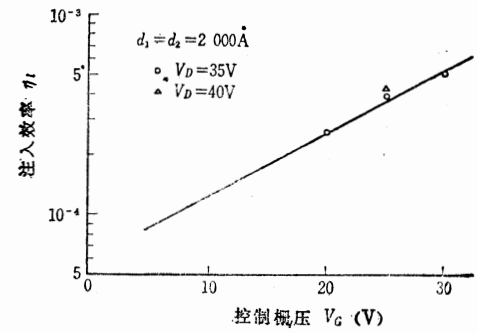


图5-106 电子的注入效率<sup>[188]</sup>

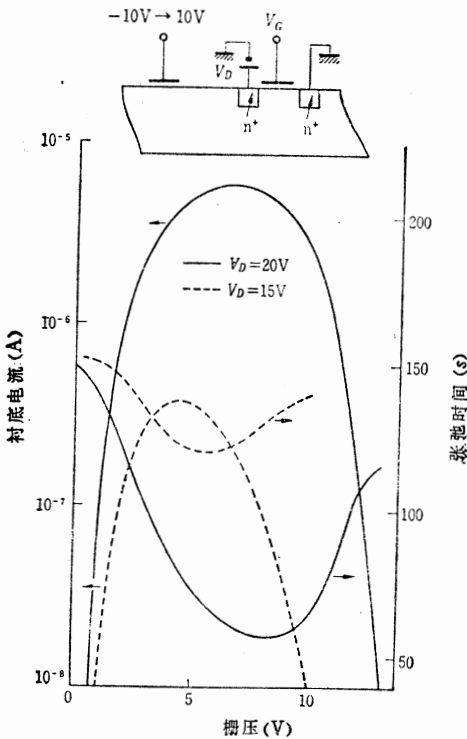


图5-107 由沟道电子碰撞电离引起的衬底电流和少数载流子的发射<sup>[191]</sup>

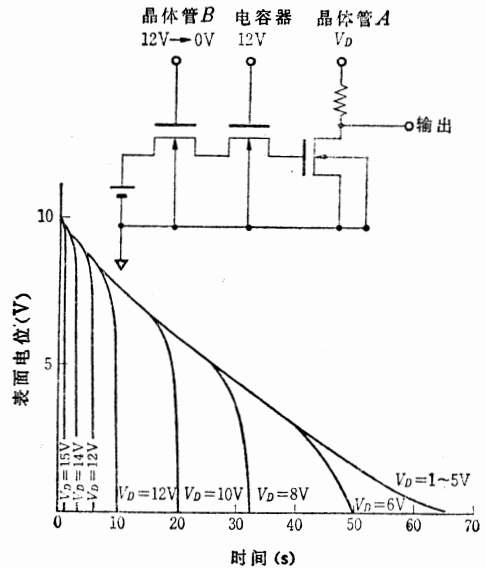


图5-108 热载流子造成的表面电位衰减<sup>[191]</sup>

这种饱和工作的 MOS 晶体管发射的热载流子的行迹，可通过设置在其附近的 CCD 阵列准确地检测（图 5-109 中，MOS 晶体管离 CCD 阵列的最短距离为  $56\mu\text{m}$ ）。流过 P 型 Si 衬底表面的少数载流子（电子）的通量  $J_n(r)$  用下式表示：

$$J_n(r) = \frac{qD_n}{L_n} \{n_p(0) - n_{p0}\} e^{-r/L_n} \quad (5.73)$$

式中， $D_n$  是电子扩散系数， $L_n$  是扩散长度， $n_p(0)$  是  $r = 0$  时的全电子密度， $n_{p0}$  是热平衡状态下的电子密度。 $n_p(r)$  的实测值和对应的计算值如图 5-110 所示， $L_n$  已求出为  $65 \sim 70\mu\text{m}$ <sup>[182]</sup>。

发射到衬底中的少数载流子，会给器件的动态工作特性带来很大影响。在图 5-111 中，示出 16 k 位动态 RAM 的再生时间 ( $i_{ref}$ ) 的恶化及其对应的  $n_p(r)$ <sup>[182]</sup>。图中  $\oplus$  点是在

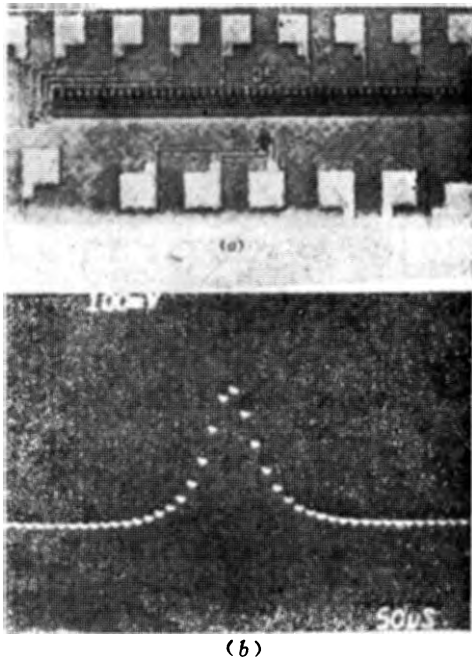


图5-109 CCD阵列检测过剩载流子<sup>[181]</sup>  
(a) 注入热载流子的MOS晶体管和CCD阵列，  
(b) CCD阵列检测出的信号。

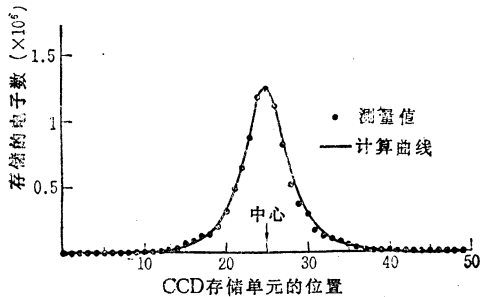
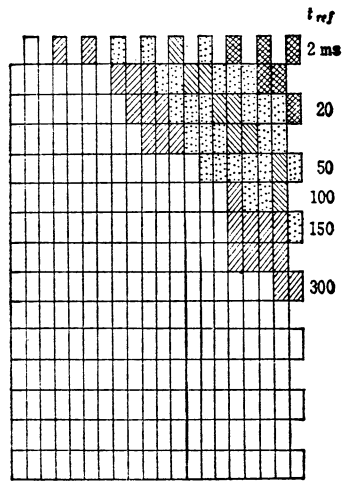
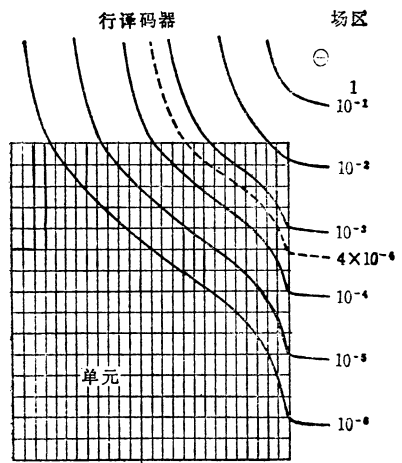


图5-110 由CCD阵列检测出的过剩电子信号



(a)



(b)

图5-111 少数载流子发射造成的16k位动态RAM的性能恶化<sup>[182]</sup>

(a) 恶化图，(b) 发射电子密度的计算值。

$V_{DD}=12\text{V}$ 、 $V_{BB}=-5\text{V}$ 下饱和工作的晶体管的位置，当  $n_p(r)/n_p(0)$  衰减到  $10^{-6}$  左右时，从图中可看出影响是很显著的。

### 5.3 Si-SiO<sub>2</sub> 界面存在的问题

有关 Si-SiO<sub>2</sub> 界面和 SiO<sub>2</sub> 的大量研究结果表明其基本问题大致清楚了，特别是外因性的杂质的影响应抑制到最小限度，直到能完全控制其工艺条件。今后要解决的重要问题，除没有杂质的 Si-SiO<sub>2</sub> 界面稳定性是否提高外，还有 Si-SiO<sub>2</sub> 界面的结构或电化学问题。在高电场工作的MOSFET中，预计这些问题对于由热载流子造成的Si-SiO<sub>2</sub>界面特性的恶化，对于由Si-SiO<sub>2</sub>系电化学反应造成的特性恶化以及可靠性的下降有着重要的影响。本章就有关从Si向SiO<sub>2</sub>过渡的中间区的问题，与这个过渡区有关的固定电荷和界面能级的问题，以及注入到SiO<sub>2</sub>中的热电子的俘获的问题进行探讨。

#### 5.3.1 Si-SiO<sub>2</sub> 界面的过渡区

这个区域是从Si相变化到SiO<sub>2</sub>相的区域，很容易推断这个区域存在着多余的Si。但用目前的分析手段，还不能完全定量分析这一过渡区的化学性质。不过，正在借助俄歇电子能谱仪(AES)<sup>[111]、[198]</sup>，离子散射能谱仪(ISS)<sup>[194]</sup>，X射线光电能谱仪(XPS或ESCA)<sup>[195]、[199]、[110]</sup>，或透射电子显微镜等，积极地进行观察和分析。

Johanessen等人<sup>[111]</sup>根据AES的观察结果，最初认为这个界面区(包括Si-SiO<sub>2</sub>界面的凹凸)为35Å，且在SiO<sub>2</sub>中存在Si的夹杂物。但后来根据考查电子的逸出深度和由溅射建成的离子击出效应的实验作了修正，如图5-112所示界面区为20Å，过渡区为8Å以下<sup>[198]</sup>。另外，他们认为，这个界面凹凸的周期在100μm以下。

根据ISS的观察，对于在600°C下HCl/水汽氧化的Si(100)上的SiO<sub>2</sub>来说，过渡区相当于4~5个分子层，即15~20Å，这个区域多余的Si比SiO<sub>2</sub>多20%，为1.4×10<sup>14</sup>/cm<sup>2</sup><sup>[194]</sup>。进而根据XPS的观察，这个过渡区的厚度在(100)面上为12.5Å，在(111)面上为15Å，其成分前者为SiO<sub>1.35</sub>，后者为SiO<sub>1.15</sub>(参照表5-7)。

另外，据报导，根据高分辨率电子显微镜的观察，界面凹凸在4Å之内<sup>[198]</sup>，在高于10Å的分辨率下没有观察到相分离<sup>[197]</sup>。

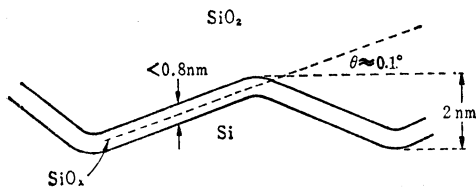


图5-112 Si-SiO<sub>2</sub>界面的过渡区(俄歇分析)<sup>[198]</sup>

表5-7 在硅衬底上热生长的极薄的硅氧化膜中的界面过渡区

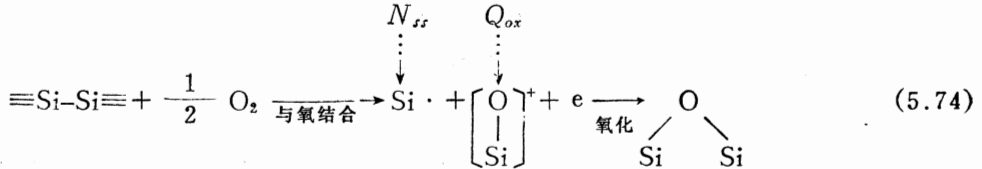
|                                   | [100]                  | [111]                  |
|-----------------------------------|------------------------|------------------------|
| 第一层(2.5 Å)成分                      | SiO <sub>1.35</sub>    | SiO <sub>1.15</sub>    |
| 过渡区宽度(Å)                          | 12.5                   | 15                     |
| 过渡区的非氧化的Si-Si键(cm <sup>-2</sup> ) | 0.9 × 10 <sup>15</sup> | 1.6 × 10 <sup>15</sup> |

#### 5.3.2 Si-SiO<sub>2</sub> 界面的电气特性

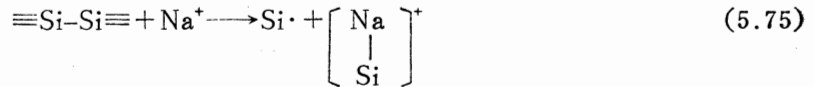
通过光激励或其它方法使热载流子注入SiO<sub>2</sub>，是研究SiO<sub>2</sub>或界面上存在的电荷及俘

获能的有效手段。Powell 等人通过光注入研究 Si-SiO<sub>2</sub> 界面附近的固有电荷的界面能级, 得出固定电荷存在于离界面 20 Å 之内的结论<sup>[199]</sup>。这个结果暗示与上节过渡区有关。

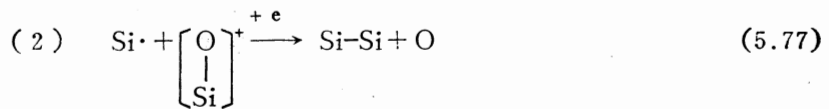
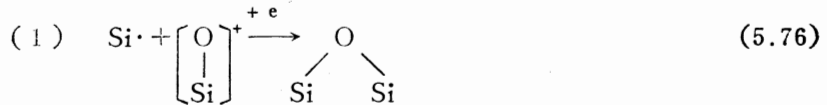
Raider 等人根据 XPS 的实验结果, 提出固定电荷  $Q_{ox}$  和界面能级  $N_{ss}$  的产生机理模型<sup>[200]</sup>。根据这个模型, Si-Si 键距离为 2.4 Å, Si-O-Si 结构与其不同, 其 Si 相互之间的距离为 3 Å, 因此在界面上产生由配错造成的横向变形, 这时为使应力最小, 必然形成悬挂键。根据硅的氧化或与氧结合, 有如下的反应:



在这种与氧结合的过程中形成的正电荷为  $Q_{ox}$ , 硅的悬挂键为  $N_{ss}$ 。另外, 在 Si-SiO<sub>2</sub> 界面上也容易存在 Na 等元素, 这可用下式说明:



于是, Raider 等人根据这种情况指出, 要想减少  $Q_{ox}$ , 只要完全氧化或除去氧而脱离与氧结合的状态就行, 即



一般认为, 这种模型还需要进一步从别的方面加以讨论, 进行定量分析。根据 XPS 的实验, 在上述过渡区中, 未氧化的 Si-Si 键的数目在 (100) 面为  $0.9 \times 10^{15}/\text{cm}^2$ , 在 (111) 面约为  $2 \times 10^{15}/\text{cm}^2$  (见表 5.7)<sup>[199]</sup>。

由于靠近 Si-SiO<sub>2</sub> 界面存在着这种能级, 硅表面的电子或空穴更容易因隧道效应而被俘获或放出<sup>[201]~[203]</sup>。界面能级和 Si 表面之间的载流子交换将影响 C-V 特性<sup>[201]</sup>、噪声<sup>[204]、[205]</sup> 或 MOS 晶体管的跨导。通到 SiO<sub>2</sub> 中的隧道距离由下式给出<sup>[202]</sup>:

$$x = (1/2k) \ln t/t_0 \quad (5.78)$$

式中,  $k$  为衰减系数,  $t$  为隧道渡越时间,  $t_0$  为时间常数。  $\frac{1}{2k}$  大约为 1 Å。表面能级和陷阱间的隧道时间常数为<sup>[201]</sup>:

$$t_0 = \frac{m_{ox}^2 x}{2\pi\hbar^3 k N_{ss}} \left[ 1 + \frac{1}{2kx} \right] (\text{s}^{-1}) \quad (5.79)$$

式中,  $m_{ox}$  是 SiO<sub>2</sub> 中电子的有效质量,  $N_{ss}$  的单位为  $\text{cm}^{-2} \cdot \text{V}^{-1}$ 。若  $x = 4 \text{ Å}$ , 则  $10^{12} < t_0^{-1} < 10^{14}$ 。Maserjian 等人在与热激发过程无关的液氮温度下, 进行隧道渡越实验, 得到图 5-113 所示的结果。从这个结果来看, 陷阱的分布在离 Si-SiO<sub>2</sub> 界面 20~21 Å 处存在峰值; 栅的负偏压越高, 陷阱密度越大。

对于同热激励产生的界面能级的载流子交换, 可用瞬变电容量谱学 (TCS) 的方法进行研究<sup>[206]</sup>。在 p 型硅衬底上的 MOS 电容器上, 能测出两种受主能级, 一种是与温度有密切关系的电子俘获中心, 另一种是与温度无关的、有大俘获截面积 (约  $5 \times 10^{-18} \text{cm}^2$ ) 的空穴俘获中心。一般认为, 前者与晶格松弛造成的多声子发射过程有关<sup>[207]</sup>, 其俘获截面的激活能为 89meV。

以上看到的现象, 仅是最近报导的有关 Si-SiO<sub>2</sub> 界面现象的少数例子, 据称都与 Si-SiO<sub>2</sub> 界面的结构缺陷有关, 两者的对应关系有待于今后进行研究。

关于辐照损伤, 也考虑到 Si-SiO<sub>2</sub> 界面上存在的俘获中心并非全部由辐照形成, 也有本来就存在的缺陷<sup>[160]</sup>。一般认为, 辐照产生的电子-空穴对, 只有空穴在 Si-SiO<sub>2</sub> 界面附近有选择性地被俘获。尽管 SiO<sub>2</sub> 中的空穴迁移率很小, 但在仅被 SiO<sub>2</sub> 表面吸收的 VUV 光照射时, 甚至只加负偏压, 空穴依然在 Si-SiO<sub>2</sub> 界面积累, 这是有趣的现象。Weinberg 等人提出由于激子的形成及其扩散, 将空穴运送到 SiO<sub>2</sub> 中的模型。

### 5.3.3 热载流子注入 SiO<sub>2</sub> 中

注入到 SiO<sub>2</sub> 中的热载流子, 被俘获中心俘获, 引起阈值电压漂移, 因而改变 MOS 晶体管的工作特性, 这是不利的一面。另一方面也可作为探索俘获状态, 研究 SiO<sub>2</sub> 结构的积极手段加以利用。关于热载流子形成的各种方法正在进行研究。

#### (1) 阈值电压的漂移

首先考虑在工作上成为问题的热载流子注入。当 MOS 晶体管的漏结上加反偏压引起雪崩击穿时, 热载流子向 SiO<sub>2</sub> 注入的程度对于电子和空穴来说是不同的 (图 5-114、图 5-115)<sup>[210]</sup>。空穴的注入效率比电子至少低一个数量级。

注入的载流子一旦被俘获, 就产生阈值电压漂移。图 5-116 是个例子<sup>[211]</sup>。该实验表明, 采用具有浮栅的 SAMOS 结构元件<sup>[188]</sup> ( $W/L = 5/6$ ), 且在注入的热电子在沟道中渡越的情况下, 当  $V_D = 20 \text{V}$ 、 $V_G = 24 \text{V}$  时, 电流流过 0 ~ 27 分钟后, 阈值电压发生漂移。图中所表示的值是源、漏极性改变时, SiO<sub>2</sub> 中局部俘获电子而形成 5 极管区的阈值电压漂移。在这个例子中, 电子的俘获效率约为 0.6%。

俘获效率随着 SiO<sub>2</sub> 的形成条件的不同而变化, 湿氧化比干氧化高。当然, 注入的载流子数越多漂移量越大, 但由于元件结构参数的不同, 变化量有很大的差别。如表 5-8 ~ 5-11 所示,  $X_i$  越浅, 衬底密度越高, 则漂移量越大<sup>[178]</sup>。

以上的例子是外加电压远大于实际器件工作电压的情况, 而在通常工作电压电平下产生注入的情况如图 5-117 所示 (SAMOS 结构)<sup>[212]</sup>。工作温度越低, 这种热电子注入越显著<sup>[211]</sup>。

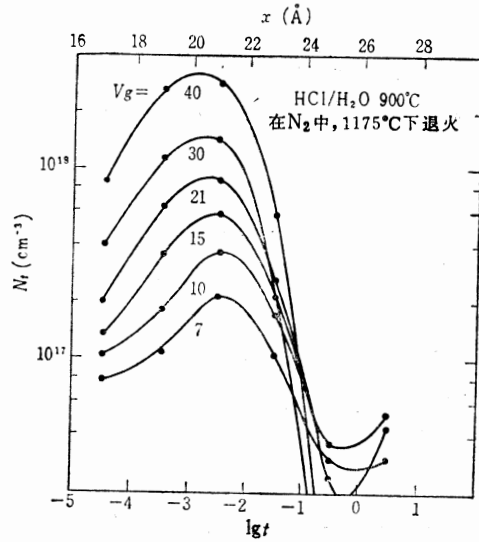


图5-113 隧道渡越引起的陷阱分布<sup>[202]</sup>



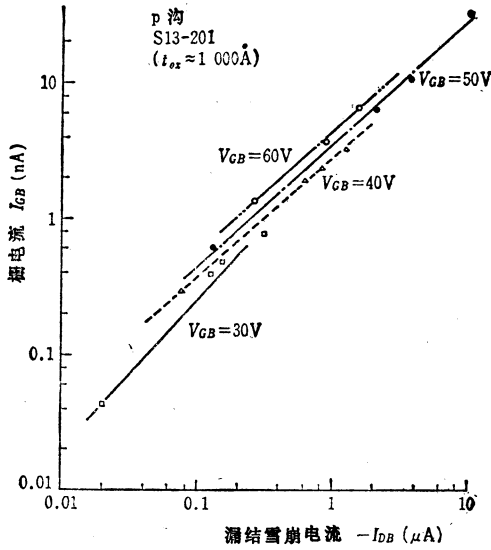


图5-114 雪崩注入（漏结）引起的栅电流（p沟）<sup>(210)</sup>

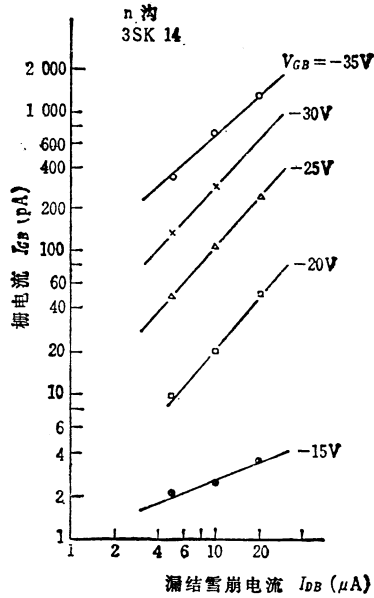


图5-115 雪崩注入引起的栅电流（n沟）<sup>(210)</sup>

表5-8<sup>(178)</sup>

15μm器件（2% HCl氧化绝缘层）  
的 $\Delta V_{GR}$ 。  $V_{sx} = -3V$ ,  $N_a = 2.6 \times 10^{16}$

| $V_G = V_D$ (V) | $\Delta V_{GR}$ (mV) (100min) |
|-----------------|-------------------------------|
| 15              | 25                            |
| 17.5            | 45                            |
| 20              | 100                           |
| 25              | 700                           |

表5-9<sup>(178)</sup>

15μm器件（300/300 SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>栅绝缘层）  
的 $\Delta V_{GR}$ 。  $V_{sx} = -3V$ ,  $N_a = 2.6 \times 10^{16}$

| $X_j$ (μm) | $\Delta V_{GR}$ (mV) (100min) |
|------------|-------------------------------|
| 1          | 3500                          |
| 3.75       | 900                           |

表5-10<sup>(178)</sup>

在 $V_G = V_D = 12.5V$ 和 $V_{sx} = 0$ 下，10min的  
 $\Delta V_{GR}$ 。 300/300SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>栅，  $N_a = 1.2 \times 10^{16}$

| $L$ (μm) | $\Delta V_{GR}$ (mV) |
|----------|----------------------|
| 5        | 26                   |
| 3.75     | 90                   |
| 3        | 260                  |
| 2.5      | 700                  |

表5-11<sup>(178)</sup>

15μm器件（ $V_G = V_D = 15V$ ,  $V_{sx} = -3V$ ,  
300/300SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>栅）的 $\Delta V_{GR}$

| $N_A$ (cm <sup>-3</sup> ) | $\Delta V_{GR}$ (mV) (2min) |
|---------------------------|-----------------------------|
| $2.6 \times 10^{16}$      | 800                         |
| $8 \times 10^{15}$        | 10                          |

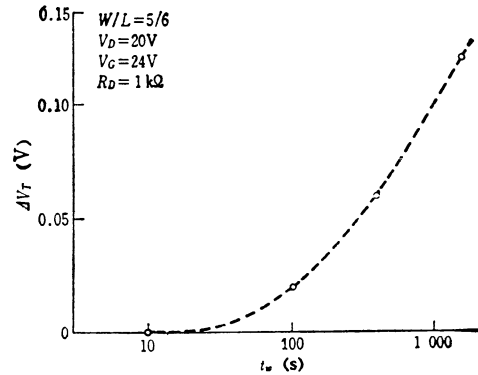
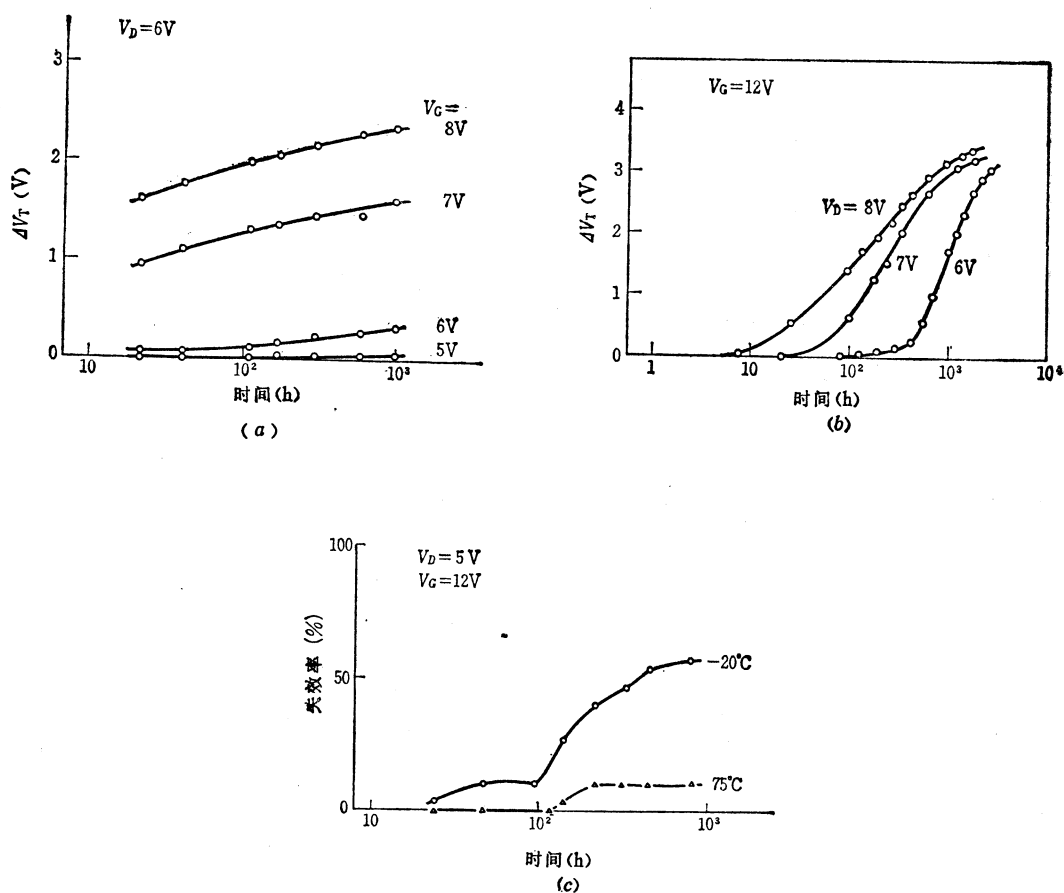


图5-116 注入的热载流子俘获引起的阈值电压漂移（源和漏极性改变时之差）

图5-117 n 沟道的热电子对浮栅的注入<sup>[212]</sup>

(a)  $\Delta V_T$ 与 $V_G$ 的关系; (b)  $\Delta V_T$ 与 $V_D$ 的关系; (c) 失效率与温度的关系。

## (2) $SiO_2$ 的结构分析

下面研究作为结构分析手段的热载流子注入。在采用体硅雪崩注入法的实验中<sup>[212]</sup>, 在n型硅和p型硅的MOS中分别注入空穴和电子, 在相同的栅压下, 注入电流前者比后者大约小5个数量级<sup>[214]</sup>。

被俘获的注入电荷的分布用下式描述:

$$N(x) = N_0 \exp(-x/x_0) \quad (5.80)$$

式中,  $x$  是从  $SiO_2$  表面起在  $Si-SiO_2$  界面方向上测得的距离,  $N_0$ 、 $x_0$  是常数。干氧化时的电子注入的分布如图 5-118 所示<sup>[214]</sup>。

雪崩引起电子注入造成的  $SiO_2$  带电和界面能级的产生情况与  $SiO_2$  中含有的  $H_2O$  有关<sup>[143]</sup>。电子注入引起的界面能级的产生在水汽氧化条件下比较显著, 注入后, 从注入前的  $1.2 \times 10^{11} \text{cm}^{-2} \cdot \text{V}^{-1}$  增加到  $7.9 \times 10^{11} \text{cm}^{-2} \cdot \text{V}^{-1}$ 。干氧化物不带电, 用  $150^\circ C$  的水汽(湿  $N_2$ ) 处理 (10min) 时, 如图 5-119 所示,  $\Delta V_{FB}$  与水汽的分压成正比增加<sup>[143]</sup>。在进行这种湿  $N_2$  处理时, 由于  $H_2O$  不能到达  $Si-SiO_2$  界面, 界面能级在电子注入前后不变, 均为  $1.7 \times 10^{12} \text{cm}^{-2} \cdot \text{V}^{-1}$ 。

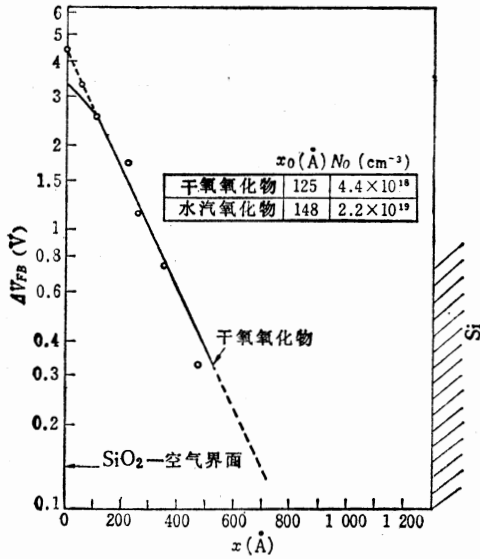


图5-118 雪崩注入的电子在SiO<sub>2</sub>中俘获引起的V<sub>FB</sub>的漂移<sup>[143]</sup>

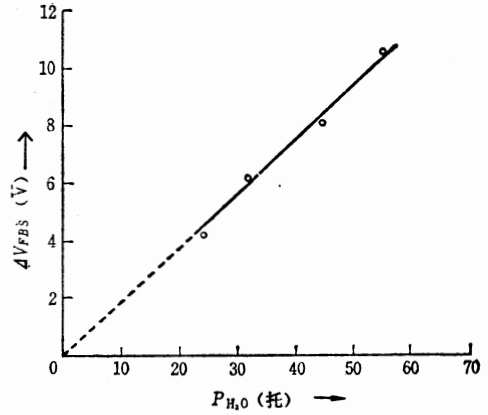


图5-119 由于150°C湿N<sub>2</sub>处理(10min)后的SiO<sub>2</sub>带电而引起V<sub>FB</sub>的漂移与H<sub>2</sub>O分压的关系<sup>[143]</sup>

电子注入引起 SiO<sub>2</sub>带电的机理可用 SiO<sub>2</sub>中的电化学反应加以说明, 即 SiO<sub>2</sub>中存在的 SiOH 俘获电子, 使氢原子游离扩散, 结果留下 SiO<sup>-</sup>。据说, 这种电荷在紫外线和电子束照射下不能退火, 而在含水分的气氛中可以退火, 其激活能为 0.35eV。该值和 pn 结的离子性蠕变恢复的激活能是一致的<sup>[215]</sup>。

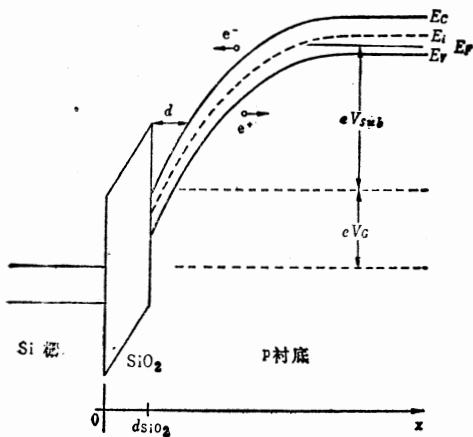


图5-120 光生热电子注入法<sup>[216]</sup>

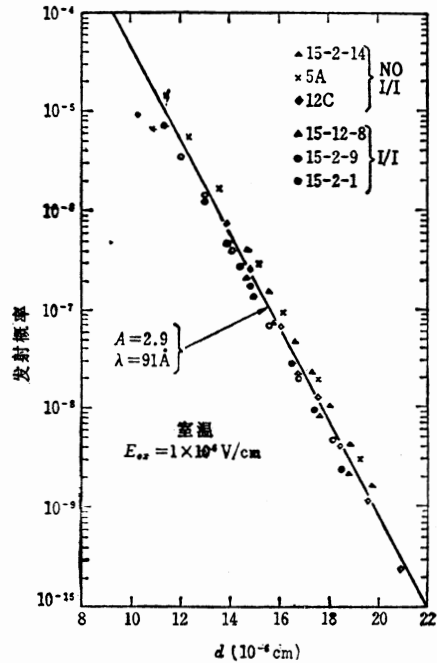


图5-121 光生热电子的发射概率<sup>[217]</sup>

另外, 要研究光生热电子注入, 有效的方法是采用 MOS 晶体管, 在如图 5-120 所示的偏置下, 用光照射形成电子-空穴对, 于是能量大于 Si-SiO<sub>2</sub> 界面势垒的电子 (lucky electron) 就注入到 SiO<sub>2</sub> 中<sup>[216]</sup>。自硅表面发射电子的概率  $P$  可用下式加以说明 (图 5-121)<sup>[217]</sup>:

$$P = A \exp(-d/\lambda) \quad (5.81)$$

式中,  $A$  为常数 ( $=2.9$ ),  $\lambda$  是电子和光声子碰撞的平均自由程,  $d$  示于图 5-120 中。这样, 注入电子的有效俘获效率与注入载流子的量值关系如图 5-122 所示<sup>[216]</sup>。俘获截面积在低电平注入时为  $3.3 \times 10^{-13} \text{cm}^2$ , 在高电平注入时为  $2.4 \times 10^{-19} \text{cm}^2$ 。

### (3) SiO<sub>2</sub> 中的俘获中心

电子俘获中心的性质, 对电子来说, 有的有库仑引力, 有的呈中性, 有的有斥力。其俘获截面积分别为  $10^{-15} \sim 10^{-12} \text{cm}^2$ ,  $10^{-17} \sim 10^{-15} \text{cm}^2$  和  $10^{-17} \text{cm}^2$  以下。Ning 等人<sup>[217]</sup> 提出有效俘获效率 ( $\eta_{eff}$ ) 与注入电流 ( $J_G$ ) 和阈值电压变化量 ( $\Delta V_T$ ) 的关系如下:

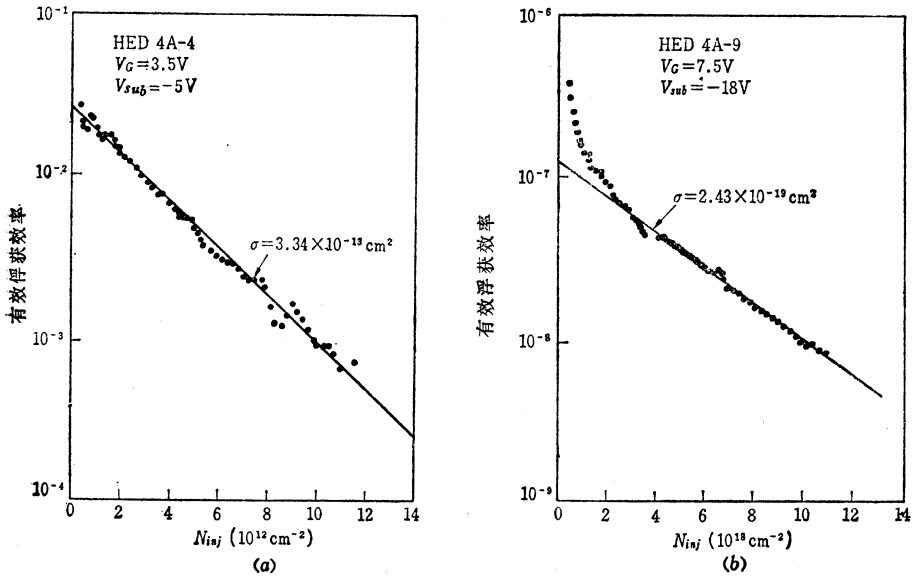


图5-122 有效俘获效率 (电子)<sup>[216]</sup>

(a) 低电平注入; (b) 高电平注入。

$$\eta_{eff} \equiv \frac{d(C_{ox} \Delta V_T)/dt}{J_G} = \sigma (N_{TT})_{eff} \exp(-\sigma N_{inj}) \quad (5.82)$$

式中,  $(N_{TT})_{eff} = (\bar{x}/d_{SiO_2}) N_{TT}$ ,  $\bar{x}$  是陷阱分布的中心距离,  $N_{TT}$  是实际的陷阱密度。因此, 若画出  $\eta_{eff}$  与  $N_{inj}$  的对应关系曲线, 就得到图 5-122, 根据图中直线斜率求出  $\sigma$ , 根据直线与  $N_{inj} = 0$  的交点求出  $\sigma (N_{TT})_{eff}$ 。Ning 等人根据  $(N_{TT})_{eff}$  和  $V_{FB}$  变化有一一对应关系, 得出 SiO<sub>2</sub> 中的正电荷成为俘获中心的结论。此时的俘获截面积为  $(3 \pm 2) \times 10^{-13} \text{cm}^2$ 。

$(N_{TT})_{eff}$ 、 $\eta_{eff}$  与氧化条件 (1000°C 氧化) 的关系以及退火 (1050°C, 干 N<sub>2</sub>) 对  $(N_{TT})_{eff}$ 、 $\eta_{eff}$  的影响分别如表 5-12、5-13 所示<sup>[219]</sup>。由此可知, 随着水分的增加,  $\eta_{eff}$  增

大, 由于在  $N_2$  中退火,  $(N_{TT})_{eff}$  和  $\eta_{eff}$  在含 3%  $H_2O$  的氧化条件下几乎一致。Ning 提出俘获截面积随着  $SiO_2$  中电场  $E_{ox}$  的变化, 即在高电场下, 电子被加速 (电子被加热), 俘获概率减小, 俘获截面积与  $E_{ox}^{-3}$  有线性关系 (见图 5-123、图 5-124)<sup>[220]</sup>。

表 5-12<sup>[218]</sup>

(100)Si (掺 B,  $0.4\Omega \cdot cm$ ) 上的  $SiO_2$  俘获参数

| 氧化类型               | 初始 $V_{FB}$ (V) | 有效饱和俘获密度 ( $\times 10^{11}/cm^2$ ) | 有效俘获效率 ( $\times 10^{-6}$ ) <sup>①</sup> | 羟基浓度 (w/o) |
|--------------------|-----------------|------------------------------------|--|------------|
| 干 $O_2$            | -1.28           | 17                                 | 5.7                                      | 未发现        |
| 干 $O_2 + 3\% HCl$  | -1.28           | 18                                 | 16                                       | 未发现        |
| 干 $O_2 + 3\% H_2O$ | -1.24           | 23                                 | 58                                       | —          |
| 水汽                 | -1.51           | 39                                 | 180                                      | 0.10       |
| CVD                | -1.20           | 56                                 | 520                                      | 0.44       |
| 掺硼 CVD             | -0.80           | 57                                 | 5000                                     | 0.45       |

① 俘获密度为  $1 \times 10^{12}e/cm^2$  时。

表 5-13<sup>[219]</sup>

高温  $N_2$  退火 ( $1050^\circ C$ ) 后的  $SiO_2$  俘获参数

| 氧化类型               | 初始 $V_{FB}$ (V) | 有效饱和俘获密度 ( $\times 10^{11}/cm^2$ ) | 有效俘获效率 ( $\times 10^{-6}$ ) <sup>①</sup> |
|--------------------|-----------------|------------------------------------|--|
| 干 $O_2$            | -0.91           | 25                                 | 59                                       |
| 干 $O_2 + 3\% HCl$  | -0.85           | 22                                 | 24                                       |
| 干 $O_2 + 3\% H_2O$ | -0.86           | 22                                 | 29                                       |
| 水汽                 | -0.77           | 28                                 | 66                                       |
| CVD                | -0.65           | 24                                 | 29                                       |

① 俘获密度为  $1 \times 10^{12}e/cm^2$  时。

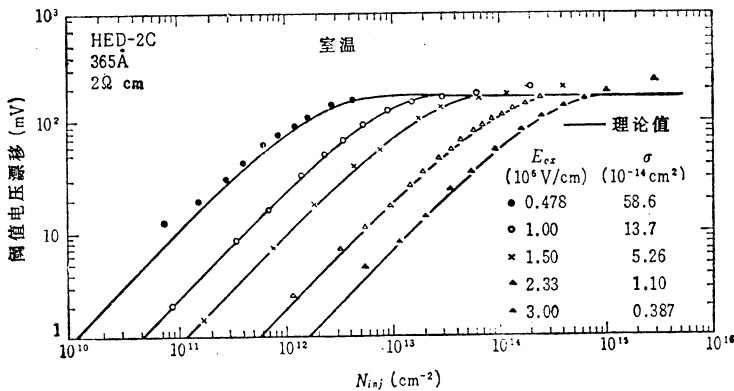


图 5-123 俘获效率与电场的关系<sup>[220]</sup>

据观察, 在 Fowler-Nordheim 发射电场下, 发生电子注入, 在 Si-SiO<sub>2</sub> 界面开始俘获的同时, 界面电场变弱, 注入电流减小<sup>[221]</sup>。Solomon 在这个实验中设定  $\sigma$  为  $10^{-19}cm^2$ ,  $N_{TT}$  为  $10^{12}cm^{-2}$ , 确认俘获的电子存在于离 Si-SiO<sub>2</sub> 界面不超过 10 Å 的范围内。

下面讨论空穴在 SiO<sub>2</sub> 中的迁移和俘获。正如前面所讨论的那样, 一般认为空穴的迁移与高能射线辐照形成的正电荷密切相关, 但在 SiO<sub>2</sub> 中, 空穴的迁移率很低<sup>[34]</sup>, 传导机理特殊, 俘获效率高, 这些是其特点。Ning 采用与电子注入相同的方法, 进行热空穴注入实验, 获得了俘获截面积为  $3.1 \times 10^{-13}cm^2$ 、密度为  $1.4 \times 10^{18}cm^{-3}$  的大数值<sup>[222]</sup>。另外, 对 1000 Å 的 SiO<sub>2</sub> 注入空穴时, 初期效率达 99%。一般认为, 被俘获的空穴在 SiO<sub>2</sub> 中的分布范围很宽<sup>[222], [223]</sup>, 但分布中心随着注入量的增大而有偏离 Si-SiO<sub>2</sub> 界面的倾向 (见图 5-125)。

关于 SiO<sub>2</sub> 中空穴的传导机理, 由于上述的理由而受到广泛的注意。McLeen 等人提出 CTRW (连续时间随机移动) 模型<sup>[224]</sup>。这个模型的要点是, 与声子有关的隧道现象使得

空穴在 SiO<sub>2</sub> 中随机分布的局部区域间跳跃式地移动，从而产生空穴的传导，这种模型同引入极化子概念<sup>[225]</sup>的极化子跳跃传导是同一机理。后者通过对金红石 (TiO<sub>2</sub>) 传导的说明已得到确认。

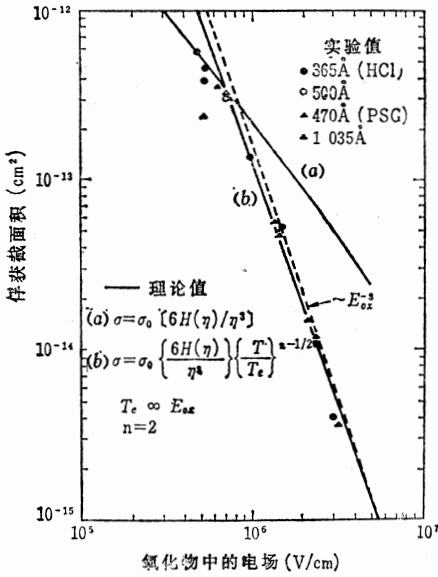


图5-124 俘获截面积与电场的关系<sup>[220]</sup>

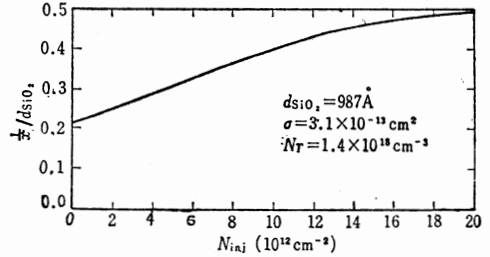


图5-125 俘获的空穴分布中心与注入载流子密度的关系<sup>[222]</sup>

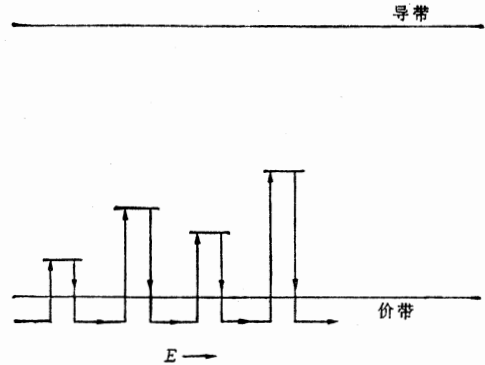


图5-126 多重俘获模型<sup>[227]</sup>

另一方面，用 CTRW 模型不能说明传导激活能随着陷阱放出的空穴量而变化（激活能与时间的关系）。为此，Curtis 等人提出多重俘获模型。这个模型如图 5-126 所示，是假定从价带至某一深度以等间隔分布着陷阱。设能级  $E_i$  的陷阱密度为  $N_i(E_i)$ ，俘获的空穴密度为  $p_i$ ，则  $p_i$  的变化率用下式表示<sup>[227]</sup>：

$$\frac{dp_i}{dt} = c_p p_i N_i - e_p p_i = c_p c_i N_i - p_i e_0 \exp\left(-\frac{E_i}{kT}\right) \quad (5.83)$$

设价带的空穴密度为  $p$ ，并假定外部电压在 SiO<sub>2</sub> 中产生的电场  $E_a$  将空穴引向外部，则有如下关系：

$$\frac{dp}{dt} + \sum_{i=1}^n \frac{dp_i}{dt} = -k_1 p E_a \quad (5.84)$$

式中， $k_1$  是包含迁移率等的系数，作为  $N_i$  的分布，假定用下式分析：

$$N_i(E_i) = N_0 \exp(-E_i/\beta) \quad (5.85)$$

式中， $N_0$  是价带顶的陷阱密度； $\beta$  是系数，它规定每单位能量的陷阱能级密度的变化率。图 5-127 表示，根据多重俘获模型所得的计算值，同通过电子辐照在 SiO<sub>2</sub> 中同样形成电子-空穴对，并在辐照后外加 21 V 电压 ( $d_{\text{SiO}_2} = 1350 \text{ \AA}$ ) 而求出的在 SiO<sub>2</sub> 中迁移的空穴量的实验值之间的比较。计算值是用  $\beta = 0.04 \text{ eV}$ ,  $E_i = 0.21 \sim 0.57 \text{ eV}$ ,  $c_p N_0 = 3 \times 10^9 \text{ cm}^3 \text{ s}^{-1}$ ,  $e_0 = 10^{12} \text{ s}^{-1}$ ，并且为了在 173 K 下达到一致用  $k_1 E_a = 3.1 \times 10^5 \text{ s}^{-1}$  求出的，两者能较好地一

致。空穴迁移率与温度的关系如图 5-128 所示，电场不同，激活能也不同。300K 时的  $\mu_p$  ( $d_{\text{SiO}_2} = 1350 \text{ \AA}$ ) 为<sup>[227]</sup>：

$$\mu_p(T = 300 \text{ K}, V_a = 21 \text{ V}) = 3 \times 10^{-6} \text{ cm}^2/\text{V} \cdot \text{s}$$

$$\mu_p(T = 300 \text{ K}, V_a = 54 \text{ V}) = 5 \times 10^{-5} \text{ cm}^2/\text{V} \cdot \text{s}$$

另外，在 90K 时  $\mu_p$  与电场的关系如图 5-129 所示， $\mu_p \propto E^{12.6}$ 。

以上是在非常有限条件下的实验例子。要想适用于更多的事例，这些模型有待于修正。

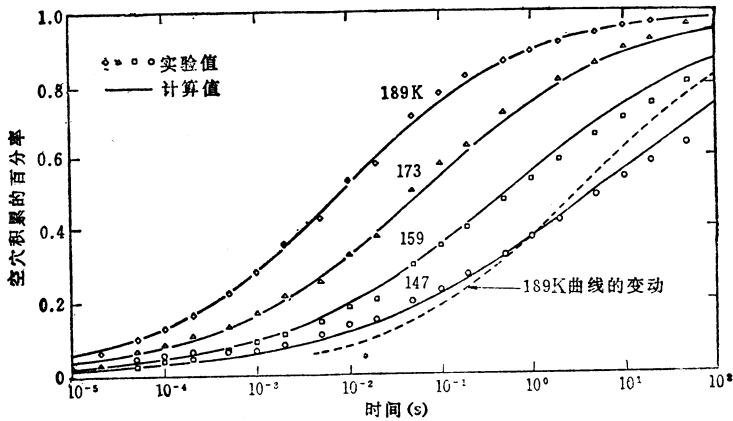


图5-127 电子束辐照后在SiO<sub>2</sub>中迁移的空穴累积数<sup>[227]</sup>

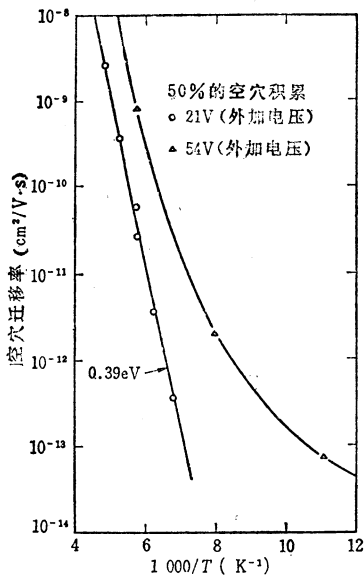


图5-128 SiO<sub>2</sub>中空穴迁移率的温度特性<sup>[227]</sup>

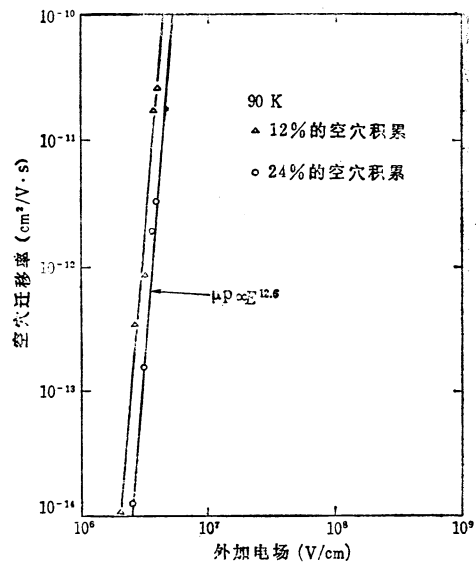


图5-129 在 90K 时，空穴迁移率与电场的关系<sup>[227]</sup>

### 5.4 多晶硅上氧化膜的性质

多晶硅上的氧化膜技术是双层多晶硅结构实用化不可缺少的技术。这一技术广泛应用于 EPROM、CCD 存储器、动态 RAM 等器件中，特别是对于 EPROM 的应用来说，掌握

多晶硅上的  $\text{SiO}_2$  的性质是很重要的<sup>[229]</sup>。

#### 5.4.1 氧化速度<sup>[232]</sup>

在图 5-130 所示的干氧化和图 5-131 所示的湿氧氧化的例子中，多晶硅的氧化速度在掺杂浓度为  $10^{20}\text{cm}^{-3}$  以下时，大致为单晶硅的 (111) 和 (100) 面上的氧化速度的中间值。但多晶硅中的掺杂浓度超过  $10^{20}\text{cm}^{-3}$  时，氧化速度急剧增加。在氧化膜较厚时，氧化速度遵循抛物线规律，用下式表示：

$$d_{\text{SiO}_2} = c\sqrt{t} \quad (5.86)$$

对应于图 5-130 和图 5-131，分别在图 5-132、5-133 上示出  $1050^\circ\text{C}$  时的  $c$  值，在图 5-134、5-135 上示出  $950^\circ\text{C}$  时的  $c$  值<sup>[233]</sup>。在这些图中，可以看出大致以  $10^{20}\text{cm}^{-3}$  的掺杂量为界线， $c$  出现明显的差异。值得注意的是，氧化温度越低，这个差异越显著，这一特征已经用于新的器件结构<sup>[234]</sup>。

其次，关于多晶硅上的氧化膜的刻蚀速度，如图 5-136 及 5-137 所示，既不取决于干氧化或湿氧化，而且又与单晶或多晶无关，大致是一定的<sup>[233]</sup>。但是，当硅中的杂质浓度超过  $10^{20}\text{cm}^{-3}$  时，刻蚀速度产生差异，在掺硼的情况下，刻蚀速度约减小 30% 左右。

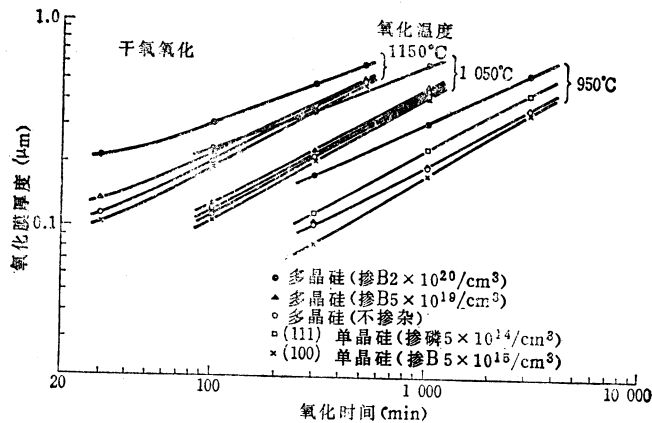


图5-130 干氧化中氧化时间与膜厚的关系

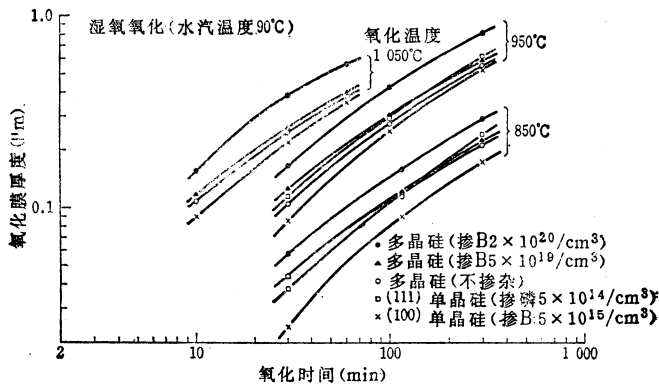


图5-131 湿氧化中氧化时间与膜厚的关系



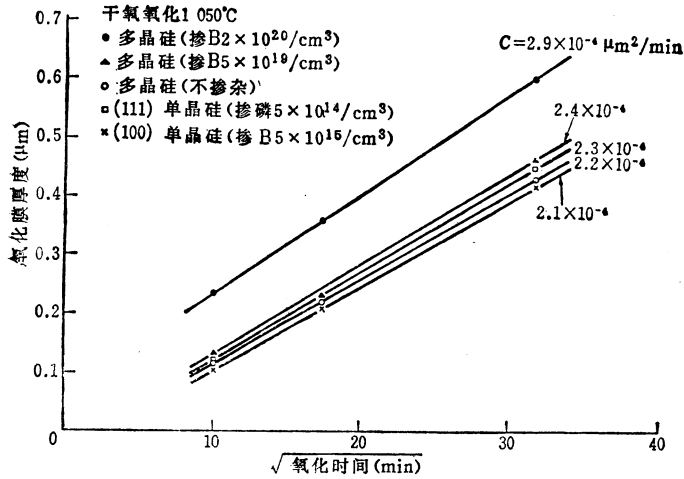


图5-132 (氧化时间)<sup>1/2</sup>与氧化膜厚度的关系(干氧化, 1050°C)

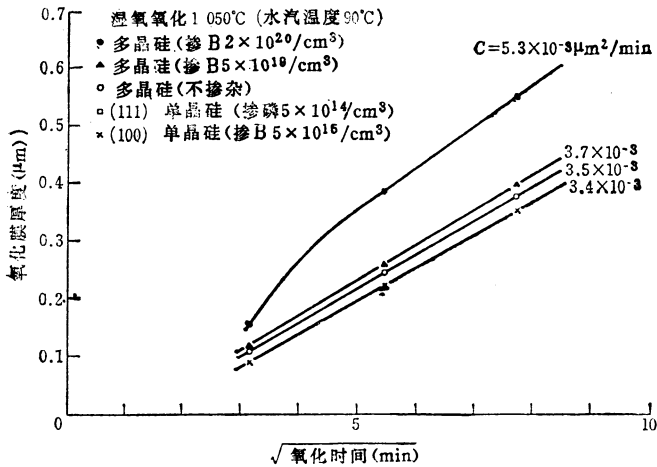


图5-133 (氧化时间)<sup>1/2</sup>与氧化膜厚度的关系(湿氧化, 1050°C)

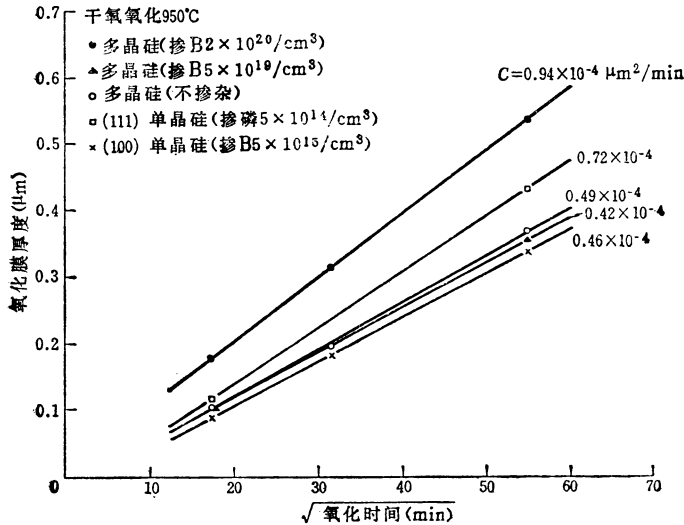


图5-134 (氧化时间)<sup>1/2</sup>与氧化膜厚度的关系(干氧化, 950°C)

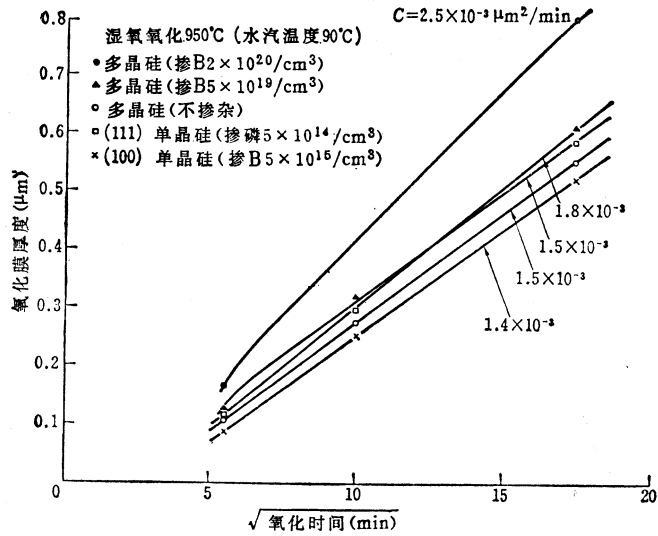


图5-135 (氧化时间)<sup>1/2</sup>与氧化膜厚度的关系 (湿氧化, 950°C)

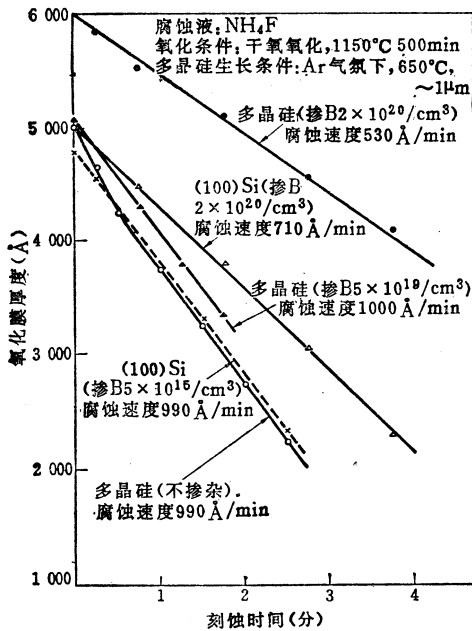


图5-136 干氧化的氧化膜刻蚀速度

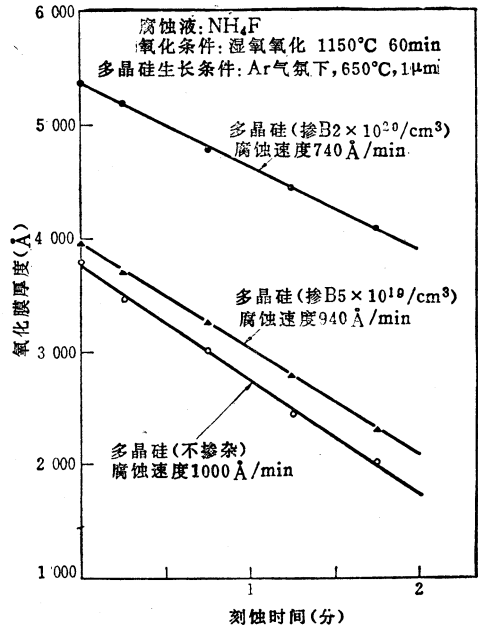


图5-137 湿氧化的氧化膜刻蚀速度

### 5.4.2 电气特性

多晶硅上的 SiO<sub>2</sub> 膜, 同单晶硅上的 SiO<sub>2</sub> 膜相比, 电导率高、绝缘耐压低。特别是 SiO<sub>2</sub> 中的陷阱的影响比较大。图 5-138 的 V-I 特性, 表示在多晶硅(第 2 层)-SiO<sub>2</sub>-多晶硅(第 1 层)结构中, 在第 2 层多晶硅上加正电压并以一定的速度升高时, 电流增加的情形。第一次电压扫描同第二次比较, 电流有很大差异。第一次随着电压的增减产生滞后现象

象。在这以后的扫描同第二次一致。第三次扫描是在 300°C 下经 10 分钟退火之后进行的并已恢复到原来的状态。上述滞后现象预料是由陷阱产生的。以第二次扫描的  $V-I$  特性为基础，作 Fowler-Nordheim 曲线（见图 5-139），根据直线斜率求出  $\text{SiO}_2$ -多晶硅（第 1

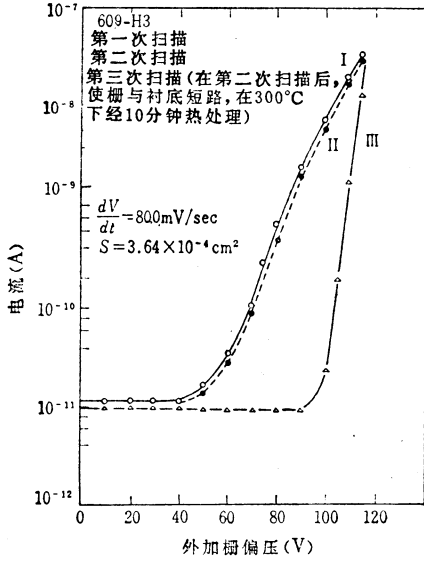


图5-138 多晶硅上的 $\text{SiO}_2$  $V-I$ 特性<sup>[229]</sup>

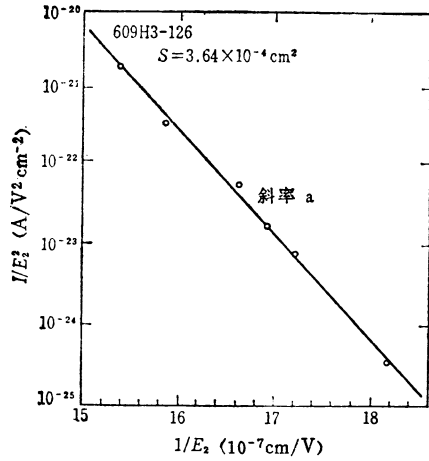


图5-139 流过多晶硅上 $\text{SiO}_2$ 的电流FN曲线

层)的界面势垒为 1.4eV。  $\phi_b$  随第 1 层多晶硅的杂质浓度而变化，因此，预料造成上述滞后现象的陷阱与在多晶硅氧化过程中引入  $\text{SiO}_2$  中的杂质有关。然而，后来对多晶硅上的氧化膜进行深入一步的研究<sup>[235]~[238]</sup>，获得了许多新的认识。第一点，多晶硅表面的凹凸不平对多晶硅上的  $\text{SiO}_2$  的暗电流有影响<sup>[235],[236]</sup>；第二点，根据光发射实验，多晶硅- $\text{SiO}_2$  界面的势垒高度与单晶硅- $\text{SiO}_2$  界面的势垒高度一致<sup>[235]</sup>；第三点， $V-I$  曲线的滞后与电子陷阱有关系，陷阱主要存在于离界面 70 Å 以内。图 5-140 表示多晶硅和单晶硅上的  $\text{SiO}_2$  的  $V-I$  特性比较。两者确实有差异，而通过光发射求得的势垒高度如表 5-14 所示，几乎没有差异。DiMaria 和 Kerr<sup>[235]</sup> 发现这个差异的原因在于多晶硅上的凹凸不平。另外，Anderson 和 Kerr 从氧化温度与凹凸的对应关系加以探讨，得出氧化温度越高暗电流越小的结论（图 5-141），这一结论与通过 SEM 观察到的多晶硅表面凹凸的减少是对应的。

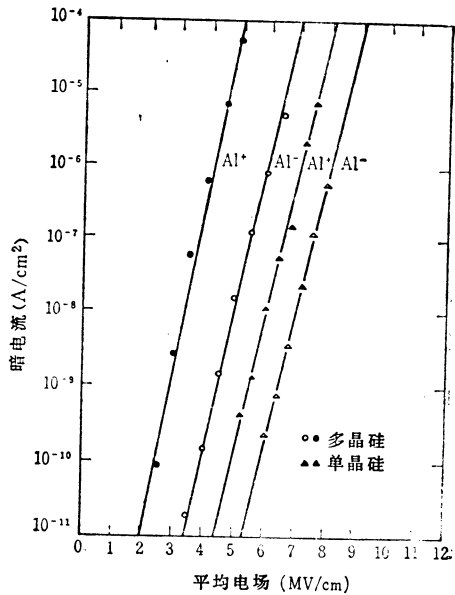


图5-140 单晶硅和多晶硅上的  $\text{SiO}_2$  膜的  $V-I$  特性<sup>[235]</sup>

表5-14 多晶硅-SiO<sub>2</sub>界面的势垒

| 界 面                            | 势 垒 能 量 (eV)            |                               |                         |
|--------------------------------|-------------------------|-------------------------------|-------------------------|
|                                | 多晶硅MOS <sup>(235)</sup> | 单 晶 硅 MOS                     |                         |
|                                |                         | DiMaria和Kerr <sup>(235)</sup> | Deal等人 <sup>(239)</sup> |
| Si(价带)-SiO <sub>2</sub> (导带)   | 4.3 ± 0.1               | 4.3 ± 0.1                     | 4.35                    |
| Al(费米能级)-SiO <sub>2</sub> (导带) | 3.0 ± 0.1               | 3.2 ± 0.1                     | 3.2                     |

DiMaria 等人通过对下面三种结构的研究 (图 5-142), 证实电子陷阱对多晶硅上的 SiO<sub>2</sub> 的电导特性有很大的影响, 即

- A. Al-热氧化 SiO<sub>2</sub> (450 Å)-多晶硅 ( $n: 3.5 \times 10^{-8} \Omega \cdot \text{cm}$ );
- B. Al-CVD SiO<sub>2</sub> (520 Å)-热氧化 SiO<sub>2</sub> (70 Å)-多晶硅;
- C. Al-CVD SiO<sub>2</sub> (520 Å)-W ( $\approx 10^{14}$  原子/cm<sup>2</sup>)-热氧化 SiO<sub>2</sub> (70 Å)-多晶硅。

而且, 有人指出在多晶硅侧的 SiO<sub>2</sub> 中有电子陷阱存在<sup>(238)</sup>。这种陷阱位于离界面约 30 Å 以内的 SiO<sub>2</sub> 中, 比多晶硅导带边缘约高 0.3eV, 陷阱密度约  $5 \times 10^{11} \text{cm}^{-2}$ 。

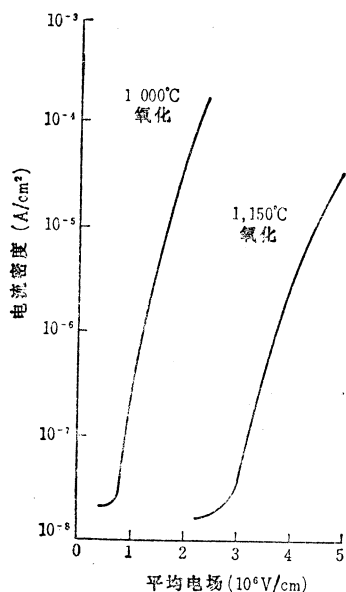


图5-141 氧化温度对多晶硅上的 SiO<sub>2</sub> 的  $V$ - $I$  特性的影响<sup>(236)</sup>

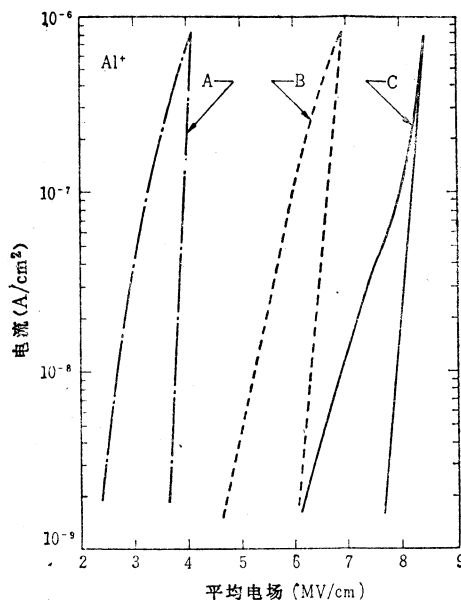


图5-142 多晶硅上的 SiO<sub>2</sub> 膜中的电流<sup>(237)</sup>

## 5.5 SiO<sub>2</sub> 和 Si-SiO<sub>2</sub> 界面特性的最新评价方法

随着 SiO<sub>2</sub> 和 Si-SiO<sub>2</sub> 界面微细结构的重要性的提高, 目前对这方面进行的研究也较多。其手段之一是通过溅射形成断面的 XPS<sup>(240)</sup>、AES<sup>(241)</sup> 或 SIMS (二次离子质谱仪)<sup>(242)</sup>、ISS<sup>(184)</sup>。因此, 关于 Si 和 O 的结合状态, 或杂质的作用, 以及化学量子性的问题不断得到阐明。另外, 也试图用 TEM 观察通过化学腐蚀或溅射刻蚀而薄膜化 (约 1 μm) 的 Si-SiO<sub>2</sub> 界面结构<sup>(187)、(188)</sup>, 并为确定界面凹凸与界面物理性质的对应关系而继续努力。

考虑到界面附近的 Si-O 和 H 或 OH 等的结合状态, 在决定界面的电气特性方面起着

重要作用，所以正在通过 ESR 进行研究，以查明这些状态<sup>[108],[243]</sup>。另外，为了对这些离子或相关缺陷的状态作电气上的评价，通过由雪崩产生的载流子从 Si 向 SiO<sub>2</sub>注入的方法，研究了固定电荷量的变化和分布以及界面能级的产生情况等<sup>[143]</sup>。

另一方面，界面的电气特性，在 60 年代是以稳定状态的分析为主<sup>[244]</sup>，进入 70 年代后，发展了利用非稳定状态的过渡响应的分析法<sup>[242]~[250]</sup>，大大扩展了界面信息的收集手段。其中包括：通过 MOS 电容随时间变化研究深耗尽状态下少数载流子产生的 C-t 法<sup>[245]</sup>；由于热激励而放出俘获电荷，引起外部电流变化的 TSC（热激励电流）法<sup>[246]</sup>；或 DLTS（深能级瞬变能谱学）法<sup>[247]</sup>；用 LVR 法进行俘获参数分析<sup>[248],[250]</sup>；与 C-t 法不同的改变偏压使从反型态进入存储态进行复合参数分析等方法。采用 pn 结的 DLTS 法是简便的方法，已得到广泛的应用<sup>[251],[252]</sup>。

作为评价 Si-SiO<sub>2</sub> 界面特性的更简便的方法，是 Yamashita 等人提出的 TSSP（热激励表面电位）或 TSCD（热激励电荷减少）法。此法根据图 5-143 所示的测量原理，观测表面电位从低温到高温（扫描速度：*b*）的变化。偏压状态如图 5-144 所示。首先加偏压使表面呈存储状态（图 5-144(a)），随后，在低温下加偏压使呈深耗尽状态（图 5-144(b)），接着进行温度扫描，观测表面电位变化直到稳定状态为止（图 5-144(c)或(d)）。设栅电位达到稳定状态时的温度为 *T<sub>s</sub>*，如果这时的电位为 *V<sub>c</sub>*，则在界面上处于硅禁带能量 *E<sub>r1</sub>* (*T<sub>s1</sub>*) 和 *E<sub>r2</sub>* (*T<sub>s2</sub>*) 间的电荷密度 *Q<sub>ss</sub>* (*E<sub>r1</sub>*-*E<sub>r2</sub>*) 用下式表示：

$$Q_{ss}(E_{r1} \sim E_{r2}) / q = (C_i / q) [\Delta V_c(T_{s1}) - \Delta V_c(T_{s2})] \tag{5.87}$$

式中，
$$\Delta V_c = V_{c,ideal} - V_c \tag{5.88}$$

*V<sub>c,ideal</sub>* 是在 SiO<sub>2</sub> 中的固定电荷、界面电荷为 0，栅电极和 Si 的功函数为 1 时的值。另外，(5.87) 式中，*V<sub>c</sub>* 与 *T<sub>s</sub>* 的关系，是以 *V<sub>c0</sub>* 为参量获得的。因而，根据 (5.87) 式界面能级密度 *N<sub>ss</sub>* (*E<sub>i</sub>*) 可由下式求出：

$$N_{ss}(E_i) = \frac{1}{q} \left| \frac{dQ_{ss}}{dE_i} \right| \tag{5.89}$$

图 5-145 表示在 Al 栅、湿氧氧化的 SiO<sub>2</sub> 的 MIS 结构中的界面能级的分布<sup>[253]</sup>。

采用 CCD 阵列进行界面状态的研究，今后也可能广泛应用，特别是在动态地掌握工艺参数与表面电气特性的瞬变响应的对应关系方面是有效的。

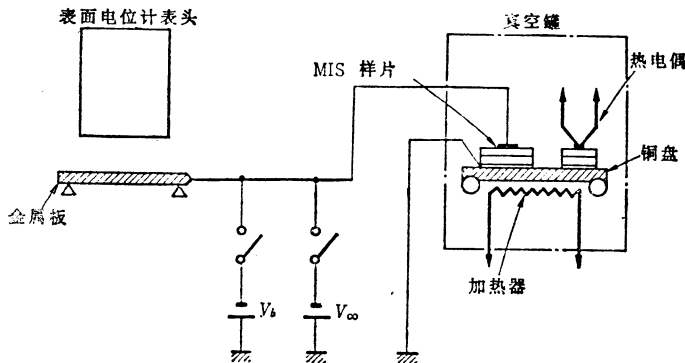


图 5-143 TSSP 测量方法<sup>[253]</sup>

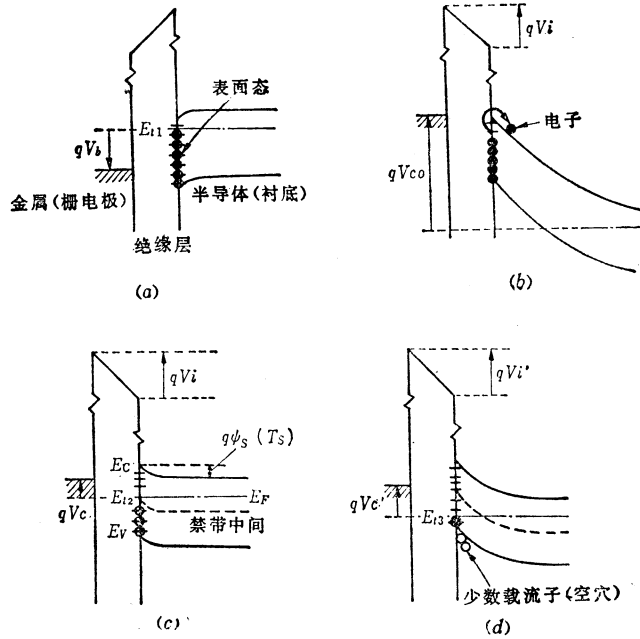


图5-144 用TSSP法测定的MIS结构能量图<sup>(258)</sup>

(a) 在室温下加 $V_g$ ; (b) 在低温下加 $V_{co}$ 之后; (c) 稳定状态的耗尽型; (d) 稳定状态的反型。

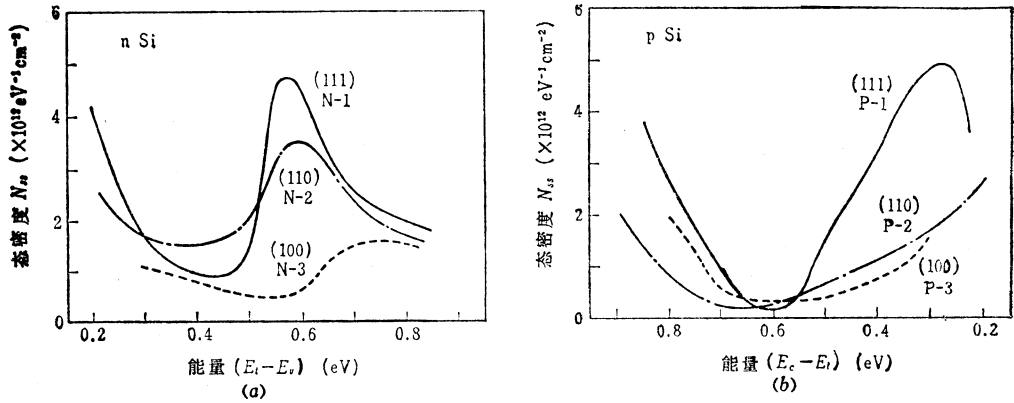


图5-145 由 TSSP 获得的界面能级分布<sup>(253)</sup>

(a) n型Si; (b) p型Si。

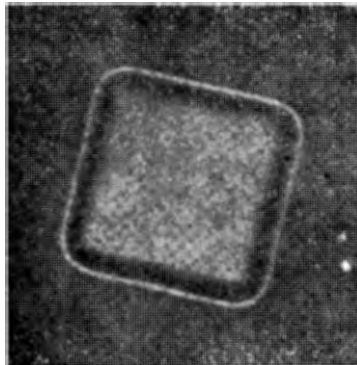


图5-146 用液晶观察的“白带”<sup>(260)</sup>

在对薄的绝缘膜的评价方面,使用液晶的方法也是有效的<sup>[254]~[257]</sup>。也就是在样片表面涂液晶,在其上面放透明的电极,若在样片和电极之间加直流电压,则会在电流的通路产生液晶的动态散射,偏振光发生偏转。作为1个例子,在图5-146(中央四角的白线)表示出在等平面工艺中的场氧化膜附近即“白带”<sup>[258],[259]</sup>形成部分氧化膜绝缘不良的情形<sup>[260]</sup>。

## 5.6 结 束 语

随着MOS IC的密度进一步提高,新型微细加工进入实用化,并且通过按比例缩小方法使器件达到高性能,在这个过程中,对于与栅氧化膜有关的各种问题进行了探讨。可以说,有关这些问题在理论上已进行了充分的研究,今后有待于从制造工艺乃至实用的观点出发进行积极的努力。

## 参 考 文 献

- [1] A.N. Broers and R.H. Dennard: *Semiconductor Silicon 1973*, The Electrochemical Society, pp. 830-841
- [2] R.H. Dennard, F.H. Gaensslen, H.-N. Yu., V.L. Rideout, E. Bassous, and A.R. LeBlanc, *IEEE J. Solid-State Cir.* **SC-9**(5), pp. 256-268 (1974)
- [3] H. S. Lee: *Solid-State Electronics* **16**, pp. 1407-1417 (1973)
- [4] H.C. Poon, L.D. Yau, and R.L. Johnston, *IEEE 1973 IEDM Techn. Digest*, pp. 156-159 (Dec. 1973)
- [5] L.D. Yau, *Solid-State Electronics* **17**, pp. 1059-1063 (1974)
- [6] W.W. Lattin and J.L. Rutledge, *ibid* **16**, pp. 1043-1046 (1973)
- [7] R.T. Miller, *Solid State Technol.*, pp. 25-29 (Jul. 1973)
- [8] G.C. Schwartz, L.B. Zielinski, and T. Schopen, *Proc. Symp. on Etching for Pattern Definition* (ed. H.G. Hughes and M.J. Rand), The Electrochem. Soc., 1976, pp. 122-132
- [9] T.P. Ma, G. Scoggan, and R. Leone, *Appl. Phys. Lett.*, **27**(2) pp. 61-63 (1975)
- [10] L.B. Zielinski, *Proc. Symp. on Etching for Pattern Definition* (ed. H.G. Hughes and M.J. Rand), The Electrochem. Soc., 1976, p. 200
- [11] E.P. EerNisse and C.B. Norris, *J. Appl. Phys.*, **45**(12), pp. 5196-5205 (Dec. 1974)
- [12] V.K. Agarwal, *Thin Solid Films* **24**, pp. 55-70 (1974)
- [13] C.M. Osburn and D.W. Ormond, *J. Electrochem. Soc.*, **119**(5), pp. 591-597 (May 1972)
- [14] W. Kern, *Solid State Technol.*, pp. 35-42 (Mar. 1974)
- [15] W. Kern, *ibid.* pp. 78-84 (Apr. 1974)
- [16] N. Klein and E. Burstein, *J. Appl. Phys.* **40**(7), pp. 2728-2740 (Jun. 1969)
- [17] B.K. Ridley, *ibid.* **46**(3), pp. 998-1007 (March 1975)
- [18] S.P. Li, E.T. Bates and J. Maserjian, *Solid-State Electronics*, **19**, pp. 235-239 (1976)
- [19] T.H. DiStefano and M. Shatzkes: *Semiconductor Silicon 1977*, The Electrochemical Society, pp. 332-341
- [20] 丹呉・前口, 日本學術振興會薄膜第131委員會第81回研究會資料, pp. 7-12 (Sep. 1976)
- [21] N. Klein, *IEEE Trans. Electron Devices*, **ED-13**, p. 788 (1966)
- [22] N.J. Chou and J.M. Eldridge, *J. Electrochem. Soc.*, **117**(10), pp. 1287-1293 (1970)
- [23] S.J. Laverty and W.O. Ryan, *Intern. J. Electron.* **26**(5), pp. 471-476 (May 1969)
- [24] F.L. Worthing, *J. Electrochem. Soc.*, **115**(1), pp. 88-92 (Jan. 1968)
- [25] C.M. Osburn and D.W. Ormond, *ibid.*, **119**(5), pp. 597-603 (May 1972)
- [26] 仁平裕之: 未発表データ
- [27] 丹呉浩脩・前口賢二: 未発表データ
- [28] T.H. DiStefano and M. Shatzkes, *J. Vac. Sci Technol.*, **13**(1), pp. 50-54 (Jan./Feb. 1976)
- [29] E. Harari, *Appl. Phys. Lett.*, **30**(11), pp. 601-603 (Jun. 1977)
- [30] S.P. Li and J. Maserjian, *IEEE Trans. Electron Devices*, **ED-23**, pp. 525-527 (May 1976)

- [31] M. Lenzlinger and E.H. Snow, *J. Appl. Phys.*, **40**(1), pp. 278-283 (Jan. 1969)
- [32] E.H. Snow, *Solid State Commun.*, **5**, pp. 813-815 (1967)
- [33] W.E. Flannery and S.R. Pollack, *J. Appl. Phys.*, **37**, 4417-4422 (1966)
- [34] R.C. Hughes, *Appl. Phys. Lett.*, **26**(8), pp. 436-438 (Apr. 1975)
- [35] M. Shatzkes and M. Av-Ron, *J. Appl. Phys.*, **47**(7), pp. 3192-3202 (July 1976)
- [36] C.M. Osburn and E.J. Weitzman, *J. Electrochem. Soc.*, **119**(5), pp. 603-609 (May 1972)
- [37] J.J. O'Dwyer, *J. Appl. Phys.*, **37**, pp. 599-601 (1966)
- [38] D.R. Lamb: *Electrical Conduction Mechanisms in Thin Insulating Films*, Methuen and Co. Ltd., London, 1967
- [39] J. Antula, *Phys. Stat. Sol.*, **28**, pp. 395-400 (1968)
- [40] —, *Thin Solid Films* **4**, pp. 281-289 (1969)
- [41] J.G. Simmons, *Phys. Lett.*, **16**, pp. 233-234 (1965)
- [42] J. Frenkel, *Phys. Rev.* **54**, pp. 647-648 (1938)
- [43] R.M. Hill, *Thin Solid Films* **8**, pp. R21-R24 (1971)
- [44] D.A. Vermilyer, *Acta Metallurgica*, **2**, pp. 346-348 (1954)
- [45] S.M. Hu, D.D. Kerr, and L.V. Gregor, *Appl. Phys. Lett.*, **10**, pp. 97-99 (1967)
- [46] S.M. Sze, *J. Appl. Phys.*, **38**, pp. 2951-2956 (1967)
- [47] C.A. Mead, *Phys. Rev.*, **128**, pp. 2088-2093 (1962)
- [48] I.T. Johansen, *J. Appl. Phys.*, **37**, pp. 499-507 (1966)
- [49] J.G. Simmons, *J. Phys. D: Appl. Phys.*, **4**, pp. 613-657 (1971)
- [50] R.B. Hall, *Thin Solid Films*, **8**, pp. 263-271 (1971)
- [51] P.C. Arnett and N. Klein, *J. Appl. Phys.*, **46**(3), pp. 1399-1400 (Mar. 1975)
- [52] A. Rose, *Phys. Rev.*, **97**, pp. 1538-1544 (1955)
- [53] M.A. Lampert, *ibid* **125**, pp. 126-141 (1962)
- [54] J. Mycielski, *ibid* **123**, pp. 99-103 (1961)
- [55] L.B. Freeman and W.E. Dahlke, *Solid-State Electronics* **13**, pp. 1483-1503 (1970)
- [56] S. Kar and W.E. Dahlke, *ibid* **15**, pp. 869-875 (1972)
- [57] —, *ibid* **15**, pp. 221-237 (1972)
- [58] Z.A. Weinberg, *ibid* **20**, pp. 11-18 (1977)
- [59] W.E. Dahlke and S.M. Sze, *ibid* **10**, pp. 865-873 (1967)
- [60] C.M. Osburn and S.I. Raider, *J. Electrochem. Soc.*, **120**(10), pp. 1369-1376 (Oct. 1973)
- [61] S.R. Hofstein, *IEEE Trans. Electron Devices* **ED-14**, pp. 749-759 (1967)
- [62] T.H. DiStefano, *J. Appl. Phys.*, **44**(1), pp. 527-528 (Jan. 1973)
- [63] C.M. Osburn and N.J. Chou, *J. Electrochem. Soc.*, **120**(10), pp. 1377-1384 (Oct. 1973)
- [64] C.M. Osburn and D.W. Ormond, *ibid*, **121**(9), pp. 1229-1233 (Sept. 1974)
- [65] J.J. O'Dwyer, *J. Appl. Phys.*, **40**(10), pp. 3887-3890 (Sept. 1969)
- [66] C.M. Osburn, *J. Electrochem. Soc.*, **119**(5), pp. 603-609 (May 1972)
- [67] T.H. DiStefano and M. Shatzkes, *J. Vac. Sci. Technol.*, **12**(1), pp. 37-46 (Jan./Feb. 1975)
- [68] N. Klein and P. Solomon, *J. Appl. Phys.*, **47**(10), pp. 4364-4372 (Oct. 1976)
- [69] D.J. DiMaria, F.J. Feigl, and S.R. Butler, *Appl. Phys. Lett.*, **24**(10), pp. 459-461 (May 1974)
- [70] E. Yon, W.H. Ko, and A.B. Kuper, *IEEE Trans. Electron Devices*, **ED-13**(2), pp. 276-280 (Feb. 1966)
- [71] P.J. Burkhardt, *J. Electrochem. Soc.*, **114**(2), pp. 196-201 (Feb. 1967)
- [72] S.R. Hofstein, *Appl. Phys. Lett.*, **11**(3), pp. 95-96 (Aug. 1967)
- [73] G.F. Derbenwick, *J. Appl. Phys.*, **48**(3), pp. 1127-1130 (Mar. 1977)
- [74] R. Williams and M.H. Woods, *ibid* **46**(2), pp. 695-698 (Feb. 1975)
- [75] E.S. Schlegel and G.L. Schnable, *J. Electrochem. Soc.*, **119**(2), pp. 165-168 (Feb. 1972)
- [76] T.W. Hickmott, *Appl. Phys. Lett.*, **22**(6), pp. 267-269 (Mar. 1973)
- [77] R.J. Kriegler and R. Bartnikas, *IEEE Trans. Electron Devices* **ED-20**(8), pp. 722-731 (Aug. 1973)
- [78] J.P. Stagg, *Appl. Phys. Lett.*, **31**(8), pp. 532-533 (Oct. 1977)
- [79] M. Kuhn, *Solid-State Electronics* **13**, pp. 873-885 (1970)
- [80] P.K. Nauta and M.W. Hillen, *J. Appl. Phys.*, **49**(5), pp. 2862-2865 (May 1978)
- [81] N.J. Chou, *J. Electrochem. Soc.*, **118**(4), pp. 601-609 (Apr. 1971)
- [82] M. Kuhn and D.J. Silversmith, *ibid* **118**(6), pp. 966-970 (Jun. 1971)
- [83] F.J. Cocca and K.G. Carroll, *IEEE Trans. Electron Devices* **ED-15**(12), pp. 962-966 (Dec. 1968)
- [84] T. Inoue, S. Horiuchi, S. Yoshii, and Y. Tanuma. *Proc. 6th Conf. Solid State Devices*,



- Tokyo, 1974; Suppl. J. Japan. Soc. Appl. Phys., **44**, pp. 329-337 (1975)
- [85] R.J. Kriegler, Appl. Phys. Lett., **20**(11), pp. 449-451 (Jun. 1972)
- [86] —, Thin Solid Films, **13**, pp. 11-14 (1972)
- [87] M. Ghezzi and D.M. Brown, J. Electrochem. Soc., **120**(1), pp. 146-148 (Jan. 1973)
- [88] K. Tsukamoto, Y. Akasaka, and K. Horie, Appl. Phys. Lett., **32**(2), pp. 117-119 (Jan. 1978)
- [89] E.S. Schlegel, J. Appl. Phys., **42**(1), pp. 425-426 (Jan. 1971)
- [90] D.J. Silversmith, J. Electrochem. Soc., **119**(11), pp. 1589-1593 (Nov. 1972)
- [91] D.J. DiMaria, J. Appl. Phys., **48**(12), pp. 5149-5151 (Dec. 1977)
- [92] T.H. DiStefano, Appl. Phys. Lett., **19**(8), pp. 280-282 (Oct. 1971)
- [93] R. Williams, J. Appl. Phys., **37**(4), pp. 1491-1494 (Mar. 1966)
- [94] K. Hirabayashi, Phys. Rev., **B3**(12), pp. 4023-4025 (Jun. 1971)
- [95] B. Joseph, Phys. Stat. Sol., (a)**38**, pp. K127-K130 (1976)
- [96] C.M. Osburn and D.W. Ormond, J. Electrochem. Soc., **121**(9), pp. 1195-1198 (Sep. 1974)
- [97] R.L. Meek and R.H. Braun, *ibid* **119**(11), pp. 1538-1544 (Nov. 1972)
- [98] Y. Miura and Y. Matsukura, Japan. J. Appl. Phys., **6**(5), pp. 582-588 (May 1967)
- [99] M. Nakagiri, Japan. J. Appl. Phys., **13**(10), pp. 1610-1617 (Oct. 1974)
- [100] A. Goetzberger, A.D. Lopez, and R.J. Strain, J. Electrochem. Soc., **120**(1), pp. 90-96 (Jan. 1973)
- [101] B.E. Deal, *ibid* **121**(6), pp. 198C-205C (Jun. 1974)
- [102] B.E. Deal, M. Sklar, A.S. Grove, and E.H. Snow, *ibid.*, **114**(3), pp. 266-274 (Mar. 1967)
- [103] F. Montillo and P. Balk, *ibid.*, **118**(9), pp. 1463-1468 (Sep. 1971)
- [104] N. Kawamura, Japan. J. Appl. Phys., **5**, p. 254 (1966)
- [105] Y. Takeishi, H. Hara, T. Sato, and I. Sasaki, *ibid* **7**, p. 679 (1968)
- [106] J.R. Brews, J. Appl. Phys., **43**(5), pp. 2306-2313 (May 1972)
- [107] K. Ziegler and E. Klausmann, Appl. Phys. Lett., **28**(11), pp. 678-681 (Jun. 1976)
- [108] 西 義雄・田中喜好, 東芝レビュー 23 卷 6 号, pp. 725-728 (1968)
- [109] F.M. Fowkes and D.W. Hess, Appl. Phys. Lett., **22**(8), pp. 377-379 (Apr. 1973)
- [110] S.I. Raider, Electrochem. Soc. Spring Meeting, Washington D.C., 1976, Extended Abstract No. 136
- [111] J.S. Johannessen, W.E. Spicer, and Y.E. Strausser, J. Appl. Phys., **47**(7), pp. 3028-3037 (July 1976)
- [112] D.J. Breed and R.P. Kramer, Solid-State Electronics **19**, pp. 897-907 (1976)
- [113] P.L. Castro and B.E. Deal, J. Electrochem. Soc., **118**(2), pp. 280-286 (Feb. 1971)
- [114] P.H. Robinson and F.P. Heiman, *ibid* **118**(1), pp. 141-143 (Jan. 1971)
- [115] R.S. Ronen and P.H. Robinson, *ibid* **119**(6), pp. 747-752 (Jun. 1972)
- [116] R.J. Kriegler, Y.C. Cheng, and D.R. Colton, *ibid* **119**(3), pp. 388-392 (Mar. 1972)
- [117] K. Hirabayashi and J. Iwamura, *ibid* **120**(11), pp. 1595-1601 (Nov. 1973)
- [118] Y.J. van der Meulen, C.M. Osburn, and J.F. Ziegler, *ibid* **112**(2), pp. 284-290 (Feb. 1975)
- [119] A. Rohatgi, S.R. Butler, and F.J. Feigl, Appl. Phys. Lett., **30**(2), pp. 104-106 (Jan. 1977)
- [120] D.W. Hess and B.E. Deal, J. Electrochem. Soc., **124**(5), pp. 735-739 (May 1977)
- [121] B.E. Deal, D.W. Hess, J.D. Plummer, and C.P. Ho, *ibid.*, **125**(2), pp. 339-346 (Feb. 1978)
- [122] B.R. Singh and P. Balk, *ibid.*, **125**(3), pp. 453-461 (Mar. 1978)
- [123] M.C. Chen and W. Hile, *ibid.*, **119**(2), pp. 223-225 (Feb. 1972)
- [124] M. Severi and G. Soncini, Electronics Lett., **8**(16), pp. 402-404 (Aug. 1972)
- [125] Y.C. Cheng, J.W. Haslett, E.J.M. Kendall, R.J. Kriegler, and F.J. Scholz, Proc. IEEE **62**(6), pp. 859-860 (June 1974)
- [126] D.R. Young and C.M. Osburn, J. Electrochem. Soc., **120**(11), pp. 1578-1581 (Nov. 1973)
- [127] C.M. Osburn, *ibid.*, **121**(6), pp. 809-815 (Jun. 1974)
- [128] D.W. Hess, *ibid.*, **124**(5), pp. 740-743 (May 1977)
- [129] J.R. Black, Proc. 15th Ann. Reliab. Phys. Symp., pp. 257-261 (1977)
- [130] H.L. Hughes, R.D. Baxter, and B. Phillips, IEEE Trans. Nuc., Sci., **NS-19**(6), pp. 256-263 (Dec. 1972)
- [131] G. Lewicki, J. Appl. Phys., **47**(4), pp. 1552-1559 (Apr. 1976)
- [132] T.W. Hickmott, *ibid.*, **48**(2), p. 723-733 (Feb. 1977)
- [133] J. Ruzyllo, I. Shiota, N. Miyamoto, and J. Nishizawa, J. Electrochem. Soc., **123**(1), pp. 26-29 (Jan. 1976)

- [134] C.M. Osburn and E. Bassous, *ibid.*, **122**(1), pp. 89-92 (Jan. 1975)
- [135] A.J. Lean and D.W. Hess, *Thin Solid Films* **37**, pp. L11-L14 (1976)
- [136] S. Kar and W.E. Dahlke, *Appl. Phys. Lett.*, **18**(9), pp. 401-403 (May 1971)
- [137] K.A. Pickar and L.R. Thibault, *J. Vac. Sci. Technol.*, **10**(6), pp. 1074-1077 (Nov./Dec. 1973)
- [138] F. Fang, M. Hatzakis, and C.H. Ting, *ibid.* **10**(6), pp. 1082-1085 (Nov./Dec. 1973)
- [139] R.T. Miller, *Solid State Technol.*, pp. 25-29 (Jul. 1973)
- [140] R.G. Poulsen, *J. Vac. Sci. Technol.*, **14**(1), pp. 266-274 (Jan./Feb. 1977)
- [141] K.H. Zaininger and A.G. Holmes-Siedle, *RCA Rev.*, **28**(2), pp. 208-240 (Jun. 1967)
- [142] A.G. Revesz, *IEEE Trans. Nucl. Sci.*, **NS-18**(6), pp. 113-116 (Dec. 1971)
- [143] E.H. Nicollian, G.N. Berglund, P.F. Schmidt, and J.M. Andrews, *J. Appl. Phys.*, **42**(13), pp. 5654-5664 (Dec. 1971)
- [144] J.L. Peel and R.C. Eden, *IEEE Trans. Nucl. Sci.*, **NS-18**(6), pp. 84-90 (Dec. 1971)
- [145] C.R. Viswanathan and J. Maserjian, *ibid.* **NS-23**(6), pp. 1540-1545 (Dec. 1976)
- [146] K.G. Aubuchon, *ibid.* **NS-18**(6), pp. 117-125 (Dec. 1971)
- [147] K.M. Schlesier and C. W. Benyon, *ibid.*, **NS-23**(6), pp. 1599-1603 (Dec. 1976)
- [148] J.M. Aitken, D.J. DiMaria, and D.R. Young, *ibid.* **NS-23**(6), pp. 1526-1533 (Dec. 1976)
- [149] K.G. Aubuchon, E. Harari, D.H. Leong, and C.P. Chang, *ibid.* **NS-21**(6), pp. 167-171 (Dec. 1974)
- [150] J. Lindmayer, *ibid.* **NS-18**(6), pp. 91-98 (Dec. 1971)
- [151] T-P. Ma and W. H-L. Ma, *Appl. Phys. Lett.*, **32**(7), pp. 441-444 (Apr. 1978)
- [152] K.H. Zaininger, *ibid.* **8**(6), pp. 140-142 (Mar. 1966)
- [153] M. Simons, Jr., L.K. Monteith, and J.R. Hauser, *IEEE Trans. Electron Devices* **ED-15**(12), pp. 966-973 (Dec. 1968)
- [154] J.M. Fanet and R. Poirier, *Appl. Phys. Lett.*, **25**(4), pp. 183-185 (Aug. 1974)
- [155] A.J. Speth and F.F. Fang, *ibid.* **7**(6), pp. 145-146 (Sep. 1965)
- [156] T.P. Ma, G. Scoggan, and R. Leone, *ibid.* **27**(2), pp. 61-63 (Jul. 1975)
- [157] T.P. Ma, *ibid.* **27**(11), pp. 615-617 (Dec. 1975)
- [158] G.A. Scoggan and T.P. Ma, *J. Appl. Phys.*, **48**(1), pp. 294-300 (Jan. 1977)
- [159] S.P. Li and J. Maserjian, *Solid-State Electronics* **18**, pp. 287-288 (1975)
- [160] D.J. DiMaria, Z.A. Weinberg, and J.M. Aitken, *J. Appl. Phys.*, **48**(3) pp. 898-906 (Mar. 1977)
- [161] P.S. Winokur and M.M. Sokoloski, *Appl. Phys. Lett.*, **28**(10), pp. 627-630 (May 1976)
- [162] —, J.M. McGarrity, and H.E. Boesch, Jr., *IEEE Trans. Nucl. Sci.* **NS-23**(6), pp. 1580-1585 (Dec. 1976)
- [163] R.J. Powell and G.F. Derbenwick, *ibid.* **NS-18**(6), pp. 99-105 (Dec. 1971)
- [164] C.W. Gwyn, *J. Appl. Phys.*, **40**(12), pp. 4886-4892 (Nov. 1969)
- [165] E.W. Mitchell and E.G.S. Paige, *Phil. Mag.*, **1**(12), pp. 1085-1115 (1956)
- [166] J.M. Aitken and D.R. Young, *J. Appl. Phys.*, **47**(3), pp. 1196-1198 (Mar. 1976)
- [167] L.I. Chen, K.A. Pickar, and S.M. Sze, *Solid-State Electronics* **15**, pp. 979-986 (1972)
- [168] C.R. Fritzsche and W. Rothemund, *J. Electrochem. Sec.*, **119**(9), pp. 1243-1248 (Sept. 1972)
- [169] C.G. Emms, A.G. Holmes-Siedle, I. Groombridge, and J.R. Bosnell, *IEEE Trans. Nucl. Sci.*, **NS-21**(6), pp. 159-166 (Dec. 1974)
- [170] S.P. Li, *J. Appl. Phys.* **46**(11), pp. 4833-4834 (Nov. 1975)
- [171] C.R. Fritzsche, A. Axmann, and H. Seelewind, *Proc. Europ. Conf. Ion Implantation, 1970*, pp. 123-126
- [172] H.C. de Graaff, *Philips Res. Repts.* **25**, pp. 21-32 (1970)
- [173] S.M. Sze and G. Gibbons, *Appl. Phys. Lett.*, **8**(5), pp. 111-113 (Mar. 1966)
- [174] J.F. Schenk, *Proc. 6th Ann. Reliab. Phys. Symp.*, 1967, pp. 31-39
- [175] H. Hara, Y. Okamoto, and H. Ohnuma, *Japan. J. Appl. Phys.*, **9**(9), pp. 1103-1112 (Sept. 1970)
- [176] J.F. Verwey, A. Heringa, R. deWerd, and W.v.d. Hofstad, *Solid-State Electronics* **20**, pp. 689-695 (1977)
- [177] C.A. Bosselaar, *Proc. 8th Ann. Reliab. Phys. Symp.*, pp. 302-305 (1970)
- [178] S.A. Abbas and R.C. Dockerty, *Appl. Phys. Lett.*, **27**(3), pp. 147-148 (Aug. 1975)
- [179] —, *1975 IEDM Techn. Digest*, pp. 35-38 (Dec. 1975)
- [180] P.K. Chaudhari, *Proc. 15th Ann. Reliab. Phys. Symp.*, pp. 5-9 (1977)
- [181] M.L. Malwah, J.R. Edwards, and M. Bandali, *ibid.* pp. 23-25 (1977)
- [182] 古山透他, 電通学会半・トラ技術研究会 (昭和53年7月)

- [183] B.A. McDonald, Proc. 8th Ann. Reliab. Phys., Symp., pp. 288-297 (1970)
- [184] A.J. Melia, Microelectronics and Reliab **15**, pp. 619-623 (1976)
- [185] H.P.D. Lanyon, Appl. Phys. Lett., **22**(10), pp. 522-524 (May 1973); Solid-State Electronics **21**, pp. 291-295 (1978)
- [186] 渡辺, 西沢, 電気三学会東京支部連合大会, pp. (3-17)-(3-18) (Nov. 1959)
- [187] C. Bulucea, Solid-State Electronics **18**, pp. 363-374 (1975)
- [188] H. Iizuka, F. Masuoka, T. Sato, and M. Ishikawa, IEEE Trans. Electron Devices **ED** -23(4), pp. 379-387 (Apr. 1976)
- [189] F.P. Heiman, *ibid* **ED-14**(11), pp. 781-784 (Nov. 1967)
- [190] D.K. Schroder, *ibid* **ED-19**(9), pp. 1018-1023 (Sep. 1972)
- [191] J. Matsunaga and S. Kohyama, Appl. Phys. Lett., (Aug. 1978)
- [192] 香山 晋・飯塚尚和, 半導体集積回路第14回シンポジウム講演論文集, pp. 18-23 (昭和53年5月)
- [193] C.R. Helms, W.E. Spicer, and N.M. Johnson, Solid State Commun., **25**, pp. 673-676 (1978)
- [194] W.L. Harrington, R.E. Honig, A.M. Goodman, and R. Williams, Appl. Phys. Lett., **27**(12), pp. 644-645 (Dec. 1975)
- [195] R. Flitsch and S.I. Raider, J. Vac. Sci. Technol., **12**(1), pp. 305-308 (Jan./Feb. 1975)
- [196] S.I. Raider and R. Flitsch, *ibid* **13**(1), p. 58 (Jan./Feb. 1976)
- [197] J. Blanc, C.J. Buiocchi, M.S. Abrahams, and W.E. Ham, Appl. Phys. Lett., **30**(2), pp. 120-122 (Jan. 1977)
- [198] O.L. Krivanek, T.T. Sheng, and D.C. Tsui, *ibid* **32**(7), pp. 437-439 (Apr. 1978)
- [199] R.J. Powell and C.N. Berglund, J. Appl. Phys., **42**(11), pp. 4390-4397 (Oct. 1971)
- [200] S.I. Raider and A. Berman, Electrochem. Soc. Spring Meeting, 1976, Washington D.C., Extended Abstract No. 137
- [201] F.P. Heiman and G. Warfield, IEEE Trans. Electron Devices **ED-12**(4), pp. 167-178 (Apr. 1965)
- [202] J. Maserjian, R. Kaw, and J. Collier, Proc. 13th Ann. Reliab. Phys. Symp., pp. 26-33 (1975)
- [203] K. Saminadayer and J.C. Pfister, Solid-state Electronics **20**, pp. 891-896 (1977)
- [204] A. L. McWhorter: Semiconductor Surface Physics (ed. R.H. Kingston), 1957, Univ. Pennsylvania Press, pp. 207-228
- [205] E.A. Leventhal, Solid-State Electronics **11**, pp. 621-627 (1968)
- [206] M. Schulz and N.M. Johnson, Appl. Phys. Lett. **31**(9), pp. 622-625 (Nov. 1977)
- [207] —, Solid State Commun., **25**, pp. 481-484 (1978)
- [208] Z.A. Weinberg and G.W. Rubloff, Appl. Phys. Lett., **32**(3), pp. 184-186 (Feb. 1978)
- [209] T.H. Ning, Solid-State Electronics **21**, pp. 273-282 (1978)
- [210] Y. Tarui, Y. Hayashi, and K. Nagai, and K. Nagai, Proc. 3rd Conf. Solid State Devices,, Tokyo, 1971; Suppl. J. Japan Soc. Appl. Phys., **41**, pp. 155-162 (1972)
- [211] 和田正志: 未発表データ
- [212] 和田正志・野沢 博・飯塚尚和, 電通学会, 昭和52年半導体部門全国大会, 仙台, p. 123
- [213] A. Goetzberger and E.H. Nicollian, J. Appl. Phys., **38**(12), pp. 4582-4588 (Nov. 1967)
- [214] E.H. Nicollian, A. Goetzberger, and C.N. Berglund, Appl. Phys. Lett., **15**(6), pp. 174-177 (Sep. 1969)
- [215] R.W. Gurtler, IEEE Trans. Electron Devices **ED-15**, pp. 980-986 (1968)
- [216] T.H. Ning and H.N. Yu, J. Appl. Phys., **45** (12), pp. 5373-5378 (Dec. 1974)
- [217] T.H. Ning, C.M. Osburn, and H.N. Yu, *ibid* **48**(1), pp. 286-293 (Jan. 1977)
- [218] —, Appl. Phys. Lett., **26**(5), pp. 248-250 (Mar. 1975)
- [219] R.A. Gdula, J. Electrochem. Soc., **123**(1), pp. 42-47 (Jan. 1976)
- [220] T.H. Ning, J. Appl. Phys., **47**(7), pp. 3203-3208 (Jul. 1976)
- [221] P. Solomon, *ibid* **48**(9), pp. 3843-3849 (Sep. 1977)
- [222] T.H. Ning, J. Appl. Phys., **47**(3), pp. 1079-1081 (Mar. 1976)
- [223] M.H. Woods and R. Williams, *ibid* **47**(3), pp. 1082-1089 (Mar. 1976)
- [224] F.B. McLean, G.A. Ausman, Jr., H.E. Boesch, Jr., and J.M. McGarrity, *ibid* **47**(4), pp. 1529-1532 (Apr. 1976)
- [225] V.N. Bogomolov, E.K. Kudinov, and Yu. A. Firsov, Soviet Phys. Solid State **9**(11), pp. 2502-2513 (May 1968)
- [226] F.B. McLean, H.E. Boesch, Jr., and J.M. McGarrity, IEEE Trans. Nuc. Sci., **NS-23**(6), pp. 1506-1512 (Dec. 1976)
- [227] O.L. Curtis, Jr., and J.R. Srouf, J. Appl. Phys., **48**(9), pp. 3819-3828 (Sep. 1977)
- [228] Y. Takeishi, H. Hara, T. Sato, K. Ohuchi, and H. Tango, IEEE 1971 IEDM, Session 13.6

- 〔229〕H. Iizuka, et al. J. Japan Soc. Appl. Phys. Suppl. 42, pp. 158-166 (1973); IEEE 1972 IEDM, Washington D.C., Late News Session 7.6
- 〔230〕F. Masuoka, H. Iizuka, and T. Sato, Electrochem. Soc. Spring Meeting, Chicago, 1973, Extended Abstract No. 88
- 〔231〕F. Masuoka, M. Ishikawa, T. Sato, and H. Iizuka, IEEE 1973 IEDM, Washington D.C., Late News Session 7.8
- 〔232〕Y. Yasuda, M. Yamanaka, T. Moriya, and T. Yoshii, Electrochemical Society Meeting, Extended Abstract Vol. 72-1, pp. 69-71 (1972)
- 〔233〕守屋・安田・山中・伊藤：未発表データ（社内報 1972.4.4）
- 〔234〕H. Sunami and M. Koyanagi, Digest Tech. Papers, 10th Conf. on Solid State Device, Tokyo, pp. 67-68 (1978)
- 〔235〕D.J. DiMaria and D.R. Kerr, Appl. Phys. Lett., 27(9), pp. 505-507 (Nov. 1975)
- 〔236〕R.M. Anderson and D.R. Kerr, J. Appl. Phys., 48(11), pp. 4834-4836 (Nov. 1977)
- 〔237〕D.J. DiMaria, D.R. Young, and D.W. Ormond, Appl. Phys. Lett., 31(10), pp. 680-682 (Nov. 1977)
- 〔238〕B.H. Yun and T.W. Hickmott, J. Appl. Phys., 48(2), pp. 718-722 (Feb. 1977)
- 〔239〕B.E. Deal, E.H. Snow, and C.A. Mead, J. Phys. Chem. Solid 27, pp. 1873-1879 (1966)
- 〔240〕P.W. Palmberg, J. Vac. Sci. Technol., 12(1), pp. 379-384 (Jan./Feb. 1975)
- 〔241〕D.M. Holloway, *ibid*, pp. 392-399 (Jan./Feb. 1975)
- 〔242〕H. Liebl, *ibid*, pp. 385-391 (Jan./Feb. 1975)
- 〔243〕I. Shiota, N. Miyamoto, and J. Nishizawa, Surf. Sci., 36, pp. 414-429 (1973)
- 〔244〕例えに P.V. Gray, Proc. IEEE 57(9), pp. 1543-1551 (Sep. 1969)
- 〔245〕D.K. Schroder and J. Guldberg, Solid-State Electronics 14, pp. 1285-1297 (1971)
- 〔246〕J.G. Simmons and H.A. Mar, Phys. Rev., B8 (8), pp. 3865-3874 (Oct. 1973)
- 〔247〕D.V. Lang, J. Appl. Phys. 45(7), pp. 3023-3032 (Jul. 1974)
- 〔248〕K. Board and J.G. Simmons, Solid-State Electronics 20, pp. 859-867 (1977)
- 〔249〕P.U. Calzolari, S. Graffi, and C. Morandi, *ibid* 20, pp. 205-212 (1977)
- 〔250〕P. Kuper and C.A. Grimbergen, *ibid* 21, pp. 549-553 (1978)
- 〔251〕A.O. Ewvaraye and E. Sun, J. Appl. Phys., 47(7), pp. 3172-3176 (Jul. 1976)
- 〔252〕A.O. Ewvaraye, Appl. Phys. Lett., 29(8), pp. 476-478 (1976)
- 〔253〕K. Yamashita, M. Iwamoto, and T. Hino, J. Appl. Phys., 49(5), pp. 2866-2875 (1978)
- 〔254〕J.M. Keen, Electronics Lett., 7(15), pp. 432-433 (Jul. 1971)
- 〔255〕K. Thiessen and L.T. Tuyen, Phys. Stat. Sol., (a) 13, pp. 73-78 (1972)
- 〔256〕P.L. Garbarino and R.D. Sandison, J. Electrochem. Soc., 120(6), pp. 834-835 (Jun. 1973)
- 〔257〕A.K. Zakzouk, R.A. Stuart, and W. Eccleston, *ibid* 123(10), pp. 1551-1556 (Oct. 1976)
- 〔258〕E. Kooi, *ibid* 123(7), pp. 1117-1120 (Jul. 1976)
- 〔259〕T.T. Sheng and R.B. Marcus, *ibid* 125(3), pp. 432-434 (Mar. 1978)
- 〔260〕柴田 直：未発表データ
- 〔261〕井上知泰：未発表データ

# 第六章 硅上的金属薄膜

埒 辉 雄

## 6.1 前 言

众所周知,不同物质间的结合部位,一般是最易出现问题的地方,半导体器件也不例外。实际上,由于硅-金属之间的结合部位直接关系到器件的性能和可靠性,故很早就对此开展了大量的研究。可是,事实上对于界面的结构,往往是进行推测。如果考虑到连硅的洁净表面本身及超晶格结构方面的结构分析都还没有获得成功的话,那末,没有获得在理论上更加难以研究的界面结构的知识恐怕就是很自然的了。

如果说所谓理解物质的性质就是“使物质的性质与其构造相联系”的话,那就不能不承认金属-硅系的界面性质的研究尚处在一个很不成熟的阶段。反过来说,就是正确掌握界面结构对提高半导体技术无疑是不可缺少的,而且对于表面结构和外延等也将产生重大的影响。

下面在介绍研究的对象和方法之后,将选择几个迄今研究最广泛的事例,据此介绍研究中所得到的结果以及存在的问题。

## 6.2 问题的提出和研究方法

蒸发膜的生长机理可按照 Bauer<sup>[1]</sup>的分类法分类,如图 6-1 所示。图中,(a)的 V-W 模型是在膜物质表面能  $\sigma_f$  大于衬底表面能  $\sigma_s$  的情况下建立的,例如碱卤化物和  $\text{MoS}_2$  等的解理面上的金属膜便是如此。(b)的层状生长、F-M 模型及 (c)的 S-K 模型都出现于  $\sigma_f > \sigma_s$  时。区别 (b) 和 (c) 的因素是膜内应力产生的畸变能和界面的化学键等。或者,若把它们统一定为界面能  $\sigma_i$ ,则可以说生长模型取决于  $\sigma_i$  和  $\sigma_s$ 、 $\sigma_f$  等的大小关系。若就金属-硅界面而言,则可不考虑 V-W 模型。并且 F-M 模型由于在界面无化学键,而且只有在畸变能小的时候才有可能出现,故也可排除。这是因为实际上大多数金属是会形成硅化物的,即使不存在硅化物,金属和硅间的晶格差异也相当大,而且畸变能也非常之大。

结果, S-K 模型便成了研究的对象。(c) 图表明,由于形成单原子吸附层,衬底的表面能因而降低,在该表面上的膜的生长遵循 V-W 模型。不过对金属-硅而言,以一般的

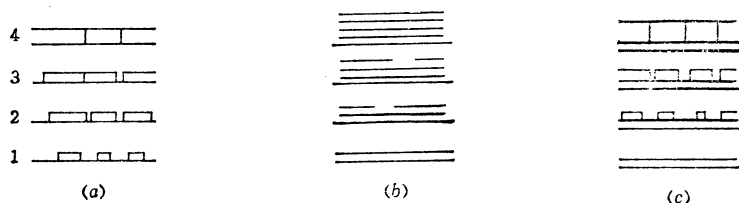


图6-1 蒸发膜的生长机理  
(a) V-W模型; (b) F-M模型; (c) S-K模型。

截面结构模型，即以图 6-2 的模型为研究出发点是合理的。现在假设界面就是二相之间的迁移区域，则 S 和 R 层的厚度只要是几个原子层，它们就可被视为膜的界面。如果 S 和 R 具有足够的厚度，那就必须研究 S-B、B-R 和 R-Si 等的界面。总而言之，能够成为实验研究的直接对象的是膜的截面结构，各层的厚度、晶体结构以及晶体相互之间的晶向关系。界面是根据它们的数据和其它知识间接推算出来的。如果形成了金属硅化物，那末这种化合物必定是籍界面反应形成的；倘若是外延生长，则界面仍将是决定晶向的因素。考虑到这种情况，加深对界面的理解就不能不说是重要的了。

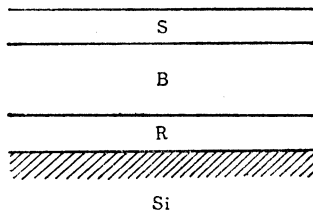


图6-2 硅上薄膜的截面  
R: 缓冲层; B: 膜的内部结构;  
S: 膜的表面层。

表6-1 不形成硅化物的金属

| 族               | 金属元素 |    |    |    |
|-----------------|------|----|----|----|
| I <sub>b</sub>  | Ag   | Au |    |    |
| I <sub>a</sub>  | Be   |    |    |    |
| II <sub>b</sub> | Zn   | Cd | Hg |    |
| II <sub>a</sub> | Al   | Ga | In | Tl |
| IV <sub>a</sub> | Ge   | Sn | Pb |    |
| V <sub>a</sub>  | Sb   | Bi |    |    |

表6-2 在硅-金属界面上最初形成的金属硅化物的预计和实测结果

| 相图中的二元化合物   | 用法则预测第一次成核                      | 通过低温实验观察的第一次成核     | 相图中的二元化合物   | 用法则预测第一次成核         | 通过低温实验观察的第一次成核     |
|---|---------------------------------|--------------------|---|--------------------|--------------------|
| Ti <sub>5</sub> Si <sub>3</sub> , TiSi <sub>2</sub>   | TiSi <sub>2</sub>               | TiSi <sub>2</sub>  | Tc <sub>x</sub> Si <sub>y</sub>                                   | 未获得数据              |                    |
| TiSi  |                                 |                    | Ru <sub>2</sub> Si, Ru <sub>2</sub> Si <sub>3</sub>               | 相图上得不到             |                    |
| V <sub>3</sub> Si, VSi <sub>2</sub>                   | VSi <sub>2</sub>                | VSi <sub>2</sub>   | RuSi  |                    |                    |
| V <sub>5</sub> Si <sub>3</sub>                        |                                 |                    | Rh <sub>2</sub> Si, RhSi  | 相图上得不到             | RhSi               |
| Cr <sub>3</sub> Si, CrSi                              | CrSi <sub>2</sub>               | CrSi <sub>2</sub>  | Rh <sub>5</sub> Si <sub>3</sub> , Rh <sub>2</sub> Si <sub>3</sub> |                    |                    |
| Cr <sub>2</sub> Si, CrSi <sub>2</sub>                 |                                 |                    | Rh <sub>3</sub> Si <sub>2</sub> , Rh <sub>2</sub> Si              |                    |                    |
| Cr <sub>3</sub> Si <sub>2</sub>                       |                                 |                    | Pd <sub>3</sub> Si, Pd <sub>2</sub> Si                            | Pd <sub>2</sub> Si | Pd <sub>2</sub> Si |
| Mn <sub>6</sub> Si, Mn <sub>6</sub> Si <sub>3</sub>   | Mn <sub>5</sub> Si <sub>3</sub> |                    | (?)Pd <sub>9</sub> Si <sub>4</sub> , PdSi                         |                    |                    |
| Mn <sub>9</sub> Si <sub>2</sub> , MnSi                |                                 |                    | Hf <sub>2</sub> Si, HfSi  | HfSi               | HfSi               |
| Mn <sub>3</sub> Si, Mn <sub>11</sub> Si <sub>10</sub> |                                 |                    | (?)Hf <sub>5</sub> Si <sub>3</sub> , HfSi <sub>2</sub>            |                    |                    |
| Mn <sub>5</sub> Si <sub>2</sub>                       |                                 |                    | Hf <sub>3</sub> Si <sub>2</sub>                                   |                    |                    |
| Fe <sub>3</sub> Si, FeSi                              | FeSi                            | FeSi               | (?)Ta <sub>4.5</sub> Si, Ta <sub>5</sub> Si <sub>3</sub>          | TaSi <sub>2</sub>  | TaSi <sub>2</sub>  |
| Fe <sub>5</sub> Si <sub>3</sub> , FeSi <sub>2</sub>   |                                 |                    | Ta <sub>2</sub> Si, TaSi <sub>2</sub>                             |                    |                    |
| Co <sub>3</sub> Si, CoSi                              | Co <sub>2</sub> Si              | Co <sub>2</sub> Si | W <sub>3</sub> Si <sub>2</sub> WSi <sub>2</sub>                   | WSi <sub>2</sub>   | WSi <sub>2</sub>   |
| Co <sub>2</sub> Si, CoSi <sub>2</sub>                 |                                 |                    | Re <sub>5</sub> Si <sub>3</sub> , ReSi <sub>2</sub>               | ReSi <sub>2</sub>  |                    |
| Ni <sub>3</sub> Si, Ni <sub>3</sub> Si <sub>2</sub>   | Ni <sub>2</sub> Si              | Ni <sub>2</sub> Si | ReSi  |                    |                    |
| Ni <sub>5</sub> Si <sub>2</sub> , NiSi                |                                 |                    | OsSi, OsSi <sub>2</sub>   | 相图上得不到             |                    |
| Ni <sub>2</sub> Si, NiSi <sub>2</sub>                 |                                 |                    | Os <sub>2</sub> Si <sub>3</sub> , OsSi <sub>3</sub>               |                    |                    |
| Zr <sub>4</sub> Si, Zr <sub>6</sub> Si <sub>5</sub>   | 法则不能应用的                         | ZrSi <sub>2</sub>  | Ir <sub>3</sub> Si, Ir <sub>2</sub> Si <sub>3</sub>               |                    |                    |
| Zr <sub>2</sub> Si, ZrSi                              |                                 |                    | Ir <sub>2</sub> Si, IrSi <sub>2</sub>                             | 相图上得不到             |                    |
| Zr <sub>5</sub> Si <sub>3</sub> , ZrSi <sub>2</sub>   |                                 |                    | Ir <sub>3</sub> Si <sub>2</sub> , IrSi <sub>3</sub>               |                    |                    |
| Zr <sub>4</sub> Si <sub>3</sub>                       |                                 |                    | IrSi  |                    |                    |
| Nb <sub>4</sub> Si, NbSi <sub>2</sub>                 | NbSi <sub>2</sub>               | NbSi <sub>2</sub>  | (?)Pt <sub>4</sub> Si, Pt <sub>2</sub> Si                         | Pt <sub>2</sub> Si | Pt <sub>2</sub> Si |
| Nb <sub>5</sub> Si <sub>3</sub>                       |                                 |                    | Pt <sub>3</sub> Si, Pt <sub>6</sub> Si <sub>5</sub>               |                    |                    |
| Mo <sub>3</sub> Si, MoSi <sub>2</sub>                 | MoSi <sub>2</sub>               | MoSi <sub>2</sub>  | Pt <sub>2</sub> Si <sub>3</sub> , PtSi                            |                    |                    |
| Mo <sub>3</sub> Si <sub>2</sub>                       |                                 |                    |   |                    |                    |

对于硅-金属来说,一开始接触的问题可能有以下二个:(1)是否会形成硅化物,(2)如果形成硅化物,则在何种条件下会出现何种机构和结构相。对上述二个问题,均以平衡态作为研究的出发点。对于第一个问题,如果参照二元合金相图<sup>[2]</sup>,则不形成硅化物的金属元素示于表 6-1。只是对 Au 来说尚有问题。对于第二个问题,提出了这样一个经验法则<sup>[3]</sup>,即在硅表面形成金属膜,经热处理形成硅化物时,最初出现的化合物乃是在平衡相图中接近最低共晶温度的最稳定的、溶解时成分不变的化合物。表 6-2 是该法则与实验结果的比较。

下面简单谈谈研究的方法。样品必须尽可能地处于能够控制的状态,并能保证重复性。具体说来,就是能够形成硅洁净表面,在超高真空下能够进行金属镀膜和热处理,而且在镀膜上还必须能在活性气体分压极低的情况下采用 Ar 离子进行溅射腐蚀。另外,需要在  $10^{-2}$ ML (单原子层) 到  $10^4 \text{ \AA}$  的范围内精确地掌握金属的淀积量。

表 6-3 列举了研究硅上金属薄膜所采用的手段。(1a)、(2)、(3)的共同特点是能同时给出整个截面情况,故把 BS+XD 的组合作为金属硅化物层的主要研究手段,不过也期望能用超高压电子显微镜来研究。研究单原子吸附层或表面 2D 晶格以采用 LEED+AES 为宜,而检测表面微晶则以 RHEED 为好。AES 的检测深度达  $10 \text{ \AA}$ ,故它与 Ar 离子溅射腐蚀组合起来便成为研究断面组分变化的标准手段。迄今几乎没有任何人采用(1b)的 ISS 对硅-金属开展过研究,但采用这种方法有获得极佳结果之可能。其它诸如 XPS、UPS、ELS 等电子能谱法同结构研究的手段结合起来,则有可能提供有关结构与电子状态对应关系的线索。另外,TDS (热分解能谱)在估计吸附层的结合状态或吸附量这一点上颇有用处。在研究类似表面或界面那种未必能作出完整规定的对象时,将各种研究手段

表6-3 硅上金属薄膜的研究手段

| 手 段  | 获 得 的 结 果  |
|--|--|
| (1) 离子卢瑟福散射<br>(a) BS. (MeV, He <sup>+</sup> , H <sup>+</sup> )<br>(b) ISS (KeV, He <sup>+</sup> , Ne <sup>+</sup> , Ar <sup>+</sup> ) | 膜截面构造(各层的组成和厚度; $\Delta t = 100 \sim 200 \text{ \AA}$ )<br>最外层表面的组成和近邻原子间的排列 |
| (2) XD   | 500 $\text{ \AA}$ 以上的膜的全晶相, 外延膜晶向  |
| (3) TEM-HEED ( $10^2 \sim 10^3 \text{ KeV}$ )  | $\sim 10^4 \text{ \AA}$ 厚的膜或膜+衬底的析出物, 位错、晶体结构和晶向等                            |
| (4) SEM + (XMA)  | 表面状态(组成分布)   |
| (5) LEED ( $10 \sim 10^2 \text{ eV}$ )   | 表面晶格(小平面、腐蚀坑、吸附层的结构等)  |
| (6) RHEED ( $10 \sim 10^2 \text{ KeV}$ )   | 3D 微晶、表面晶格   |
| (7) AES (SAM)  | 表面几层的定性元素分析、状态分析 (表面分布 $\Delta l \sim 10^3 \text{ \AA}$ )                    |
| (8) XPS  | 表面层元素和状态分析   |
| (9) UPS, ELS   | 表面、界面的电子状态   |
| (10) TDS (热脱附频谱)   | 吸附层的结合状态(吸附量)  |

注: BS: 背散射能谱仪; ISS: 离子散射能谱仪 (用于低能离子); XD: X射线衍射仪; TEM: 透射式电子显微镜; HEED: 高能电子衍射仪; SEM: 扫描电子显微镜; XMA: X射线微量分析仪; LEED: 低能电子衍射仪; RHEED: 反射高能电子衍射仪; AES: 俄歇电子能谱仪; XPS: X射线光电子能谱仪 (= ESCA); UPS: 紫外光电子能谱仪; ELS: 电子能量损耗能谱仪; TDS: 热分解能谱仪。

适当地组合起来进行多重测定，无疑要比单一手段更为有效。

### 6.3 硅表面的金属吸附层结构

表 6-4 汇总了在低指数的硅洁净表面上观察到的吸附层结构，为便于比较，也列入了非金属元素的吸附层结构。在同一种吸附层中出现了多种结构系，表明这些结构的出现取决于覆盖度和热处理。表中所使用的结构符号均取自原文，数字  $n$  是  $n \times n$  超晶格的简化符号；1 表示与衬底硅的 (hkl) 理想面晶格相等。记有覆盖度的结构是实际测定了吸附量或做了估计的结构系，但不一定百分之百的可靠。这是因为吸附物不仅限于表面最外层，也可能经热处理一部分凝聚起来，使参与形成超晶格的数量变得非常之少。在 Cu/Si(111) 的情况下，超晶格确定为 5 个或介于 5 到 7 个之间，但都不能认为是正确的。原报告中所给出的 LEED 图似乎不是超晶格，而是暗示存在着与衬底平行的、晶格常数相差百分之二十的薄六方形晶格层。

从表中可以明显的看出，规则的吸附层结构的出现与金属原子有无形成硅化物的能力有关。有趣的是象 Al 和 In 那样不会形成硅化物的金属竟然有多种表面状态。总之，在这儿之所以列举出硅上的金属吸附层结构，是因为据信这些构造与界面结构有着直接的关系。

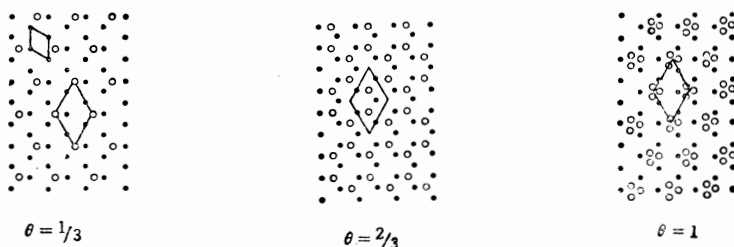


图6-3 Si(111) -  $\sqrt{3}$  - M 结构模型  
( $\theta = 1/3$ , 1 和  $\theta = 2/3$  分别录自文献[4]和[63])

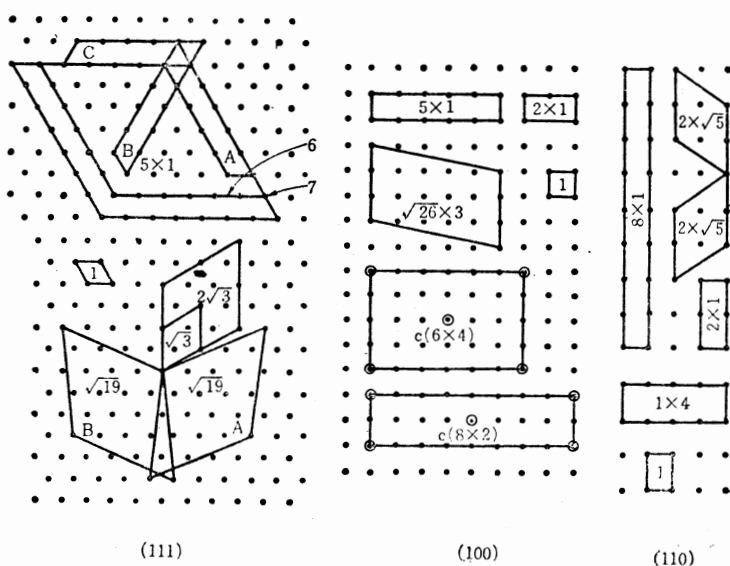


图6-4 在Si(111), (100), (110) 面上所发现的超晶格

●：表示硅表面晶格点；⊙：表示晶格对称性的符号。



但是在膜厚增加时,吸附层结构是否能原封不动地保存在界面上? 或者假定保存在界面上,那末在几种状态中又是哪一种状态存在呢? 这些问题有必要就各结构系逐个进行研究。

在Si(111)面上,大多数金属会形成 $\sqrt{3}$ 结构,如表6-4所示。如果考虑到产生这种结构的条件,图6-3中按照覆盖度所示的吸附模型似乎是正确的。尽管如此,也并不意味着这些模型的正确性业已得到证实。现在所能得到的仅是将表面晶格当作表面结构的“指

表6-4 硅表面的吸附层结构

| 吸附物质                    | 表面结构 (覆盖度: ML)   | 文献                    |
|-------------------------|--|-----------------------|
| (111)                   |  |                       |
| Al                      | $\alpha 7(\sim 1/2)$ , $\beta 7(\sim 1/2)$ , $\gamma 7(\sim 1)$ , $\alpha \sqrt{3}$<br>( $\sim 1/3$ ), $\beta \sqrt{3}(\sim 1)$ , $\alpha \sqrt{3}$  | 4, 5<br>6             |
| Ag                      | $3 \times 1 (\theta < 1/3)$ , $\sqrt{3}(\sim 1/3)$<br>$3 \times 1$ , $\sqrt{3}$ , ( $\theta > 1.5$ )<br>$\sqrt{3}(1)$<br>$\sqrt{3}$ , $3 \times 1$ , $6 \times 1$                            | 7<br>8, 9<br>10<br>11 |
| Au                      | $5 \times 1(1/2)$ , $\sqrt{3}(1)$ , $6(1.5)$ , $\sqrt{19}$<br>$5 \times 2$<br>硅化物  | 8, 12, 13<br>14<br>15 |
| C                       | $\sqrt{3}$   | 16                    |
| Cu                      | 5<br>$1(\sim 1)$ , 5和7之间( $< 1$ )  | 17<br>18              |
| Fe                      | $2(\sim 6 \times 10^{-4})$<br>1(0.02)  | 19<br>20              |
| Ga                      | 7 - Ga(0.2~0.5)  | 21                    |
| In                      | $\alpha 7(\sim 1/2)$ , $\beta 7(\sim 1/2)$ , $\gamma 7(\sim 1)$ , $\alpha \sqrt{3}$<br>( $\sim 1/3$ ), $\beta \sqrt{3}(\sim 1)$ , $2\sqrt{3}(\sim 1/2)$ , $24(\sim 1/2)$ , $2(\sim 1/2)$ , 4 | 4, 5<br>8             |
| N                       | 8  | 22, 23                |
| Ni                      | $\sqrt{19}(\sim 10^{-7})$<br>$\sqrt{19}(\sim 10^{-2})$   | 24<br>25              |
| P                       | 7, 1, $2\sqrt{3}$ , $6\sqrt{3}$  | 22                    |
| Pb                      | 7, $\sqrt{3} \sim \text{I}$ , $\sqrt{3} - \text{I}$  | 26                    |
| Pd                      | $\sqrt{3}$ , $2\sqrt{3}$ , $3\sqrt{3}$   | 27                    |
| Sn                      | 7, $\sqrt{3} - \text{I}$ , $\sqrt{3} - \text{I}$ , $2\sqrt{3}$   | 26                    |
| Te                      | $2\sqrt{3}$ , $1(\sim 10^{-2})$  | 28                    |
| Ta                      | $\sqrt{3}$   | 29                    |
| (100) - $2 \times 1$ 表面 |  |                       |
| Ag                      | 无序   | 30                    |
| Au                      | $c(8 \times 2)$ , $5 \times 1$ , $\sqrt{26} \times 3$ , 硅化物  | 31                    |
| Al                      | $c(4 \times 4)$ , 2  | 32                    |
| Cs                      | $2 \times 1(\sim 1/2)$   | 33, 34                |
| Cu                      | $c(4 \times 6)$ , 2  | 35, 36                |
| Pd                      | $c(4 \times 6)$ , 2  | 32                    |
| H                       | 1, $2 \times 1$  | 35, 36                |
| (110) - $2 \times 1$ 表面 |  |                       |
| Al                      | 不确定  | 37                    |
| Au                      | $(8 \times 1) + (1 \times 4)$  | 37                    |
| Te                      | 1(1)   | 38                    |

纹”来使用，故为了便于理解各种超晶格起见，在图 6-4 中做了图解说明。

### 6.4 单晶硅表面上的金属薄膜

在讨论金属-硅系的表面和界面结构时，以选择已供实际应用并可用各种方法进行研究的结构系为宜。根据这个观点，下面分别详细介绍 Pd、Au 和 Al。

#### 6.4.1 Pd-硅系

##### 1) 过去的研究

图 6-5 是 Pd-硅系的平衡相图，但按 Hansen 的说法，Pd-硅系的平衡相图有很大变化。图中给出的三种硅化物均已对其结构做过分析<sup>[39,40]</sup>。亦即：Pd<sub>3</sub>Si 属斜方晶系，为 Fe<sub>3</sub>C 型 ( $a = 5.735$ ,  $b = 7.555$ ,  $c = 5.260 \text{ \AA}$ )；Pd<sub>2</sub>Si 属六方晶系，为 Fe<sub>2</sub>P 型 (富 Pd 时， $a = 6.497$ ,  $c = 3.432 \text{ \AA}$ ；富 Si 时， $a = 6.528$ ,  $c = 3.437 \text{ \AA}$ )；PdSi 属斜方晶系，为 MnP 型 ( $a = 6.133$ ,  $b = 5.599$ ,  $c = 3.381 \text{ \AA}$ )。

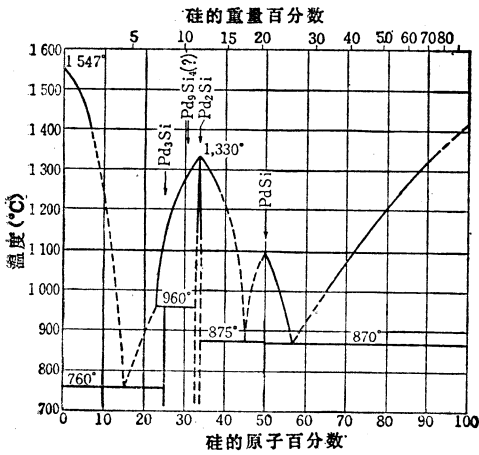


图6-5 Pd-Si 系平衡相图

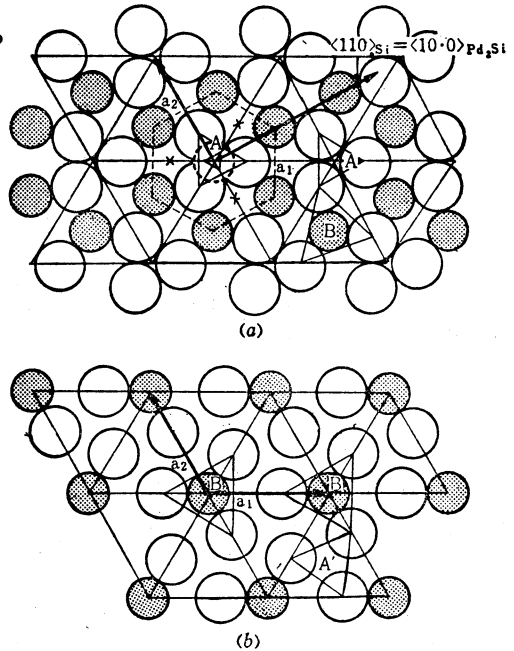


图6-6 Pd<sub>2</sub>Si(0001) 面的原子排列  
(a)底面；(b)Co/2面。●：Si原子，○：Pd原子。

在 200°C 左右使 Pd 淀积在 Si(111) 面上，用 X 射线衍射法只检测到了 Pd<sub>2</sub>Si，经角磨后再观察其截面，发现 Pd<sub>2</sub>Si 和 Si 的界面深入硅体内部的深度大体上与淀积的 Pd 膜厚度相等<sup>[41]</sup>。由电子显微镜和电子衍射的检测结果得知，于 150°C 左右蒸发在硅 (100) 面上的膜呈 Pd<sub>3</sub>Si 和 Pd<sub>2</sub>Si 的混合物，而经热处理后，其成分为 Pd<sub>2</sub>Si 和少量的 PdSi<sup>[42]</sup>。从这份报告来看，硅化物的排列并不怎么理想，但 Buckley 等人<sup>[43]</sup>却发现若在 Si(111) 面上蒸 Pd 的话，即使是在室温下 Pd<sub>2</sub>Si 也显示出良好的外延生长。此时的晶向关系是

$$\text{Pd}_2\text{Si}(0001), \langle 10\bar{1}0 \rangle // \text{Si}(111), \langle 110 \rangle$$

他们还指出，Pd<sub>2</sub>Si(0001) 面和硅 (111) 面的适配性非常好 (错配仅为 ~2%)，如图 6-6 所示。Hutchins 等人<sup>[44]</sup>研究了在硅的各个面上 Pd<sub>2</sub>Si 的形成及其热稳定性，发现

$\text{Pd}_2\text{Si}$  的适配性按 (100)、(110)、(111) 的顺序依次变好,  $\text{Pd}_2\text{Si}$  向 PdSi 转化的速度也按这个顺序减小。亦即, 在  $\text{N}_2$  气氛中, 在  $\text{Pd}_2\text{Si}$  膜中形成 PdSi 核时的温度依次为 735、760 和 840°C, 而向 PdSi 的转化则似乎与  $\text{Pd}_2\text{Si}$  的完整性有关。通过扫描电镜观测的结果表明, 在转化完全结束时, PdSi 会形成岛状, 并分布在裸露出来的硅表面上。Köster 等<sup>[45]</sup>发现, 在 Si(111) 面上蒸 Pd 并经热处理而形成  $\text{Pd}_2\text{Si}$  时, 蒸发过程中的衬底温度对其适配性和形态的影响很大。也就是说,  $\text{Pd}_2\text{Si}$  的外延生长同预料相反, 在衬底温度低于 100°C 时出现, 而温度越高, 原子排列情况越差。

在上述研究中, 硅表面在绝大多数情况下都应该是被氧化物层所覆盖的, 然而, 这种氧化层对 Pd-Si 之间的反应似乎并没有什么影响。这样, Pd-Si 系中出现的现象在 100 Å 左右的厚度范围内是能够掌握的。不过, 用这一尺度来理解表面和界面显然过于粗糙, 这就要求采用 LEED(RHEED)、AES 等手段以单原子层为尺度来研究。

## 2) 采用 LEED 和 AES 的研究

经镜面研磨、化学腐蚀、Ar 离子轰击、热退火等一系列方法处理过的硅表面, 如能以低背景给出清晰的 LEED 衍射象, 并且在俄歇能谱中看不到杂质峰, 则此种表面叫做清净表面, 它是本研究的基础。

如在真空度为  $10^{-8}$  托中在 Si(100) 和 (111) 洁净表面上逐步地蒸 Pd, 则可以观察到, 在室温下当衬底上的淀积厚度达到大约 10 Å 时, 这两种表面的 LEED 点都消失, 即使达到 500 Å 的厚度, 也只会使背景增强。如图 6-7 所示, 两种硅面的低能侧 AES 曲线都在淀积厚度达 10 Å 左右时开始发生明显变化。在通常情况下, 硅能谱的这种分裂象征着硅化物<sup>[46]</sup>或合金层<sup>[47]</sup>的存在。分裂峰值中的 86eV 和 Si 的 91~92eV 以及 Pd 的 330eV 诸峰与蒸发时间的关系如图 6-8 所示。从 6-7 图中可以看到, 硅化物在 50 Å 左右有一极高峰, 甚至在离膜表面相当接近的地方也存在。只是在图 6-8 中, Pd(330eV) 和 Si(91~92eV) 的峰值分别被规一化为百分之百覆盖时的强度, 而 Si(86eV) 的硅化物峰值为方便计, 给出的是与 Si(91~92eV) 峰值之比。

把在常温下蒸发的 500 Å 的膜进行阶跃式升温, 并在每一温度都使其退火 2 分钟, 随后在室温下观察俄歇峰值强度的变化和 LEED 图的变化, 结果示于图 6-9。已往的研究结果表明, 在 250°C 退火时,  $\text{Pd}_2\text{Si}$  便会在 Si(111) 面上迅速地“外延生长”, 但是 (111) 和 (100) 面即使加热到接近 500°C 也未出现 LEED 点。这也许表明外延层的最外层表面被紊乱的生长层所覆盖。AES 表明, 在 100°C 左右时表面的 Pd 金属层会变成硅化物, 到 600°C 左右, 在该硅化物层内又会发生若干变化。

把样品加热到 500°C 以上时, (111) 和 (100) 面都能给出图 6-10、6-11 所示的那种超晶格 LEED 图。如果参照前面介绍的 Hutchins<sup>[44]</sup>等的研究结果, 则可以认为在高温下  $\text{Pd}_2\text{Si}$  分解成 PdSi 或 Pd 小块, 并分布在这些硅超晶格表面上。假定图 6-10 中的在 1200°C 退火时确认的 Pd 信号大部分来自这种小岛, 便可断定导致 (111) -  $2\sqrt{3}$  和 (100) -  $c(4 \times 6)$  超晶格的 Pd 量是极少的。另外, 这些超晶格一旦产生, 那末即使反复进行  $\text{Ar}^+$  溅射, 或在 1200°C 下闪蒸, 也难以除去。此时硅的俄歇能谱与洁净表面的几乎相同。总而言之, 在 500°C 以上形成的超晶格层可以视为硅-硅化物的界面相, 但用 LEED 还不能断定常温蒸发时的界面究竟是不是 Bene 等人<sup>[48]</sup>所假定的 Pd-Si 非晶相。

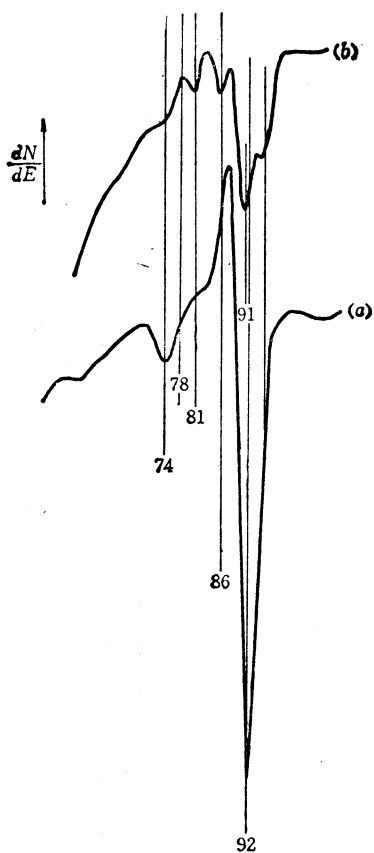


图 6-7

(a) Si 洁净表面的俄歇能谱, (b) 室温下蒸发 50 Å Pd 时的俄歇能谱, 数字是峰值位置 (eV)

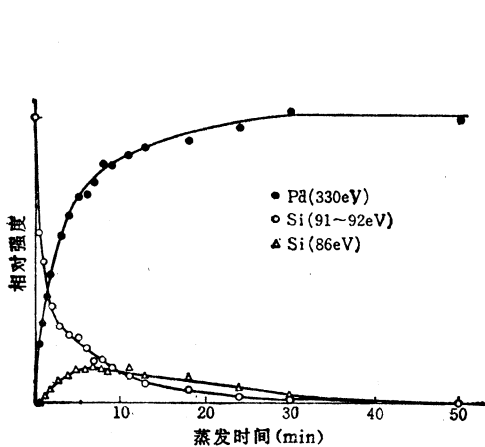


图6-8 Si(100)面上蒸Pd时的俄歇能谱与时间(膜厚)的关系  
(衬底温度: 室温, 蒸发速度: 8.5 Å/min)

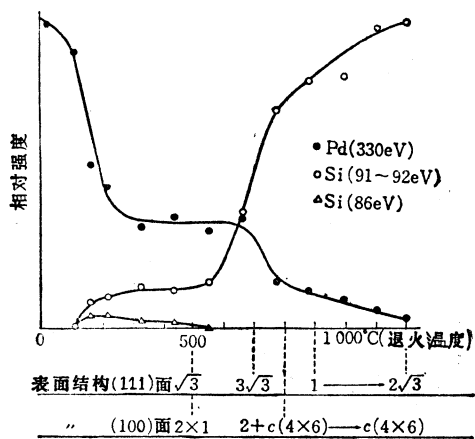
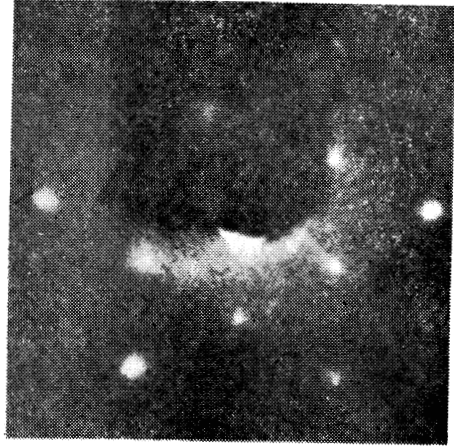


图6-9 与阶跃式退火对应的俄歇能谱峰值强度和表面结构

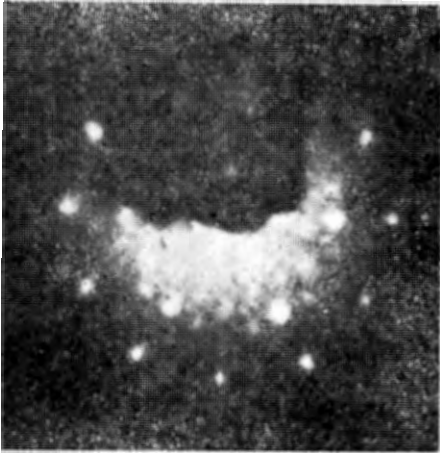
Pd/Si(111)LEED 图



洁净Si(111)7×7 45eV



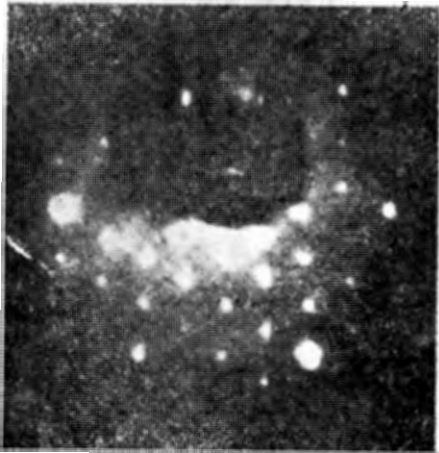
500°C  $2\sqrt{3} \times 2\sqrt{3}$  30eV



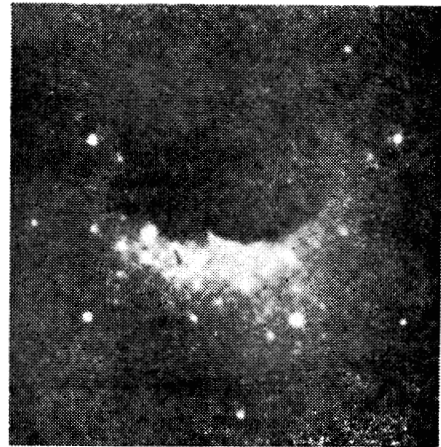
700°C  $3\sqrt{3} \times 3\sqrt{3}$  40eV



1200°C淬火  $1 \times 1$  40eV



1200°C逐渐冷却  $2\sqrt{3} \times 2\sqrt{3}$  40eV



$2\sqrt{3} \times 2\sqrt{3}$  101eV

图6-10 Pd/Si(111) 中的超晶格LEED图

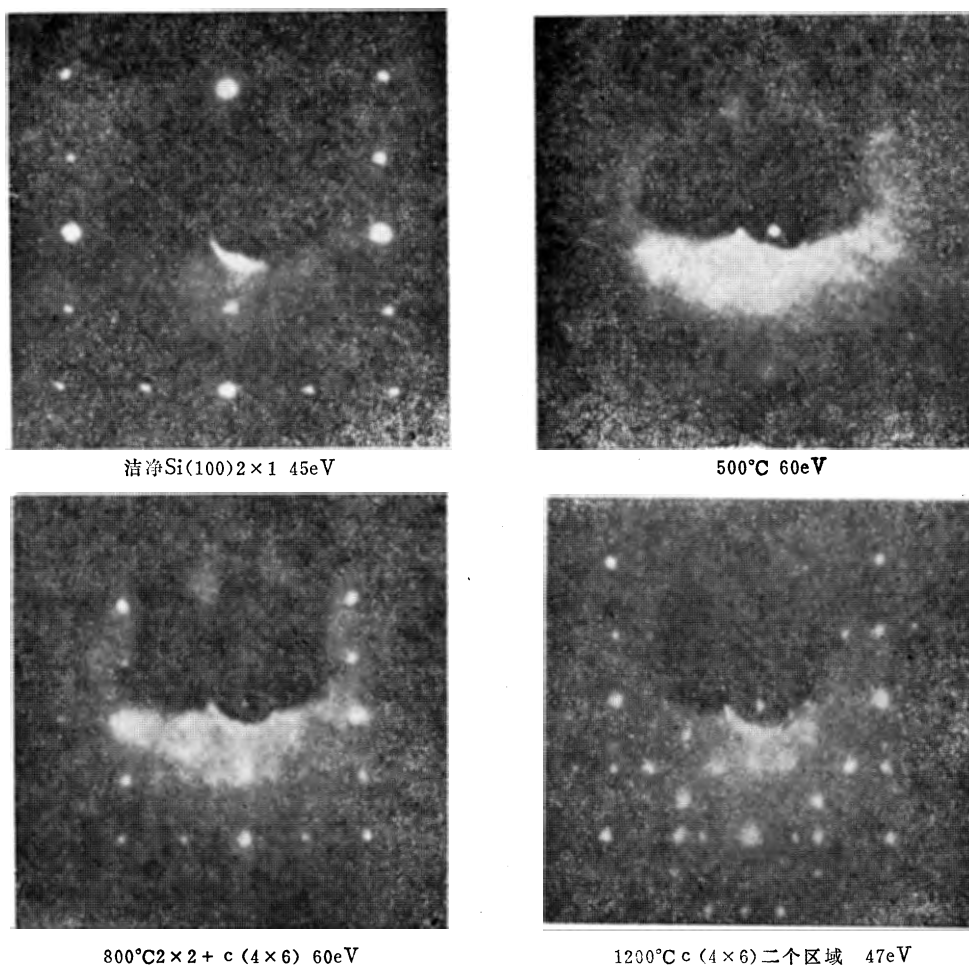


图6-11 Pd/Si(100)中的超晶格LEED图

### 6.4.2 Au-Si系

Au-Si合金的固溶度极小，在Si组分占17.9%时其共晶点温度低至 $370^{\circ}\text{C}$ <sup>[49]</sup>（按Hansen的相图则是31%）。在其平衡状态下化合物相是未知的，但将熔融的合金急剧冷却并适当地退火，便会出现非平衡相。表6-5归纳了这些情况，未注明引用文献的均是文献[50]中的数据。根据不同的组分、冷却速度和退火条件也许会出现若干种相，但详细情况还不知道。

表6-5 Au-Si系的非平衡相

| 晶体系(型)                     | 晶格常数(Å)                                 | 组分: Si%                    | 原子/晶胞 |
|----------------------------|---|----------------------------|-------|
| fcc: (面心立方晶格)              | 7.844                                   | 5~25(Au <sub>7</sub> Si)   | 32    |
| fcc: (面心立方晶格)              | 19.503                                  | 25~50                      | 500   |
| 立方晶系(γ-黄铜)                 | 9.60                                    | 20~21                      | 52    |
| 斜方晶系 <sup>[49]</sup>       | $a = 7.82$<br>$b = 5.55$<br>$c = 11.16$ | 25±2.5(Au <sub>5</sub> Si) | 32    |
| 立方晶系(β-Mn) <sup>[50]</sup> | 6.750                                   | 16(Au <sub>5</sub> Si)     | 20    |

在单晶硅表面上蒸 Au 的结构系中，注意到硅的扩散非常迅速，目前正采用 BS 对此开展研究<sup>[51]</sup>，但结构的研究仍一直以 LEED 法为主。

### 1) Au/Si(111)

若以模型的形式表示表 6-4 中所列各种表面晶格的出现条件，则如图 6-12 所示。图中低覆盖度部分引自 Le Lay 等人<sup>[52]</sup>的报告，膜厚为数百 Å 的部分是根据 Green 等人<sup>[53]</sup>的报告绘制的。图中最有意义的是各超晶格的出现温度都与覆盖度或存在于表面的 Au 量有关。在高温衬底上蒸发时，超晶格会在与常温蒸发并退火的膜不同的条件下出现。

在低覆盖度情况下经高温退火而出现的  $\sqrt{19}$  结构，在此一概归为洁净表面，这种结构很可能是杂质（包括 Au）所引起的。实际上，Menadue<sup>[52]</sup>已注意到出现 7 结构或  $\sqrt{19}$  结构似乎都与研磨方法有关，并发现正是微量的 Ni 引起了  $\sqrt{19}$  结构（如表 6-4 所示）。

图 6-13 示出了  $T_s=700^\circ\text{C}$  时俄歇峰值强度、LEED 图与覆盖度的关系<sup>[54]</sup>，图 6-14 则是参照热解等温线而绘制的 Au-Si 系二元相图<sup>[54]</sup>。下面按照 Green 等人<sup>[53]</sup>的论点介绍硅化物相。

若在室温的 Si(111) 面上蒸发 Au，则 Si 的 92eV 俄歇峰值马上会分裂成 90eV 和 95eV 两个。这说明，硅化物层是很容易形成的。然而，在这种状态下，也观察到了 Au(111) 面的 LEED 图像，而其背景随着硅化物的增加而增强。随着膜厚的增加，俄歇能谱中只出现 Au，背景也减弱，因此清楚地表现为外延生长。此时的晶向关系是

$$\text{Au}(111), [110] // \text{Si}(111), [110]$$

若以高  $T_s$  蒸发，则 Au 的 LEED 图不是完全没有，就是对比度明显降低。

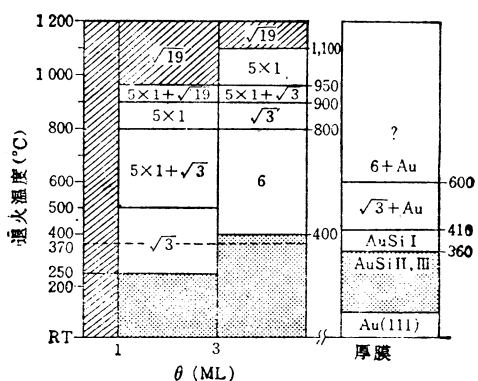


图6-12 Au(蒸发)/Si(111)的超晶格、硅化物相的出现条件  
(斜线部分为洁净表面区域，网点部分为不出现 LEED 点的区域)

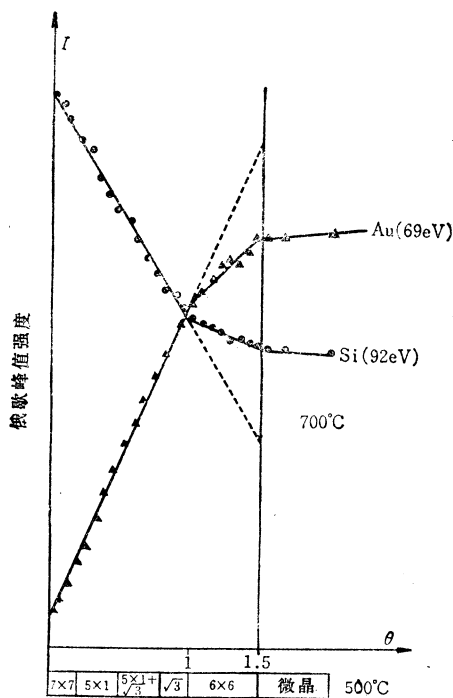


图6-13 在Si(111)表面蒸Au的过程中出现的  
 俄歇峰值和超晶格相的变化  
 [衬底温度700°C, (Au的附着率β = 1), 观察温度500°C.]

在室温下蒸发足够厚的膜，并在 360~400°C退火，则 LEED 图便会变成称为 AuSi I 的硅化物的图形。另外，快速升温 (100°C/min) 至 360°C时，便会出现所谓 AuSi II 的结构，而缓慢升温 (25°C/min) 时则会出现 AuSi III 的结构。这两种结构与衬底的平整度、Au 的纯度、膜厚、膜的制备法和热处理过程等也有关系。

最有意义的是 AuSi I 结构在共晶点 370°C以上时也能存在于 Au 膜表面，通常认为这种相在硅表面上是不存在的。属于该相的 LEED 图很多，如图 6-15(a) 所示的单晶图形，将单晶图形旋转并使之重叠的多重晶向图形 (b)，或呈散乱晶向的图形，等等。从图中 (a) 可以看到，单位逆晶格尽管经过选择，但由于本质上注定会消失，故显然不是简单晶格。2D 单位晶格经计算为  $a_1=9.35 \text{ \AA}$ ， $a_2=7.35 \text{ \AA}$ ，根据 AES 强度比认为其组成为 AuSi。不过，这种单位晶格似乎不是表 6-5 所举出的 β-Mn 型。AuSi II 和 AuSi III 都出现在同一温度区间，而且 III 经常伴有强烈的背景，因此不能推断这两种都是单位晶格。

硅化物层在 410°C以上便分解，变成 Au 块

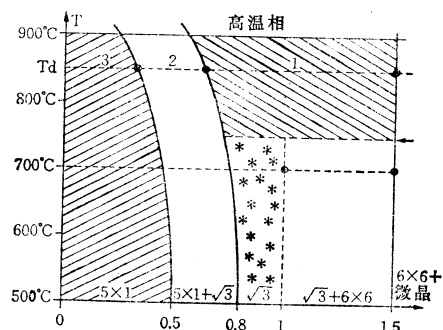


图6-14 Au-Si(111) 系的二元相图



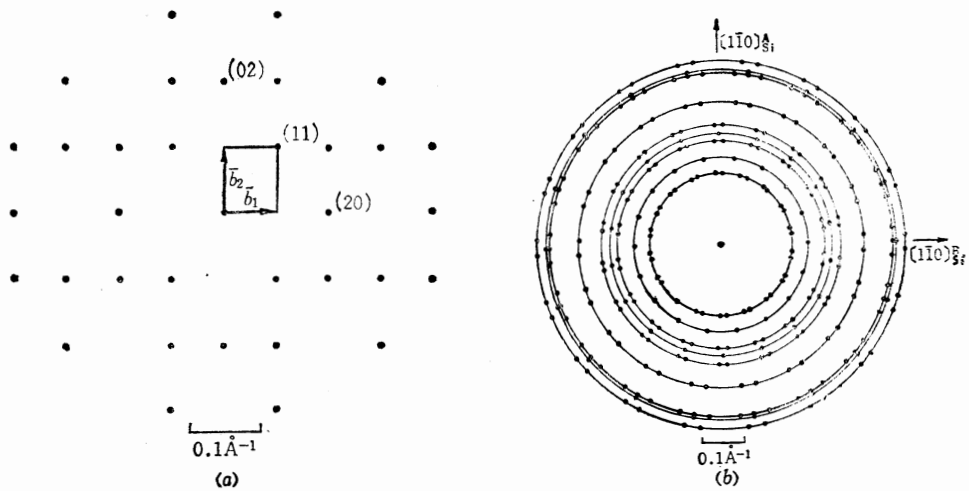


图6-15 (a) AuSi I 的单位逆晶格, (b) 根据(a) 给出的多重晶向LEED图

而分散在超晶格表面上, 在 250°C 时, 其最大厚度可达 30 Å 左右。

2) Au/Si(100)<sup>[81]</sup>

图 6-16 集中表示了 Si(100)-2 × 1 洁净表面上进行室温蒸 Au 并退火所得到的表面结构。观察蒸发过程, 可以看到随着 Au 覆盖度的增加, LEED 图的背景逐渐增强, 在淀积厚度约 30 Å 时便会出现微弱的模糊圆环型图形。此时硅的 92eV 俄歇峰值会变成 90eV 和 95eV 的双峰, 故认为圆环图形系硅化物所致。再增加 Au 量, 圆环便消失, 而出现新的 LEED 图 (见图 6-17)。这种图形据分析乃是与衬底平行的 6 个晶向的 Au(111) 面。在 6 个晶向中, 占优势的是 Au[011]//Si[011] 和 Au[01̄1]//Si[01̄1], 其它则是由这些旋转 ±10° 而得到的。在出现这种图形时, 是不会有硅的俄歇峰值的。

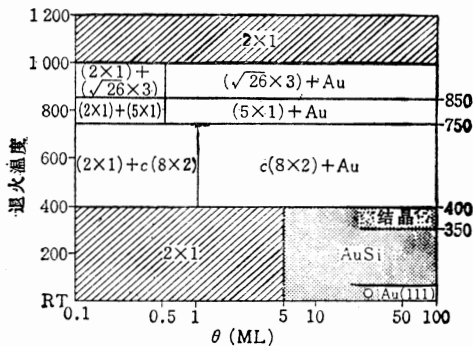


图6-16 Au/Si(100)系的硅化物、超晶格出现条件

(斜线为洁净面区域, 两点为未出现LEED点的区域。)

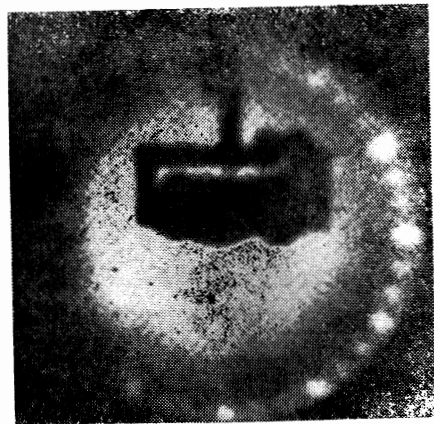


图6-17 表示Au/Si(100)系的Au(111) 多重晶向的LEED图

将足够厚度的 Au 在 350°C 下退火若干分钟, 便能得到图 6-15 (b) 那种由许多像点排成的同心圆状的 LEED 图。此时俄歇能谱出现了 Si 的 90eV 和 95eV 双峰值, 故无疑是形

成了晶相硅化物。

从该 LEED 图很难看出单位逆晶格，而考虑图 6-18 中的两种晶格，则几乎能解释所有衍射点。也就是说，它们是  $a_H=4.3\pm 0.2\text{ \AA}$  的六方晶格（4 个晶向）和  $a_R=9.1\pm 0.3\text{ \AA}$ 、 $b_R=8.0\pm 0.3\text{ \AA}$  的长方晶格（6 个晶向）。只是对后者必须提供明显的消失机理。将此与 Green 的长方晶格 AuSiI 相比，可以看到晶格常数稍有差异，而消失机理则完全不同。根据 AES 定性测定，这种相中 Si 大约为 15%，因而断定是  $\text{Au}_5\text{Si}$ ，该化合物能够存在的温度上限大约为  $400^\circ\text{C}$ 。此外，倘把 Au(111) 面上产生的情况也一并考虑，则此种硅化物便与前述 AuSiI 极其相似。

将 Au/Si(100) 系进行高温退火，则如图 6-16 所示，会依次产生超晶格。此时，如图 6-19 所示，俄歇能谱中会出现 Si 的 92eV 单峰和相当强的 Au 峰。

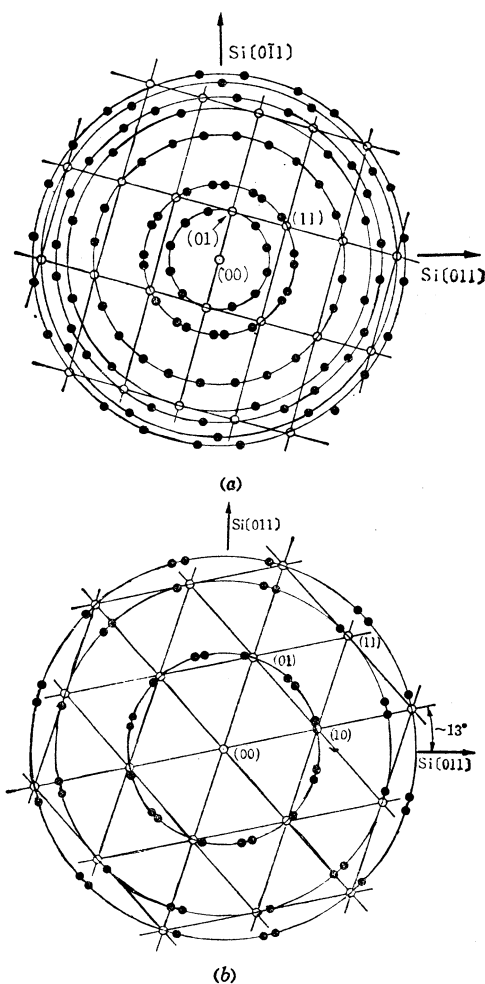


图6-18 Au/Si(100)系中表面硅化物相的LEED图的分析(单位逆晶格)

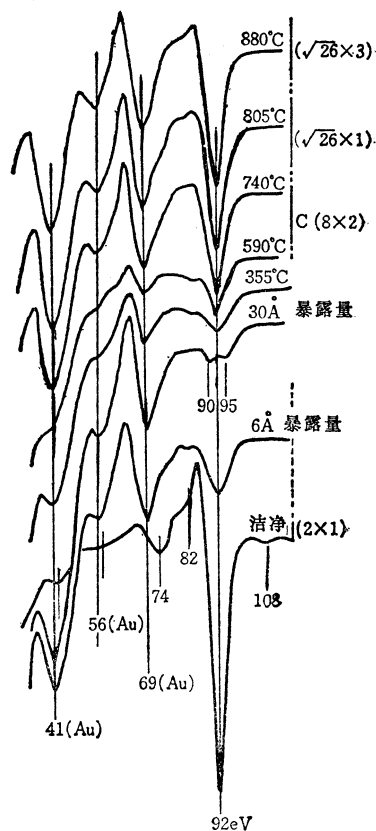


图6-19 在Au/Si(100)系的蒸发和退火各阶段中的俄歇能谱

用 SEM 观察超晶格发生的种种状态时，可以看到岛状结构，经显微镜分析可以断定“岛”就是 Au。图 6-20 便是这样一个例子。将该面在  $1000^\circ\text{C}$  以上退火，便能再次获得 Si(100) 洁净表面，但会出现很多腐蚀坑。图 6-21 表示超晶格的逆晶格，据认为这些晶格

是高温时 Si(100) 面和 Au 的界面，但很难估计造成这种情况的 Au 的浓度，故至今未能形成结构模型。一个线索是  $c(8 \times 2)$ ，这在 GaAs(100) 面上也能看到。

形成硅化物的 Au 膜截面结构可采用溅射腐蚀、AES 法进行研究。图 6-22 便是一例：大约在 3 分钟后，硅的 90eV 和 95eV 双峰便消失，只留下 Au 的能谱，然后硅化物能谱再一次出现，最后形成 Si 衬底的能谱。假定 Au 和 AuSi 都是以同一速度进行腐蚀的话，便能得到 (b) 那样的截面结构，这与 Si(111) 面上所发生的情况相同。Au 不同于 Pd，其表面和界面都能形成硅化物，二者的厚度几乎都与蒸发的 Au 膜厚无关，但是当 Au 的厚度小于 100 Å 时，则硅化物仅为一层。

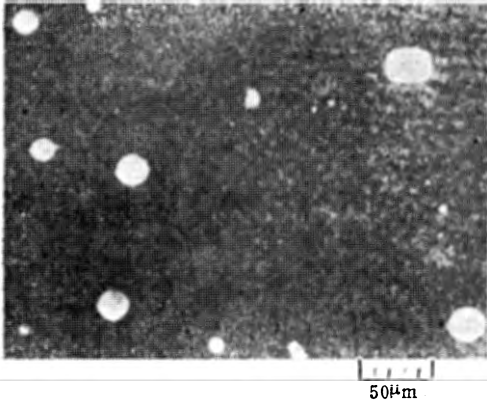


图6-20 Si(100)- $\sqrt{26} \times 3$ -Au结构发生前后的表面SEM图

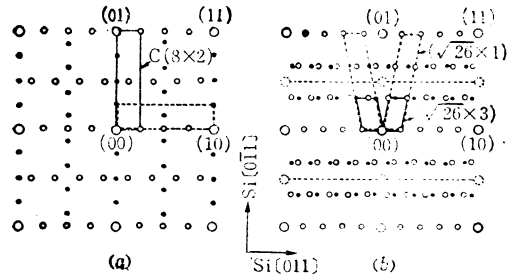


图6-21 Au/Si(100)系中各种超晶格LEED图的分析

从 LEED 图可以看到，表面的硅化物层在不同的条件下，从 2 D 德拜环到明确的点像有各种不同程度的旋转紊乱。这表明与衬底硅毗邻的硅化物不一定总是非晶质或紊乱结构的物质。对于中间的 Au 膜，最近 Ievlev 等人<sup>[55]</sup>在 Si(111)-(2 × 1) 洁净表面上蒸 Au，经适当热处理后，使其与衬底脱离，然后进行 TEM——透射 HEED 观察。结果发现 Au(111)//Si(111) 面的晶向关系并不是无规则的，而是一个旋转角(从 Au<110>//Si<211>开始测量)为 0、3、5.2、10.9、19.1、27° 的区域。这一事实意味着 Si-Au 界面的硅化物层也不是无规则的，而是具有特定的晶向。

### 6.4.3 Al-Si 系

在 Al-Si 合金中，当 Si 为 11.3% 时，其共晶点为 577°C，此时不形成硅化物。与 Pd 和 Au 的合金不同，在固相中，Si 只能微溶于 Al，而 Al 却几乎不溶于 Si。图 6-23 是将 Al100% 一边放大的 Al-Si 系相图，在该图中，能够清楚地看到溶解度曲线。目前也正在用 LEED-AES 对 Si 单晶表面上蒸发的 Al 膜进行微观研究，这显然是一件很有意义的事。

#### 1) Al/Si(111)

从表 6-4 可以看到，在淀积量为 1 ML 左右时，便出现很多的超晶格。下面我们首先来搞清这些超晶格出现的条件<sup>[4][5]</sup>。

(α 7)：当衬底温度  $T_s < 300^\circ\text{C}$  时，在 Si-7 洁净表面淀积 1/2ML 的 Al。于是变化逐

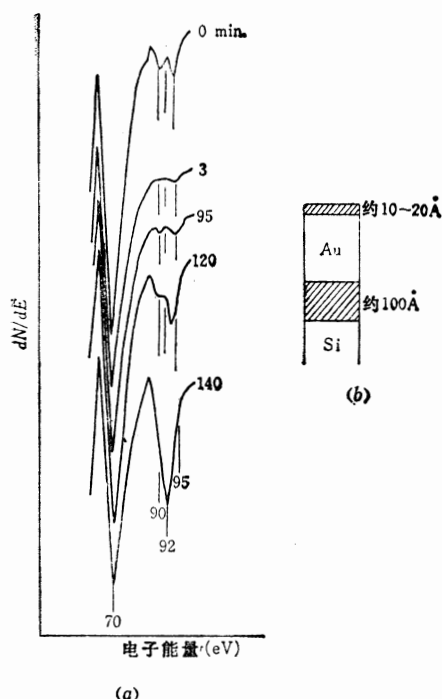


图 6-22

(a) 在Si(100)面上溅射腐蚀Au膜而造成的俄歇能谱变化情况(右边的数字是溅射时间(min);腐蚀速度约 $4\text{Å}/\text{min}$ );(b)由(a)得出的膜断面结构。

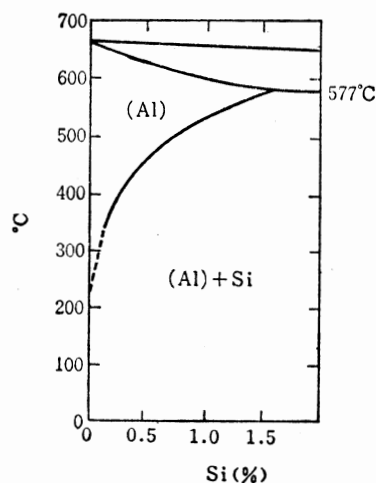


图6-23 Al-Si合金相图的一部分, Si的溶解度曲线

渐发生, 当  $\theta \approx 1/2$  时便可给出最佳的 LEED 图。其与洁净表面区别的标志是 LEED 图的强度分布。

( $\alpha\sqrt{3}$ ): 有多种制备法。(1) 将衬底温度保持在  $500^\circ\text{C} < T_s < 800^\circ\text{C}$  并蒸铝;(2) 把下面将要讲到的  $\beta-7$  加热到相当高的温度;(3) 在室温下, 在衬底上蒸发约  $1/3\text{ML}$  的 Al, 再在  $500^\circ\text{C}$  以上的温度下退火;(4) 反复多次进行蒸 Al——高温内蒸(约  $1000^\circ\text{C}$ ) 的循环。

( $\beta\sqrt{3}$ ): 将  $\alpha\sqrt{3}$  保持在室温下蒸发大约  $1\text{ML}$  的铝。

( $\beta-7$ ): 把  $\alpha\sqrt{3}$  保持在  $500\sim 800^\circ\text{C}$ , 蒸发  $1/5\text{ML}$  的铝。

( $\gamma-7$ ): 在  $500 < T_s < 800^\circ\text{C}$  时蒸发大约  $1\text{ML}$  的铝。

在上述方法中, 有意义的是  $\alpha\sqrt{3}$  在  $800^\circ\text{C}$  左右会发生 2D 有序-无序转变, 另外只有  $\beta\sqrt{3}$  在室温中能得到良好的外延膜, 而其它面的晶向不太一致。对前者已采用 Q 开关激光器对  $\alpha\sqrt{3}$  进行脉冲加热使之无序化, 然后在所给的温度中测量其恢复到有序状态的速度(采用 LEED 监测  $1/3$  级衍射点的强度), 并求出有序化过程的激活能为  $0.9\text{eV}^{[56]}$ 。

在 Al 外延生长方面, 采用 LEED 进行观察的结果, 发现在室温衬底上一开始 LEED 点完全消失, 当淀积量约达到  $70\text{Å}$  时, 模糊地出现了显示 Al(111) 排列的图形, 淀积量一超过  $100\text{Å}$ , 图形的清晰度便得到很大程度的改善。倘把这种膜在  $300^\circ\text{C}$  左右退火, 则排列会更好, 但到  $500^\circ\text{C}$  便会出现衬底晶向的 Si(111) 点。到  $700^\circ\text{C}$ , Al(111) 图形消失, 变成复杂的图形(大概是  $\gamma7$ ), 到  $850^\circ\text{C}$ , 则突然变成明显的  $\gamma$  结构, 而不是  $\sqrt{3}$  结构。

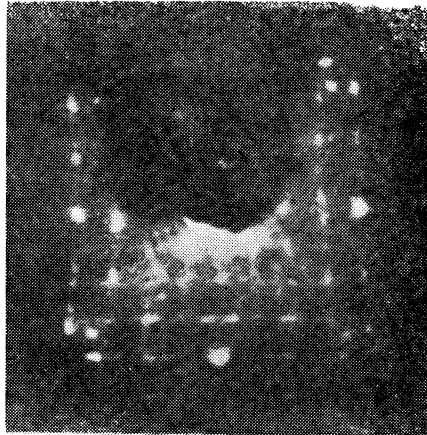
与此相反, Bellina<sup>[6]</sup>在 700°C 以上发现了 $\sqrt{3}$ 。

上述观察的结果是针对膜较厚的情况, 在膜极薄的情况下结果就完全不同了。若在室温下只蒸发几埃厚的 Al, 则 Si(111)-7 的 LEED 图便稍微变得微弱, 将此表面在 700°C 以上的温度下退火, 就会出现 $\sqrt{3}$ 结构。若温度再提高达到 950°C 时,  $\sqrt{3}$  便消失, 而重新变成 Si(111)-7。把这些结果综合起来, 可以发现在 Al/Si(111) 的情况下, 简单的 $\sqrt{3}$ 结构的出现除温度因素外, 似乎也与膜厚和杂质等有关。

## 2) Al/Si(100)

有关这一结构系的研究几乎没有报导, 只有 Lander 等人<sup>[4,5]</sup>简单地记述了这样一个过程: 加热至 400~500°C, 便会出现具有 $\sqrt{3}$ 结构的 Si(111) 小平面 (也许是腐蚀坑)。不过, 考虑到在 (111) 面上存在超晶格, 则 Si(100) 面上必然也会存在。

在室温下, 将 Al 不断地蒸发在 Si(100) 面上, 则情况与 (111) 面不同, 即使膜厚增大也不会导致外延。对厚 100 Å 以上的膜进行退火时, 在 350°C 左右便会出现 LEED 点, 温度升至 700°C, 便如图 6-24(a) 所示, 形成明显的衍射图。从该图可清楚的看出存在有  $4 \times 4$  的超晶格, 此外也发现了 Si(100) 和 (310) 小平面。温度一到 900°C, 小平面便消



(a)



(b)



(c)

图6-24 在Al/Si(100)系中形成的表面结构LEED图像

(a)  $4 \times 4$  + Si(111), Si(310)小平面(42eV); (b)  $2 \times 2$  (80eV); (c)  $c(4 \times 4)$  (60eV)。

失，变成  $2 \times 2$  (见图 6-24(b))，这种晶格对于高达  $1200^\circ\text{C}$  的闪蒸也有相当强的抵抗力。

在膜极薄 (1 ML 左右) 的情况下，在室温下蒸发，Si(100) -  $2 \times 1$  LEED 图几乎无变化，但在  $600^\circ\text{C}$  的温度下将其退火，便会出现  $c(4 \times 4)$  (见图 6-24(c))，在  $700 \sim 800^\circ\text{C}$  时会变成  $(2 \times 2)$ 。因此，应当认为 (100) 面与 (111) 面一样，超晶格的出现也与膜厚或杂质有关。

图 6-25 示出较厚的膜 Si(92eV) 和 Al(68eV) 的俄歇峰值强度与退火温度的关系曲线，用以研究伴随退火出现的表面结构和组成之关系。从图中可以看出，随着温度的提高，Si 的表面浓度增大，而 Al 却减少。但在  $400 \sim 800^\circ\text{C}$  这一温度区域两种都大致上保持恒定值。 $(4 \times 4)$  结构就处于这一温区，其 Al 浓度根据俄歇峰值强度比估计约为  $1/2\text{ML}$ 。说不定  $c(4 \times 4)$ 、合成物、或  $\gamma$ -7、 $\alpha\sqrt{3}$  等的超晶格中的 Al 浓度也大致如此。不过，据认为  $(2 \times 2)$  结构中的 Al 浓度为  $10^{-2}\text{ML}$ 。

3) 硅实用表面上的铝薄膜

Al-Si 之间的电接触不一定要在洁净条件下进行。通常经过洁净工序的硅表面被  $10 \sim 20 \text{ \AA}$  厚的氧化物层所覆盖。在  $10^{-6}$  托的真空装置中，也要考虑残留气体的影响。Ballina<sup>[67]</sup> 指出，在使  $\text{O}_2$  吸附于 Si(111) 面上直至 LEED 点消失为止，然后再在上面蒸发 Al，在这种情况下，只要提高退火温度便能获得与洁净表面相同的 LEED 图像。另外，Blair<sup>[58]</sup> 等人提出，对于  $30 \text{ \AA/s}$  的 Al 蒸发速度，假使  $\text{H}_2\text{O}$ 、 $\text{O}_2$ 、 $\text{CO}$  等残留气体分压在  $5 \times 10^{-7}$  托以下，则对  $1 \mu\text{m}$  厚的 Al 膜在  $\text{H}_2$  中  $400 \sim 500^\circ\text{C}$  下热处理后制成的 Al-Si 的接触电阻不会增大。Card<sup>[59]</sup> 等人在  $10^{-5}$  托的真空度下将 Al 蒸发在 Si(111) 洁净面上，采用溅射腐蚀-AES 法研究截面，证明在室温下蒸发的样片对于 P 型 Si 显示有  $0.75\text{eV}$  的阻挡层；但在  $550^\circ\text{C}$  下经 20 分钟退火，便可获得欧姆接触，即界面上 Al 的含量有所增加 (图 6-26)。他们把这种情况视为  $p^+\text{Si}$  的再

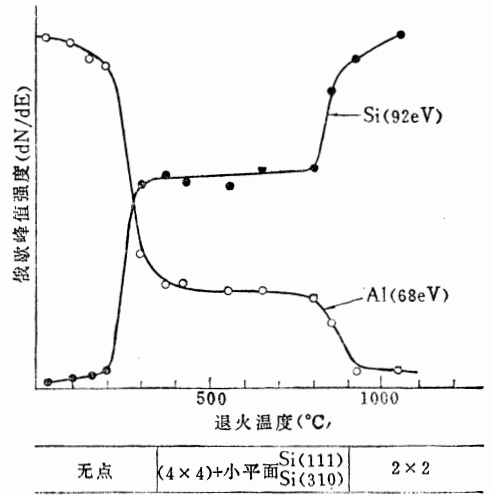


图6-25 退火温度和Si、Al的俄歇峰值强度，LEED图，(Al(130 Å)/Si(100))

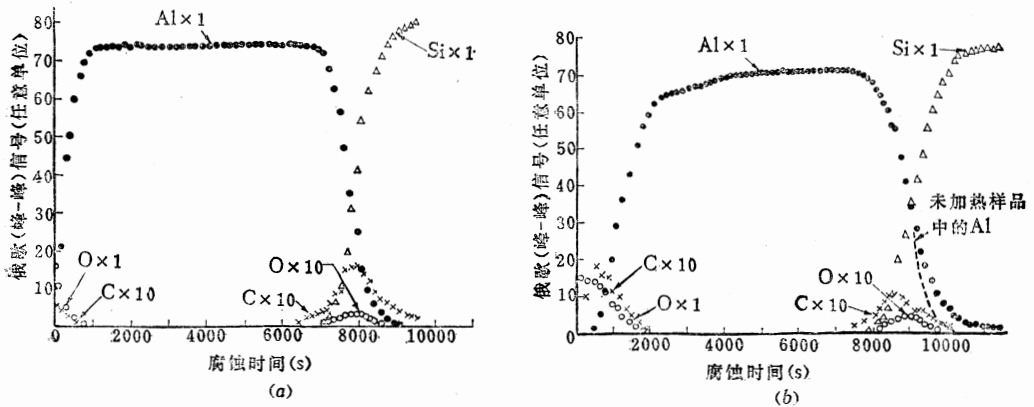


图6-26 Al(750 Å)/Si(111) 的俄歇分布  
(a) 室温蒸发膜 ( $0.1 \text{ \AA/s}$ )，(b) 在  $550^\circ\text{C}$  下退火 20 分钟后的膜 ( $0.1 \text{ \AA/s}$ )。

结晶层，并据此解释了电气性能的变化。

另外，从图 6-25 来看，表面并无 Si 的信号。这是否因为是界面的氧化膜或杂质层成了硅扩散的阻挡层，尚未搞清。实际上，Si 通过 Al 膜扩散的速度很快，甚至会出现硅的固相外延<sup>[60]</sup>。

## 6.5 结 束 语

以上从实用方面考虑到是否形成硅化物，选出了有代表性的金属膜/Si 系——Pd、Au、Al/Si(111)、(100) 的组合，对于“在严格规定的条件之下”的表面和界面的结构研究分别作了介绍。一般认为在金属/Si 系表面会形成各种超晶格结构，它们对表面或界面性质起着重要的作用，但目前大部分还没有提出结构模型，可以说这是表面分析工作做得远远不够的缘故。本文是单以超晶格作为表面结构的标志来进行讨论的，但读者会发现文中缺少必要数据。毫无疑问，在表面研究中，硅表面结构学是最使人感兴趣的领域之一，相信在这方面今后会有更多的发现。另外，硅通过硅上的金属或硅化膜迅速扩散的现象，由于难以从结构上加以讨论，故本文未予介绍。不过笔者认为这种现象与器件的实际应用有着密切的关系，故将近来所发表的文獻<sup>[61]</sup>列出以供读者参考。

### 参 考 文 献

- [1] E. Bauer and H. Poppa, "Recent advances in epitaxy", *Thin Solid Films* 12, (1972) 167—185
- [2] (a) "CONSTITUTION OF BINARY ALLOYS", 2nd. ed., M. Hansen (1958)  
(b) *ibid.*, 1st. supplement, R. P. Elliott (1965)  
(c) *ibid.*, 2nd. supplement, F. A. Shunk (1969), McGraw-Hill
- [3] R. M. Walser and R. W. Bené, "First phase nucleation in silicon-transition-metal planar interfaces" *Appl. Phys. Letters* 28, (1976) 624—625
- [4] J. J. Lander and J. Morrison, "Surface reactions of silicon with aluminum and with indium", *Surf. Sci.*, 2, (1964) 553—565
- [5] *ibid* "Surface reactions of silicon (111) with aluminum and indium", *J. Appl. Phys.*, 36, (1965) 1706—1713
- [6] S. M. Bedair and H. P. Smith, "Laser deposition and ordering kinetics of aluminum on (111) silica surface", *Surf. Sci.*, 40, (1973) 419—422
- [7] E. Bauer and H. Poppa, "Recent advances in epitaxy" *Thin Solid Films* 12, (1972) 167—185
- [8] G. le Lay, G. Quéntel, J. P. Faurie and A. Masson, "Epitaxy of noble metals and (111) surface superstructures of silicon and germanium. part 1: study at room temperature, part 2: study after annealing." *Thin Solid Films* 35, (1976) 273—287, 289—303.
- [9] M. Housley, R. Heckingbottom and C. J. Todd, "The interaction of Ag with Si(111). *Surf. Sci.*, 68, (1977) 179—188
- [10] F. Wehking, H. Beckermann and R. Niedermayer, "Investigation of the initial stages of growth of Ag films on Si (111) 7×7 by a combination of LEED, AES, and UPS." *Surf. Sci.*, 71, (1978) 364—374
- [11] S. Ino and Y. Gotoh, "A LEED study of Si(111) surface structures induced by Ag evaporation" *Japan. J. Appl. Phys.*, 16, (1977) 2261—2262
- [12] G. le Lay and J. P. Faurie, "AES study of the very first stages of condensation of gold films on Si(111) surfaces." *Surf. Sci.*, 69, (1977) 295—300
- [13] G. le Lay, M. Manneville and R. Kern, "Isothermal desorption spectroscopy for the study of two-dimensional condensed phases. Investigation of the Au(deposit)/Si(111) (substrate) system; application to the Xe/(0001) graphite system." *Surf. Sci.*, 65 (1977) 261—276
- [14] H. Lipson and K. E. Singer, "Disorder in a film of gold deposited on silicon: Investigation by low-energy electron diffraction." *J. Phys. C*, 7, (1974) 12—14
- [15] A. K. Green and E. Bauer, "Formation, Structure, and Orientation of gold silicide on gold surfaces." *J. Appl. Phys.*, 47, (1976) 1284—1291

- [16] J. M. Charig and D. K. Skinner, "Carbon contamination of Si(111) surfaces" *Surf. Sci.* **15**, (1969) 277-285
- [17] J. T. Grant and T. W. Haas, "Auger electron spectroscopy of Si." *Surf. Sci.*, **23**, (1970) 347-362
- [18] M. F. Chung and L. H. Jenkins, "Characteristic energies in secondary electron spectra from Si(111) surfaces." *Surf. Sci.*, **26**, (1971) 649-663
- [19] R. N. Thomas and M. H. Francombe, "Influence of impurities on the surface structures and fault generation in homoepitaxial Si(111) films." *Surf. Sci.*, **25**, (1971) 357-378
- [20] J. W. T. Ridgway and D. Haneman, "Auger spectra and LEED patterns from vacuum cleaved silicon crystals with calibrated deposit of iron." *Surf. Sci.*, **24**, (1971) 451-458
- [21] G. Margaritondo, S. B. Christman, and J. E. Rowe, "Chemisorption and Schottky barrier formation of Ga on Si(111) 7x7." *J. Vac. Sci. Tech.*, **13**, (1976) 329-332
- [22] A. J. Van Bommel and F. Meyer, "A low energy electron diffraction study of the PH<sub>3</sub> adsorption on the Si(111) surface." *Surf. Sci.*, **8**, (1967) 381-398
- [23] R. Heckingbottom, "A LEED investigation of the nitridation of the Si(111) surface." *THE STRUCTURE AND CHEMISTRY OF SOLID SURFACES*, Somorjai ed. Wiley (1969) pp 78-119
- [24] A. J. Van Bommel and F. Meyer, "LEED study of a nickel induced surface structure on silicon (111)." *Surf. Sci.*, **8**, (1967) 467-472
- [25] J. M. Charig and D. K. Skinner, "Auger electron spectroscopy of nickel deposits on the silicon (111) surface." *Surf. Sci.*, **19**, (1970) 283-290
- [26] P. J. Estrup and J. Morrison, "Studies of monolayers of lead and tin on Si (111) surfaces." *Surf. Sci.*, **2**, (1964) 465-472
- [27] K. Oura and T. Hanawa, to be published
- [28] H. D. Shih, F. Jona, D. P. Jepsen and P. M. Marcus, "Low-energy electron diffraction determination of the atomic positions of impurity-stabilized unreconstructed Si (111) surfaces." *Phys. Rev. Letters* **37**, (1976) 1622-1625
- [29] Y. Takeishi, I. Sasaki and Y. Ioki, "An ordered structure on a tantalum-adsorbed Si (111) surface." *Surf. Sci.*, **4**, (1966) 317-319
- [30] T. Hanawa and K. Oura, "Deposition of Ag on Si (100) surfaces as studied by LEED-AES." *Japan. J. Appl. Phys.*, **16**, (1977) 519-520
- [31] K. Oura, Y. Makino and T. Hanawa, "Gold-induced superstructures on Si (100) surfaces as observed by LEED-AES." *Japan. J. Appl. Phys.*, **15**, (1976) 737-738
- [32] T. Hanawa et al., to be published
- [33] J. D. Levine, "Structure and electronic model of negative electron affinity on the Si/Cs/O surface." *Surf. Sci.*, **34**, (1973) 90-107
- [34] R. Holtom and P. M. Gundry, "The adsorption of Cs on the Si (100) 2x1 surface." *Surf. Sci.*, **63**, (1977) 263-273
- [35] T. Sakurai and H. D. Hagstrum, "Interplay of the monohydride phase and a newly discovered dihydride phase in chemisorption of H on Si (100) 2x1." *Phys. Rev.*, **B14**, (1976) 1593-1596
- [36] S. J. White and D. P. Woodruff, "The surface structure of Si (100) surfaces using averaged LEED. I. The (1x1) H structure." *Surf. Sci.*, **63**, (1977) 254-262
- [37] B. A. Nesterenko and A. D. Borodkin, "Singularities of atomic vibrations and thermal expansion of pure (100) and (110) faces of silicon and those that have adsorbed Al and Au." *Soviet Phys. Solid State* **19**, (1977) 127-130
- [38] H. D. Hagstrum and T. Sakurai, "Adsorption of Te and Hg on Si (110) and Ge(110) surfaces." *Proc. 7th IVC & 3rd ICSS*, Vienna, 1977, pp 1187-1190
- [39] B. Aronsson and A. Nylund, "The crystal structure of Pd<sub>3</sub>Si" *Acta Chem. Scand.*, **14**, (1960) 1011-1018



- [40] A. Nylund, "Some notes on the palladium-silicon." *Acta Chem. Scand.*, **20**, (1966) 2381—2386
- [41] C. J. Kircher, "Metallurgical properties and electrical characteristics of palladium silicide-silicon contacts." *Solid State Electr.*, **14**, (1971) 507—513
- [42] J. Drobek, R. C. Sun, and T. C. Tisone, "Interdiffusion and compound formation in thin films of Pd or Pt on Si single crystals." *Phys. Stat. Sol.*, **a8**, (1971) 243—248
- [43] W. D. Buckley and S. C. Moss, "Structure and electrical characteristics of epitaxial palladium silicide contacts on single crystal silicon and diffused P-N diodes." *Solid-State Electr.*, **15**, (1972) 1331—1337
- [44] G. A. Hutchins and A. Shepela, "The growth and transformation of Pd<sub>3</sub>Si on (111), (110), and (100) Si." *Thin Solid Films* **18**, (1973) 343—363
- [45] U. Koster, K. N. Tu, and P. S. Ho, "Effect of substrate temperature on the microstructure of thin film silicide." *Appl. Phys. Letter* **31** (1977) 634—636
- [46] G. Y. Robinson, "Palladium silicide formation observed by Auger electron spectroscopy." *Appl. Phys. Letters* **25**, (1974) 158—160
- [47] A. Hiraki, A. Shimizu, M. Iwami, T. Narusawa and S. Komija, "Metallic state of Si in Si-noble-metal vapor-quenched alloys studied by Auger electron spectroscopy." *Appl. Phys. Letters* **26**, (1975) 57—60
- [48] R. W. Bene and R. M. Walser, "Effect of a glassy membrane on the Schottky barrier between silicon and metallic silicides." *J. Vac. Sci. Tech.*, **14**, (1977) 925—929
- [49] G. A. Andersen, J. L. Bertel, A. A. Johnson and B. Post, "Eutectic decomposition in the gold-silicon system." *Mater. Sci. Eng.*, **7**, (1971) 77—82
- [50] C. Suryanarayana and T. R. Anantharaman, "On the crystal structure of a non-equilibrium phase in the gold-silicon system." *Mater. Sci. Eng.* **13**, (1974) 73—81
- [51] A. Hiraki, M. A. Nicolet, and J. W. Mayer, "Low-temperature migration of silicon in thin layers of gold and platinum." *Appl. Phys. Lett.*, **18**, (1971) 178—181
- [52] G. 1e Lay, G. Quentel, J. P. Faurie and A. Masson, "Epitaxy of noble metals and (111) surface superstructures of silicon and germanium." **Pt. 1 : Study at room temperature.** *Thin Solid Films* **35**, (1976) 273—287  
**Pt. 2 : Study after annealing.** *Thin Solid Films* **35**, (1976) 289—303
- [53] A. K. Green, E. Bauer, "Formation, structure, and orientation of gold silicide on gold surfaces." *J. Appl. Phys.*, **47**, (1976) 1284—1291
- [54] G. 1e Lay, M. Manneville and R. Kern, "Isothermal desorption spectroscopy for the study of two-dimensional condensed phases. Investigation of the Au (deposit)/Si (substrate) system ; application to the Xe/(0001) graphite system." *Surf. Sci.*, **65**, (1977) 261—276
- [55] V. M. Ievlev and A. V. Burgkov, "Coincidence-site phase boundaries in gold-silicon system." *Sov. Phys. Solid State* **19**, (1977) 1829—1830
- [56] S. M. Bedair and H. P. Smith, "Laser deposition and ordering kinetics of aluminum on (111) silicon surface." *Surf. Sci.*, **40**, (1973) 419—422
- [57] J. J. Bellina, Jr., "The effects of preadsorbed oxygen contaminant on the adsorption of Al on Si (111)." *J. Vac. Sci. Tech.*, **11**, (1974) 1134—1140
- [58] J. C. Blair, P. B. Ghate, "Effect of vacuum ambience on Al-Si contacts." *J. Vac. Sci. Tech.*, **14**, (1977) 79—84
- [59] H. C. Card, K. E. Singer, "In depth Auger analysis of aluminium-silicon interfacial reactions." *Thin Solid Films* **28**, (1975) 265—268
- [60] H. Sankur, J. O. McCaldin, and J. Devaney, "Solid-phase epitaxial growth of Si mesas from Al metallization." *Appl. Phys. Letters* **22**, (1973) 64—66
- [61] S. S. Lau, Z. L. Liau, and M. A. Nicolet, "Solid phase epitaxy in silicide-forming systems." *Thin Solid Films* **47**, (1977) 313—322
- [62] J. F. Menadue, "Si(111) surface structures by glancing incidence high-energy electron diffraction" *Acta Cryst.*, **A28**, (1972) 1—11
- [63] G. 1e Lay, M. Manneville and R. Kern, "Cohesive energy of the two-dimensional Si (111)—3×1 Ag and Si(111) /3-R(30°) Ag phases of the silver(deposit)-silicon(111) (substrate) system", *Surf. Sci.*, **72**, (1978) 405—422

## 第七章 半导体表面的稳定化

阿部東彦 坪内夏朗 水津克己

### 7.1 序 言

半导体表面稳定化的问题，从半导体器件出现到今天 LSI 的时代，一直是一个“老而新”的问题。也就是说，从分立半导体元件的研制和实用化，直到现在的双极型集成电路及 MOS LSI 的研制和实用化，在这整个历史过程中，为了查清各种元、器件特性不稳定的原因，并研究使之稳定的技术措施，或者对特定的器件来说，例如为查清 MOS FET 特性恶化的原因并采取相应的技术措施，总是把稳定化问题作为一个“新的”问题提出来，即使到了 VLSI 时代也将是同样的。因而，在大多数情况下，人们总是首先从技术角度提出问题，而后再从学术或物理的角度来展开研究。当然，从向市场提供大量高性能和高可靠性的产品这一角度来看，“半导体表面稳定化”的问题，由于与产品的可靠性和成品率有着密切的关系，故在大多数情况下都采用一种专门的技术，即确立一种以某一特定的制造方式（例如用  $n$  沟硅栅方式）稳定而又高效率地大量生产产品工艺技术。

另一方面，要研究稳定-不稳定的机理。从某种意义上说，学术性的研究会形成专门技术的基础，同时产生新的稳定化技术。

半导体表面的稳定性问题，在器件电气性能上有突出反映的是 MOS 结构的器件。MOS 器件的历史也正是研究“表面不稳定性”的历史。“表面钝化或稳定化”技术的研究和发展，从 MOS FET 研制前后产生不稳定性问题开始，一直延续至今。MOS 结构是利用半导体衬底及其上面的绝缘膜（如  $\text{SiO}_2$  膜）的界面特性，故衬底与  $\text{SiO}_2$  膜的界面层结构和性质直接关系到器件的电气性能。因而，在以硅为基础的 IC 技术中，“表面稳定化”问题，主要是以“Si-SiO<sub>2</sub> 界面特性的说明和稳定化以及  $\text{SiO}_2$  膜的稳定性”为课题。尤其是在 Si-SiO<sub>2</sub> 界面产生的界面能级<sup>(1)</sup>，是决定阈值电压  $V_{th}$ （确定 MOS 结构的基本特性）的主要参数，而且界面能级密度和性质等还与衬底本身的结晶学的性质，诸如晶面指数、由表面附近的机械应力造成的晶格畸变、由热应力造成的晶格畸变或杂质的存在、晶体缺陷等许多内外因素有关。此外，界面能级的性质还受衬底上绝缘膜（如  $\text{SiO}_2$  膜）的生长方法和生长条件的显著影响。因此，对于 Si-SiO<sub>2</sub> 界面的性质，过去一向是与其与器件制造方式、制造条件的关系为中心来说明的。然而，由于工艺因素之间的关系复杂，Si-SiO<sub>2</sub> 界面特性的研究一直未达到理想程度，它的一般基础特性未形成统一的模型。

另一方面，现在的元件和 IC，之所以能保证一定的质量并被实际应用，是因为在一定的统计分布范围内，能够以较好的重复性对 Si-SiO<sub>2</sub> 界面电气特性进行控制的技术，在其设备（即硬件）方面和称之为专门技能的软件方面已基本成熟。不过，随着集成度和性能的提高以及要求精密控制，Si-SiO<sub>2</sub> 界面特性的控制也与器件的截面结构即制作方式有关而变得越来越重要。

例如, 采用高集成度 MOS LSI 工艺中常用的选择氧化法 (SOP)<sup>[2]</sup> 和隐埋氧化法<sup>[3]</sup> 等, 都将会因为所谓厚氧化膜边缘部分的畸变等引起界面能级密度的局部增高。这种状况意味着仅研究一般的 Si-SiO<sub>2</sub> 界面的界面能级还不够, 而必须在保持同实际器件制造方式、结构以及工艺条件均衡的情况下, 处理 Si-SiO<sub>2</sub> 界面的稳定性问题。鉴于 Si-SiO<sub>2</sub> 界面特性不仅与 SiO<sub>2</sub> 膜的质量有关, 也与 SiO<sub>2</sub> 膜的生成条件和生成方法有着密切的关系, 故一般都把干氧化、湿氧化、HCl 氧化和氧化温度等作为参数加以研究, 已发表几篇有关的评论。本文将介绍并讨论最近研究成功的高压氧化法, 这是一种用前述选择氧化法来形成较厚的 SiO<sub>2</sub> 膜的新的氧化方法。

当把硅衬底氧化而在衬底表面生成 SiO<sub>2</sub> 膜时, 生成的 SiO<sub>2</sub> 膜的洁净度和稳定性直接关系到 Si-SiO<sub>2</sub> 界面的特性和 MOS 结构的稳定性。迄今为止的研究表明, SiO<sub>2</sub> 膜的洁净度与氧化气氛中的杂质所造成的污染有密切的关系。特别是 SiO<sub>2</sub> 膜中的 Na 离子与特性的不稳定有关, 因此已对 Na 离子造成的 MOS 结构不稳定性做了大量细致的研究, 目前在器件制作技术方面已达到能充分控制的水平。在提高了氧化气氛的洁净度之后, 一个重要的问题是使硅衬底表面保持洁净。通常硅衬底表面吸附有很多各种重金属和有机物, 这是大家都知道的。

这种吸附杂质, 也是造成 SiO<sub>2</sub> 膜的杂质污染、膜的缺陷、绝缘性不良和膜中陷阱能级的产生等的原因, 故必须避免杂质吸附在衬底表面上。当然, 杂质的吸附不仅出现于表面加工前后和表面洗净之后, 也出现于元件制作过程中。一般都知道, 在衬底氧化和扩散等工序之前, 必定要进行表面清洗处理以除去表面吸附的微量杂质。洗净表面这道工序不仅关系到 Si-SiO<sub>2</sub> 界面的稳定化, 同时也关系到在其面上形成的各种膜或膜间的耐压和缺陷密度等, 这从 IC 的特性、可靠性、成品率诸方面来看, 亦是颇为重要的。尤其是采用薄 SiO<sub>2</sub> 膜制作稳定的微细图形的 VLSI, 更不能不考虑表面净化的问题。因此, 本文在半导体表面稳定化这个题目中提出了表面净化问题。

关于 IC 和 LSI, 实际上是作为系统的组成部件来使用的。在这种情况下, IC 和 LSI 芯片都封装在各种管壳内。封装后 IC 和 LSI 的可靠性不仅取决于 Si-SiO<sub>2</sub> 界面的稳定性和表层的稳定性, 在很大程度上还取决于对外部杂质侵入所表现的抵抗力。这问题应作为一个元件和 IC 钝化即表面保护的问题来看待。尤其是当 IC 采用塑料封装时, 其可靠性在很大程度上有赖于 IC 内部布线层上形成的表面保护膜抗杂质性能。通常采用的是所谓玻璃敷层, 这是一种在较低温度下用 CVD 法制成的 SiO<sub>2</sub> 膜或是含有少量磷的 SiO<sub>2</sub> 膜。该层对于确保元件和 IC 在实际使用中的稳定性来说是极为重要的。本文也把等离子体 CVD 法制作 SiN 膜作为一个问题来讨论。等离子体 CVD 法是一项提高 IC 可靠性, 尤其是提高塑料封装 IC 可靠性的新技术, 目前这项技术正迅速地得到应用。

在等离子体方面的另一项值得注意的技术是等离子体氧化技术。这项技术涉及到半导体表面稳定化问题, 它作为一项实用技术将来是否能取得牢固的位置还是一个颇令人感兴趣的问题。因此, 本文亦稍介绍一下等离子体氧化技术。

总之, 本文之目的在于对半导体表面稳定化作一个广义的解释, 并从半导体表面、元件和 IC 的稳定性角度来评价近来出现的 IC 新制作技术——高压氧化技术、等离子体 CVD 技术、等离子体氧化技术和表面净化的方法。

## 7.2 等离子体氮化膜钝化

钝化膜<sup>[4]</sup>按器件制造工序中的内部布线（主要是指铝布线）图形形成的前后可分成两类。为方便起见，把前者称为初钝化膜；后者则称为终钝化膜。初钝化膜主要用以消除在器件制造过程中混入绝缘膜（主要是  $\text{SiO}_2$ ）的碱离子等，并保护器件在后步工序中不受沾污。

通常使用的方法是 PSG 法<sup>[4]</sup>和 HCl 氧化法<sup>[5]</sup>。PSG 膜是在  $400^\circ\text{C}$  左右的低温下用 CVD 法<sup>[6]</sup>制成的，这种  $\text{SiO}_2$  膜含有百分之几的磷。PSG 膜作为碱离子吸除剂或阻挡层是极为有效的。而 HCl 氧化法则是在氧化气氛中掺入百分之几 HCl 气体，它对消除在成膜过程中混入的碱离子很有效。还有一个特别的例子，就是使用  $\text{Si}_3\text{N}_4$  膜作成 MNOS 结构。这种膜作碱离子的阻挡层是极其有效的。众所周知， $\text{Si}_3\text{N}_4$  膜是由  $\text{SiH}_4$  和  $\text{NH}_3$  的热分解反应生成的。

终钝化膜则是在铝布线等内部布线上形成的。它主要用以防止铝布线的擦伤和防止来自外部的碱离子和水分等侵入器件的有源区，以便提高器件的可靠性。

这种膜与封装材料有着密切的关系。现在制造厂家主要从经济观点出发，在不丧失器件的高可靠性的情况下力求采用塑料封装。为了适应这种要求则有必要改进钝化膜。用现有的氧化膜制成的钝化膜对于塑料封装器件来说不能满足可靠性的要求，这已为事实所证实。代之而起的等离子体氮化膜目前颇引人注目。下面先简单评述一下钝化膜的生成法——CVD 法，而后再重点介绍等离子体 CVD 技术<sup>[7]</sup>。

目前所谓的钝化膜，几乎都是采用 CVD 法制成的，这种膜在 IC 技术中已必不可少。CVD 技术按设备可分为三类：（1）常压 CVD；（2）减压 CVD；（3）等离子体 CVD。过去的 CVD 法一般是在常压下进行，可生长  $\text{SiO}_2$ ，掺硼、磷的二氧化硅， $\text{Si}_3\text{N}_4$  和多晶硅膜等。表 7-1 简单表示了用（1）、（2）、（3）的方法制得的各种膜和成膜条件。这类 CVD 技术之所以能够应用得这样广泛，其原因不外它具有很多优点，如能在较低的温度下生成各种膜，并且膜的均匀性也很好，此外还因为已研制出经久耐用的实用设备。

采用 CVD 法所获膜的质量会因生成条件和所用的设备不同而有很大的差别。由于目的不同，设备的形式也是多种多样的。图 7-1 给出的卧式 CVD 炉，是一种高温 CVD 炉。在这种设备中，为了保证膜的均匀性，所用运载气体流量很大，并使感受器倾斜，或者使炉温分布具有一定的梯度。这是因为在 CVD 法中，表面反应是限速的。

在低温 CVD 法的情况下，采用的方法是将衬底置放在传输带状的感受器上（旨在批量生产），并以一定的速度使之移动，反应气体由并排在感受器上方的气体分散口提供，并且就在分散口的下面发生反应。这种方法业已得到实际应用。图 7-2 示出的便是一个具有代表性的例子。这种在感受器上方并排的方法有以下几个不足之处：（1）由于晶片起毛或杂质粘不良，容易造成膜厚不均；（2）由于晶片表面是朝上的，故易受到杂质和尘埃等的影响；（3）处理能力取决于感受器的面积，不易处理大直径片子；（4）晶片分布易随感受器和反应管的形状而变化。图 7-3 给出的是低温 CVD 法生成的 PSG 膜生长率同气体比率  $\text{O}_2/(\text{SiH}_4 + \text{PH}_3)$  及成膜温度的关系<sup>[4]</sup>。PSG 所含磷浓度的高低会引起膜性质（如受热后的粘性、膜中的固定电荷和极化度）的变化，故膜中磷的浓度控制是很重要的。

表7-1 绝缘膜淀积技术的比较

| 淀积工艺     | 源材料  | 典型淀积速率        | 典型衬底温度               | 淀积膜的结晶性质 | 典型的淀积压力 | 杂质源        | 生成的典型膜   | 典型的电子学应用        |
|----------|--|---------------|----------------------|----------|---------|------------|--|-----------------|
| 等离子体 CVD | 气体 (如SiH <sub>4</sub> /NH <sub>3</sub> )   | 10~100 Å/min  | 25~400°C             | 无定形      | 0.01~1托 | 间隔层 气体 电极  | Si <sub>3</sub> N <sub>4</sub> Si                      | 钝化层 太阳能电池       |
| 低压 CVD   | 气体 (如SiH <sub>2</sub> Cl <sub>2</sub> /NH <sub>3</sub> SiH <sub>2</sub> Cl <sub>2</sub> /H <sub>2</sub> O/SiH <sub>4</sub> ) | 0.05~1 μm/min | 600~1000°C           | 无定形 多晶   | 0.1~1托  | 间隔层 气体 感受器 | SiO <sub>2</sub> Si <sub>3</sub> N <sub>4</sub> Si     | 钝化层             |
| 常压 CVD   | 气体 (如SiH <sub>4</sub> /NH <sub>3</sub> SiH <sub>4</sub> /O <sub>2</sub> SiH <sub>4</sub> )                                   | 0.1~1 μm/min  | 650~1200°C 250~800°C | 无定形 多晶   | 760托    | 间隔层 气体 感受器 | SiO <sub>2</sub> Si <sub>3</sub> N <sub>4</sub> PSG Si | 钝化层 扩散源 多层金属的介质 |

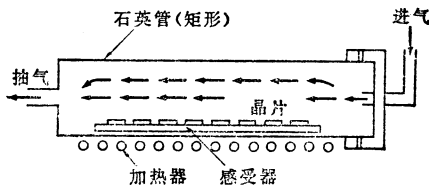


图7-1 卧式CVD炉构造示意图

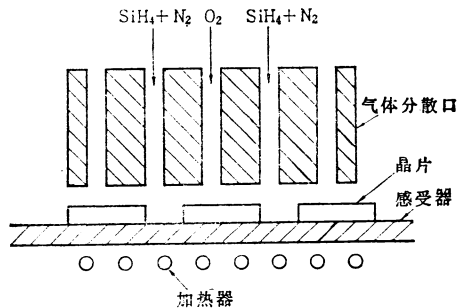


图7-2 连续型CVD炉结构示意图

另一方面，前面所述的常压 CVD 法的不足之处对生产线来说也是非常重要的。解决上述问题的方式是减压 CVD 法，这一方法于 2 年前就已开始实用了<sup>[8]</sup>。该法是利用图 7-4 所示的在真空状态下的 CVD 反应。这种减压型 CVD 炉由于运载气体的平均自由程变长，并且又是以硅片表面的反应为主，故采用图 7-4 所示的设备便可实现膜的生长。该方法的特点是：（1）能将硅片并排立于舟中从而提高了处理能力；（2）可以有效地用于大直径衬底；（3）无二次反应生成物的妨碍，故有助于减少杂质和尘埃的影响；（4）能够使用原有的氧化扩散炉；（5）即使在图形落差大的情况下，台阶覆盖度亦佳；（6）借控制生长条件便能够大幅度调整膜的质量，例如能够控制多晶硅的晶粒尺寸。由于具有上述特点，在 Si<sub>3</sub>N<sub>4</sub> 膜和多晶硅的生长中均采用这种方法。反应则按下列过程进行：

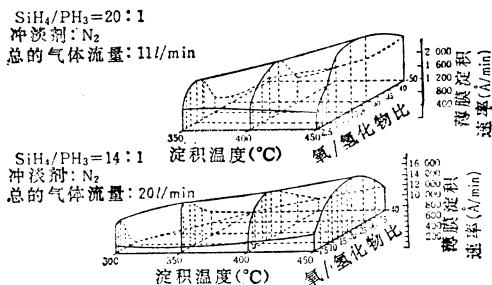


图7-3 PSG 生长率同气体 O<sub>2</sub> / (SiH<sub>4</sub> + PH<sub>3</sub>) 比率及成膜温度的关系 (上面的曲线根据 Kern 等人的数据, 下面的曲线根据 Shibata 等人的数据画出的。尽管 CVD 各参数和 CVD 反应器的几何形状不同, 但两图曲线的一般曲率非常接近。)

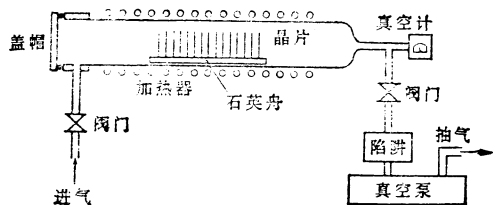
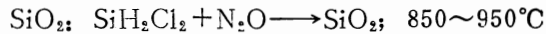
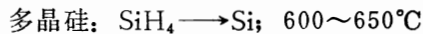
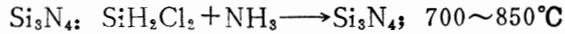


图7-4 减压CVD炉结构示意图



此外, 这种减压 CVD 法也可以作为低温  $\text{SiO}_2$  和 PSG 膜的生成技术。

人们很早就知道, 作为在内部布线层上形成的钝化膜,  $\text{Si}_3\text{N}_4$  膜的钝化作用要比  $\text{SiO}_2$  或 PSG 膜好。如上述化学反应式所示, 过去是采用  $\text{SiH}_2\text{Cl}_2$  和  $\text{NH}_3$ , 并用  $700 \sim 800^\circ\text{C}$  的高温, 故从技术上来看是不可能铝布线上形成  $\text{Si}_3\text{N}_4$  膜的。然而, 最近利用了等离子体技术, 可以在  $300^\circ\text{C}$  左右的低温下在铝布线上形成氮化硅膜。下面介绍采用等离子体增强 CVD 法<sup>[9]</sup>制成的氮化硅膜(简称 SiN), 它是近来钝化技术领域中的一个重大突破。

据 Swann<sup>[10]</sup>等人于 1967 年报告, 采用等离子体 CVD 法制成的 SiN 膜对碱离子具有良好的阻挡作用。图 7-5 表示的是该报告的例子。他们所用的设备基本上属于感应线圈型, 故在膜质的均匀性和大量生产方面尚有困难, 因而在很长一段时期内未能获得实际应用。然而, TI 公司的 Reinberg 于 1974 年<sup>[11]</sup>发表了用平行平板型等离子体 CVD 法生长 SiN 膜的设备, 从而开拓了等离子体 SiN 膜走向实用化的道路。随着适于大量生产的设备的问世和半导体技术人员对等离子体技术的深入理解, 这项技术从 1976 年起很快就得到了实际应用。之所以这样快便获得应用, 是因为这项技术能获得良好的钝化性, 并能够充分发挥减压 CVD 法的种种优点, 从而保证了器件的高可靠性, 同时也是由于要求封装塑料化和装配工艺简单化以大幅度降低成本的缘故。

图 7-6 表示的是典型的等离子体 CVD 设备<sup>[11]</sup>。等离子体 CVD 法能生成优质膜的主要因素有以下几个: (1) 高频输出; (2) 电场强度分布; (3) 等离子体产生的均匀性; (4) 气体组分; (5) 真空度; (6) 成膜温度等。气体组分这一因素对膜的质量影响极大。在采用图 7-6 所示的设备时, 高频频率大多为  $50\text{kHz}$  左右, 输出为  $500\text{W} \sim 1\text{kW}$  左右。所用的压力在  $0.1 \sim 1$  托范围内。对于气体组分来说, 图 7-6 所示设备大多采用  $\text{SiH}_4/\text{NH}_3/\text{N}_2$  系, 但也有使用  $\text{SiH}_4/\text{NH}_3/\text{Ar}$  系<sup>[9]</sup>, 而其它设备则是使用  $\text{SiH}_4/\text{N}_2$  系。表 7-2 是采用等离子体 CVD 法获得的 SiN 膜同采用减压 CVD 法获得的  $\text{Si}_3\text{N}_4$  膜的成膜条件和膜的质量的比较。

通常有下面四种情况, (1) 如果  $\text{SiH}_4/\text{NH}_3$  比变大, 则 SiN 便会成为富硅膜, 作为氮化硅的 Si 和 N 的理想配比便会大幅度变化; (2) 如果整个气体流量增加, 生长率便会提高, 但膜的理想配比为富硅; (3) 倘真空度变差则生长率便会提高, 而形成的膜就会变得比较疏松; (4) 若衬底温度提高, 则形成的膜就会更加致密。表 7-2 所示的在  $50\text{kHz}$  和  $13.56\text{MHz}$  下的成膜特性中, 膜的生长率与高频功率有不同的关系。图 7-7<sup>[7]</sup>和图 7-8<sup>[9]</sup>所给出的是有代表性的例子。



图 7-5 烘焙处理造成污染后的  $\text{SiO}_2$  和 SiN 的 C-V 曲线的比较

1—温度/偏压 ( $100^\circ\text{C}/10^6\text{V}/\text{cm}$ , 1min) 处理后的  $\text{SiO}_2$ ; 2—温度/偏压 ( $300^\circ\text{C}/10^6\text{V}/\text{cm}$ , 6min) 处理后的 SiN; 3—温度偏压处理前的  $1000\text{\AA}$  SiN; 4—温度偏压处理前的  $1000\text{\AA}$   $\text{SiO}_2$ 。

图7-7和图7-8分别是频率为50kHz 和13.56MHz 时的结果。在图7-7中,膜的生长率随功率增大而增加,到功率为500W左右时达到饱和。不过,饱和的趋势会因不同的气体组分比而异。而在频率为13.56MHz、SiH<sub>4</sub>/NH<sub>3</sub>/Ar 系的情况下,如图7-8所示,一直到300W左右,膜的生长速率一直显示有几乎与高频功率无关的倾向<sup>[12]</sup>。这是因为有助于SiN膜生成反应的活性基的密度已完全达到了饱和。图7-8乃是 Sinha<sup>[9]</sup>等人的研究成果,膜的折射率、腐蚀率、密度和应力都是作为高频功率的函数表示的。

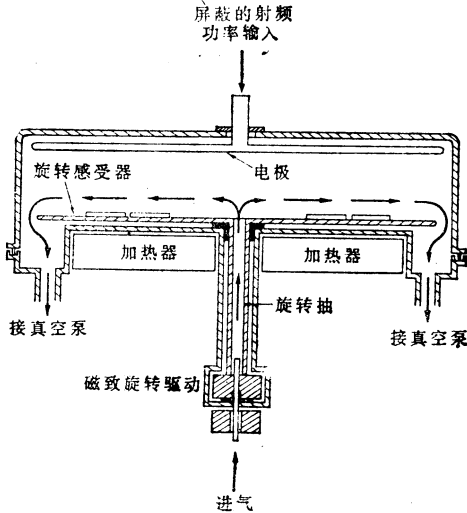


图7-6 等离子体CVD设备

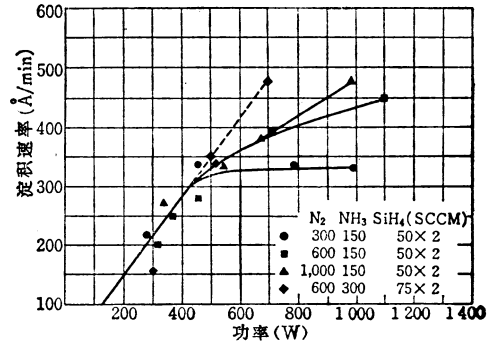


图7-7 沉积速度与高频功率的关系

有意义的是膜的应力会因高频功率的作用而从压力转变为张力,这是一个与成膜后进行热处理时所发生的龟裂有关的重要因素。Sinha 等人报告说,气体中一旦存在N<sub>2</sub>,则膜的张应力便会增大,于是也就容易发生龟裂。可以比较简单地观察膜的组分的手段有红外光谱法。图7-9示出的便是该法的一个具体例子。如图所示,可以观察到由N-H 和 Si-H 等形成的吸收峰。尤其是Si-H峰取决于SiH<sub>4</sub>的组分比,看来这是在反应尚未完成之际N-H和Si-H便混入膜中而形成Si<sub>x</sub>H<sub>y</sub>N<sub>z</sub>所致。另外,该峰经N<sub>2</sub>的热处理后有降低的倾向。图7-10给出Si-H和N-H的吸收峰值与生长温度及热处理的关系。从图中可以看到,随着生长温度和热处理温度的提高,N-H和Si-H的吸收减少。另外,就作为膜质的评价项目之一的膜中缺陷密度来说,如图7-11<sup>[18]</sup>所示,采用等离子体CVD法生成的SiN膜并不亚于通常低温下生长的SiO<sub>2</sub>膜。

采用等离子体CVD法制成的具有上述性质

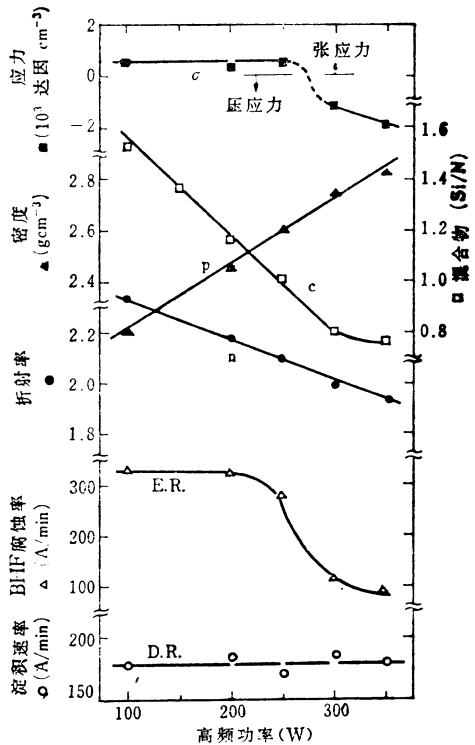


图7-8 沉积速度及膜质与高频功率的关系

表7-2 膜质比较表

|                     | Si <sub>3</sub> N <sub>4</sub> (HT CVD)            | Si <sub>x</sub> N <sub>y</sub> H <sub>z</sub> (50kHz) | Si <sub>x</sub> N <sub>y</sub> H <sub>z</sub> (13.56MHz) |
|---------------------|--|---|--|
| 反应气体                | SiH <sub>4</sub> /NH <sub>3</sub> /N <sub>2</sub>  | SiH <sub>4</sub> /NH <sub>3</sub> /N <sub>2</sub>     | SiH <sub>4</sub> /NH <sub>3</sub> /Ar                    |
| SiH <sub>4</sub> 浓度 | SiH <sub>4</sub> /NH <sub>3</sub> <0.1             | SiH <sub>4</sub> /NH <sub>3</sub> <0.5                | SiH <sub>4</sub> /NH <sub>3</sub> <0.79                  |
| 压力 (m托)             | —  | —   | —  |
| 衬底温度(°C)            | 900  | —   | —  |
| 高频功率(W)             | —  | —   | —  |
| 频率                  | —  | —   | —  |
| 膜厚(Å)               | —  | 0.8μm   | 1.1μm  |
| 应力                  | 1.2~1.8 × 10 <sup>10</sup> 达因/cm <sup>2</sup> (张力) | 1~8 × 10 <sup>9</sup> 达因/cm <sup>2</sup> (压应力)        | 1 × 10 <sup>9</sup> 达因/cm <sup>2</sup> (压应力)             |
| BHF腐蚀速度(Å/min)      | 10~15  | 200~300   | 75~150   |
| 折射率                 | 2.0~2.1  | 2.0~2.1   | 1.95   |
| 密度                  | 2.3~3.1g/cm <sup>3</sup>                           | 2.5~2.8g/cm <sup>3</sup>                              | 2.75g/cm <sup>3</sup>                                    |
| 组分(Si/N)            | 0.75   | 0.8~1.0   | 0.8  |
| 龟裂性(°C)             | —  | 450~500   | 550  |
| 粘合性                 | —  | 好   | 好  |
| 台阶覆盖                | 相当好  | 好   | 好  |
| 介电常数                | 6~7  | 6~9   | 6~8  |
| 击穿电压                | 1 × 10 <sup>7</sup> V/cm                           | 6 × 10 <sup>6</sup> V/cm                              | 5 × 10 <sup>6</sup> V/cm                                 |

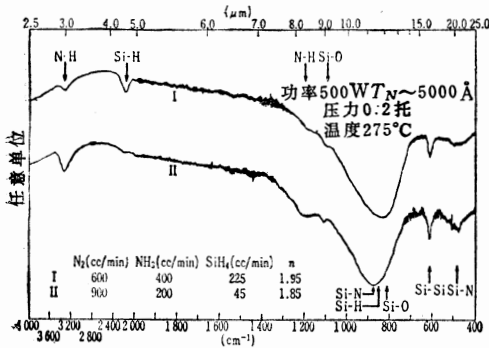


图7-9 红外吸收光谱

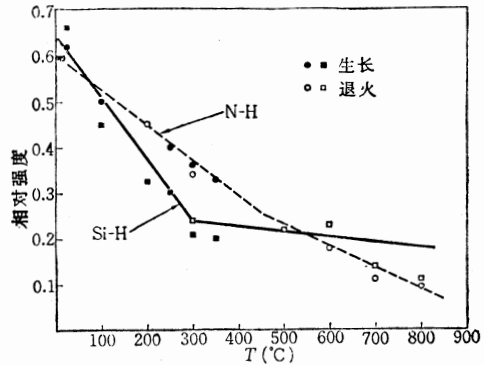


图7-10 Si-H和N-H红外吸收随生长温度和生长后退火温度发生的变化

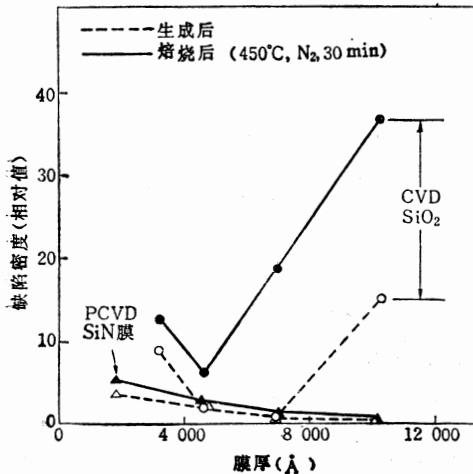


图7-11 绝缘膜的厚度与缺陷密度的关系



的 SiN 膜有种种特点, 同样, 由于可以通过改变成膜条件而大幅度地改变膜质, 故它的用途也是各种各样的。因此, 笔者认为这种等离子体 CVD 技术的发展前途很大, 故有必要在发展设备的同时不断地积累大量的技术资料。

### 7.3 表面净化

“洁净的衬底表面”一词的使用常常与“理想状态的表面能级”的研究相关联。在这种纯学术性的课题中, 作为获得洁净表面的“方法”和“手段”, 是在超高真空中将晶体劈开。本文所考虑的洁净表面, 是能够按设计要求制造实际的器件和 IC 并能充分保证其可靠性的工艺技术所追求的目标之一, 是与“衬底表面的净化技术”相关联的。

以半导体 IC 为例, 首先应明确在各种制造技术中衬底清洗工艺所处的地位。IC 是通过非常复杂的工艺和各种技术制作的。所谓硅片制作工艺大致可分为以下三项: (1) 成膜、扩散工艺; (2) 照相制版工艺; (3) 在照相制版工艺前后进行的衬底清洗工艺。这三项主要工艺的关系示于图7-12, 这是制作目前最有代表性的 LSI-硅栅 MOS LSI 所必需的制造工艺流程。

由图可以看到, 衬底在成膜、扩散工艺和照相制版工艺之间经多次往返, 就在硅片表面形成各种半导体元件和集成这些元件的、由复杂而微细的图形构成的电路网络。如图7-12所示, 照相制版工艺结束后, 在将硅片送到成膜、扩散工艺之前必须将衬底清洗。通过该衬底清洗工艺便可保证表面十分洁净。

“洁净”的定义是非常难下的, 不过从器件制作的角度来看, 简单的说就是指“损害器件特性的污染杂质含量在允许值以下”。在器件工艺中, 成品率和可靠性是个经常性的问题。理想的器件工艺是在各道工序中硅片表面上都不存在污染源和污染物质, 但事实上这是根本做不到的。而且污染物质的种类也很多。

污染物质分为有机物和无机物、粒子状的和膜状的等等。一般说来, 在衬底表面的镜面研磨之后, 要通过各种化学试剂进行湿式清洗以除去衬底表面和反面的污染物质, 但在很多情况下不可能完全除去, 总会有一点污染物质附着在衬底上。已检测到的污染物质有 Al、K、Ca、Mg 和 Na 等元素。而且, 一般在硅衬底清洗工艺中使用的有机溶液和酸类中含有许多种杂质。因此, 在衬底清洗工艺中, 溶液中的杂质反而可能附着于衬底表面成为污染杂质。

这种污染物质在氧化膜形成和杂质扩散时与衬底相互作用, 从而引起氧化膜缺陷的产生、膜绝缘性能的降低以及膜中固定电荷的发生等等, 同时也是杂质扩散异常的原因。

另一方面, 在采用微细图形的 IC 中, 粒子状杂质是造成图形缺陷的重要原因。为此, 应尽可能将其除掉。解决方法基本上是采用清洁的环境和洁净的基础材料(包括衬底和化

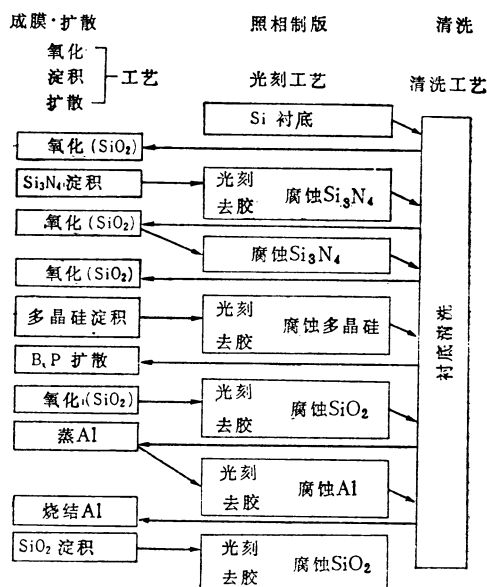


图7-12 硅栅MOS LSI的制造工艺流程

学试剂),而在实际的工艺中,简单的技术往往起着很大的作用。因而,净化技术从某种意义上来说,是每一条生产线的技术关键,技术性的因素相当多。

在人们所熟知的采用溶液清洗衬底的方式中,有一种是将过氧化氢和酸等混合的清洗方法。其典型的流程示于表7-3<sup>[14]</sup>。在该例中,(1)~(3)阶段是用各种有机溶剂进行清洗处理,在后半阶段进行各种酸处理。前半阶段的目的在于去除有机物,而后半阶段则在于去除金属污染物质等无机物。

表7-3 衬底清洗基本过程

- 
- |      |  |
|------|--|
| (1)  | 三氯乙烯, 80°C, 15min                        |
| (2)  | 丙酮, 20°C, 2 min                          |
| (3)  | 甲醇, 20°C, 2 min                          |
| (4)  | 去离子水上溢, 2 min                            |
| (5)  | 4份去离子水, 1份盐酸和1份过氧化氢之溶液, 90°C, 10min      |
| (6)  | 去离子水上溢, 2 min                            |
| (7)  | 洗片                                       |
| (8)  | 去离子水冲漂, 5 min                            |
| (9)  | 4份去离子水, 1份氢氧化铵和1份过氧化氢之溶液, 90~95°C, 10min |
| (10) | 去离子水上溢, 5 min                            |
| (11) | 50份去离子水和1份氢氟酸之溶液, 2.5min                 |
| (12) | 去离子水上溢, 5 min                            |
| (13) | 甩干                                       |
- 

除上述方法外,还可用HCl气体除去附着的污染物质。在用溶液清洗衬底的方法中,必须有用纯水除去化学试剂这道工序(见表7-3)。在这种情况下,衬底表面会生长一层20~50Å厚的所谓自然氧化膜。这种在低温下自然生长的氧化膜在理想配比方面不能看作是完全的SiO<sub>2</sub>,一般它只是一种质量很差的氧化膜。事实上,在MNOS不挥发性存储器(这种器件是利用仅有的20~30Å的薄氧化膜的隧道效应)中,不仅注入效率差,而且其不挥发性本身也欠理想,这是众所周知的。在这种理想配比不完全的氧化膜与衬底的界面上,能级密度极高,故从器件特性上看也不够理想。迄今已发表了许多关于溶液中的杂质引起器件特性恶化的事例。下面介绍一个于最近搞清楚的特性恶化例子<sup>[15]</sup>。

众所周知,P沟道硅栅MOS器件在室温下特性是不稳定的。其表现是,当在室温下给栅电极外加正偏压时,晶体管的阈值会在很短的时间里发生负漂移,击穿电压降低或者pn结的漏电流剧增。这种现象在硅栅器件的情况下,只有当硼从多晶硅栅大量地掺入下面的栅氧化膜中时才能观察到。图7-13示出了阈值电压漂移的典型例子<sup>[15]</sup>。这种不稳定性曾有人认为是硼激励气氛或铝布线之前的高温(500°C)退火所造成的。

但是从现象上来看,这种类型的不稳定性又只有当衬底在铝布线之后的衬底清洗工艺中浸入乙醇或丙酮那样的有机溶剂时才会发生。乙醇和丙酮所引起的不稳定性最为严重(见图7-14)。除引起这种不稳定性外,这类有机溶剂还会引起图7-15中的那种结漏电流与加偏压时间有关的不稳定性和所谓停止工作后击穿电压的急剧漂移,以及FAMOS型不挥发性存储器件的存储电荷的急剧消失(见图7-16)。

实验证明,这些不稳定性取决于乙醇或丙酮与器件之间的相互作用,详细的作用机理也基本搞清。这种现象从器件物理上来看乃是正电荷在栅氧化膜中移动而产生的。图7-17

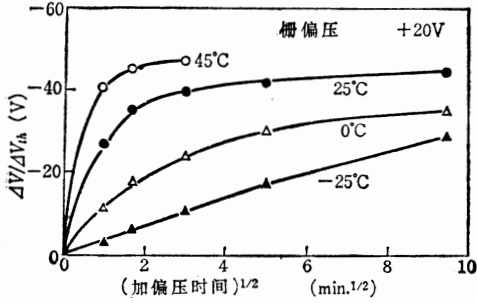


图7-13 阈值电压随时间的变化

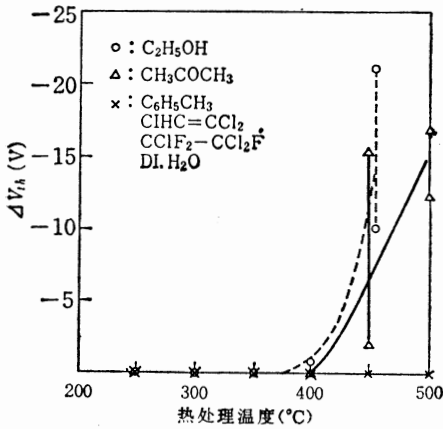


图7-14 热处理引起的V<sub>TH</sub>漂移的不稳定性

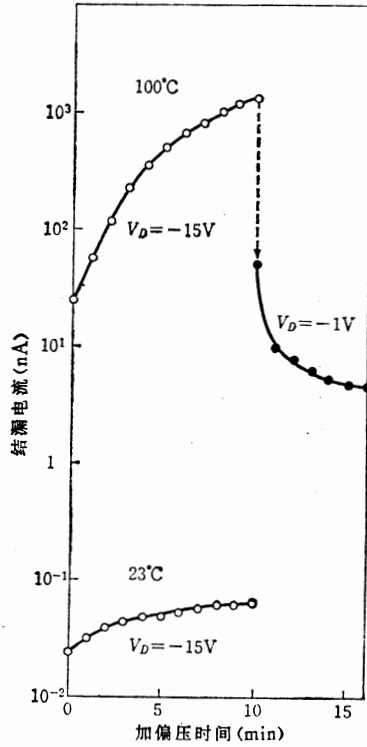


图7-15 结漏电流与加偏压时间有关的不稳定

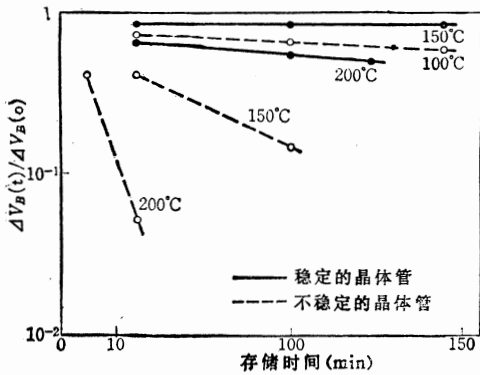


图7-16 对FAMOS型不挥发性存储器保持特性的影响

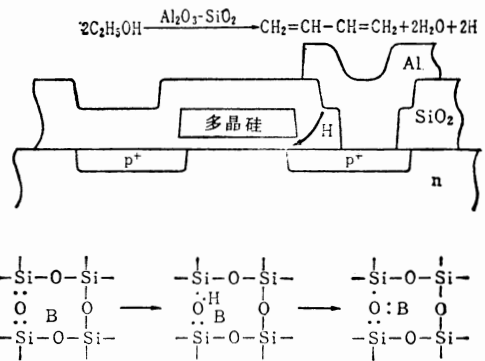
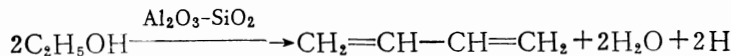


图7-17 可动正离子发生模型

给出的便是这种可动正离子的产生模型。根据该模型，可动正离子  $H^+$  或原子  $H$  是在  $400 \sim 500^\circ C$  的温度下由乙醇或丙酮产生的。此时，存在于  $Al/SiO_2$  界面的  $Al_2O_3-SiO_2$  层起催化作用，其反应过程为



经上述反应而产生的  $H$  原子（富有反应性）进入含有大量硼的栅氧化膜中，经图7-17

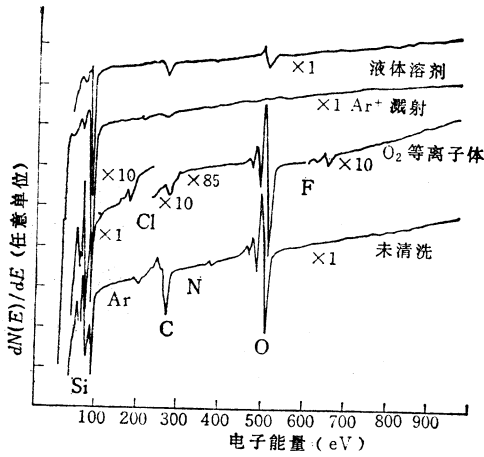


图7-18 各种表面洗净后的俄歇频谱

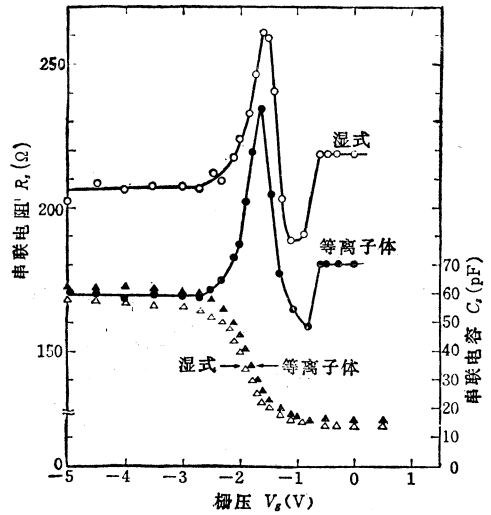


图7-19 MOS电容的电气特性

所示的过程便产生空穴陷阱。空穴又因正偏压的作用向  $\text{SiO}_2/\text{Si}$  界面方向移动，于是便引起了不稳定性。这种不稳定性，乃是衬底清洗工艺中所使用的溶液本身造成的不稳定性一个典型例子。

这里试提出一个方案。即 IC 技术今后的发展方向除进一步缩小图形尺寸外，同时应使各种膜的厚度逐渐变薄。例如，氧化膜的厚度现在已达到  $500 \text{ \AA}$  以下，在改进氧化方法和衬底清洗方法的基础上，有必要研究优质膜的形成方法。前面讲过，过去采用溶液清洗衬底的方法，由于存在易于附着污染物质等严重缺点，故这种方法决不是今后 IC 制造技术中的最佳清洗方法。

这就需要一种新的衬底清洗技术——不使用溶液的干式清洗法。在这点上，Yong<sup>[16]</sup> 等人的实验结果是很吸引人的。他们分别采用溶液清洗法、离子溅射法和等离子体表面处理法对硅表面进行净化处理，从 AES 的检测结果来看，如图 7-18 所示，经等离子体表面处理的硅片表面吸附的杂质最少<sup>[16]</sup>。离子溅射法是以高能惰性气体离子（如氩离子）轰击衬底表面，从而除去表面的杂质层使之露出洁净的表面。这种激活了的表面一经与大气接触，其原子也易与大气中的杂质（包括气体在内）发生反应。因此，不仅是气体层，固体的杂质更容易附着于表面，并有表面层损伤，故离子溅射法很难作为一项实用技术来应用。图 7-19 是在衬底清洗工艺中采用等离子体清洗法制成的 MOS 电容器的电压-电容特性和根据电压-电导特性求出的电压-串联电阻特性同采用溶液清洗法的 MOS 电容器的各种特性的比较<sup>[17]</sup>。比较的结果表明，过去采用溶液的湿式清洗和等离子体清洗之间没有其他差异，只是等离子体清洗时完全不会产生各种损伤。

对界面能级密度、表面电位等各种基本特性和各特性在衬底内分布的均匀性进行评定的结果也表明，等离子体清洗法作为器件制造技术是可以采用的。该技术对今后半导体器件制造工艺的完全干式化和生产线的自动化将产生巨大的影响，在技术上还有待进一步的研究和探讨。

## 7.4 高压氧化法

### 7.4.1 引言

众所周知，在高压氧化气氛中，硅等半导体的氧化速度会加快。这样，与过去在常压下的氧化法相比，便有可能减少氧化时间和降低氧化温度。由于过去制作安全实用的高压氧化设备尚有困难，致使这项技术迟迟未能得到实际应用。近来这些问题已逐步得到解决，并由于低温氧化可以减少半导体中因热处理而产生的缺陷，因此，高压氧化法也正在引起人们的注意。本章将介绍实用化的高压氧化设备的概况，使用硅和氮化硅膜的高压选择氧化特性，以及由于采用高压氧化法使 OSF (氧化诱生堆垛层错) 的减少。

### 7.4.2 高压氧化设备

图7-20和图7-21分别是目前市售的、适于生产的高压氧化设备的外观及其剖面图<sup>[18]</sup>。

其基本结构是在不锈钢的压力容器中装有普通的扩散炉。这种扩散炉中插有石英管，管内置放舟，硅片可从舟上取出或装入。在压力容器内壁放有冷却水管，并设有可拆卸的引出接头，石英管的一个端头固定在该压力容器的引出头上。舟和硅片的取送是依靠贯穿于石英管端头和压力容器引出头的棒来实现的。压力容器内配备有压力表、释放阀、升压及降压用的氮气管道，在石英管的出口端则配备有经由冷阱反馈到压力容器内的管道。这种高压氧化设备有以下三个特点。

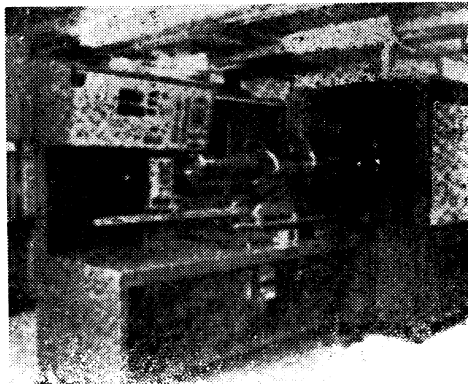


图7-20 高压氧化设备的外形

(1) 升压时，从高压氮气源向石英管输入氮气，此时在微处理机控制下，石英管内压力总是比压力容器内压力高（处于正压状态），这样，压力容器内的沾污物质不会进入石英管。

(2) 硅氧化所必需的水汽是通过纯净的氢和氧的燃烧产生的，故能得到比原来的锅炉方式更为洁净的水汽。

(3) 采用质量流量控制器精确给定氢和氧的流量比，就能精确地控制水汽分压。

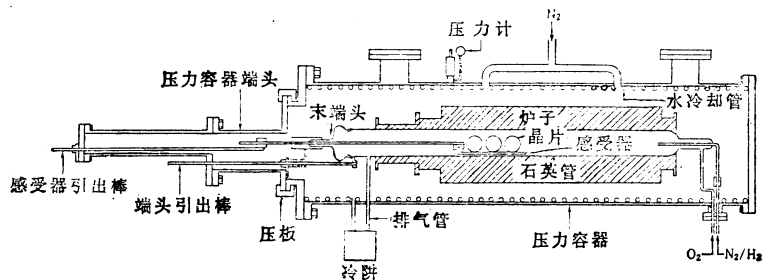


图7-21 高压氧化设备剖面结构

采用这种设备生成的氧化膜的表面能级密度为  $3 \times 10^{10} \sim 2 \times 10^{11}/\text{cm}^2$ ，经 BT 热处理后可动电荷密度为  $4 \times 10^{10}/\text{cm}^2$ 。

### 7.4.3 硅的高压氧化

就硅的高压氧化而言，假定 Deal<sup>[10]</sup>等人提出的理论是适用的，则下式成立：

$$X_0^2 + AX_0 = Bt \quad (1)$$

式中， $X_0$  为硅氧化膜厚度， $B$  是抛物线型速率常数， $B/A$  是线性速率常数， $t$  是氧化时间。 $B$  和  $B/A$  分别由下式给出：

$$B = 2DC/N \quad (2)$$

$$B/A = kC/N \quad (3)$$

式中， $D$  是氧化水汽在氧化硅膜中的扩散常数， $C$  是氧化膜表面的氧化水汽浓度， $N$  是能够进入氧化膜单位体积中的氧化水汽分子数， $k$  是表面反应系数。

在高压氧化中，假定  $C$  与水汽分压成正比，则  $B$  和  $B/A$  便与  $C$  成正比，另外，其他的常数被认为与压力无关，故抛物线性和线性速率常数都与水汽分压成正比，因而氧化被加速。下面举一硅高压氧化数据例。图 7-22 表示采用高压氧化法和常压法的硅氧化膜厚度与氧化时间的关系的比较。硅片系 P 型  $\langle 111 \rangle$  和  $\langle 100 \rangle$  晶向衬底。氧化水汽是由氧气（流量为 2SLM）、氢气（流量为 3.54SLM）的燃烧产生的，石英管中的绝对压力为  $7\text{kg}/\text{cm}^2$ ，故经计算水汽分压为  $6.57\text{kg}/\text{cm}^2$ 。图中虚线是在常压  $1000^\circ\text{C}$  下湿氧氧化的数据。由图可以看到，采用高压法，在  $1000^\circ\text{C}$  下，经 300 分钟，氧化膜便达  $2.5\mu\text{m}$ ；而采用常压法，在温度和时间相同的情况，膜厚只有  $1.0\mu\text{m}$ 。可见高压法的氧化速度要比常压法快几倍。

$\langle 111 \rangle$  晶向的氧化速率大于  $\langle 100 \rangle$  晶向的氧化速率。表 7-4 给出速率常数  $A$ 、 $B$ 、 $B/A$  的计算值。 $\langle 111 \rangle$  晶向的  $B$  是  $\langle 100 \rangle$  晶向的 1.04~1.25 倍。 $B$  的激活能为  $0.7\text{eV}$ ，这与已经发表的常压数据相同。另外， $\langle 111 \rangle$  晶向的  $B/A$  是  $\langle 100 \rangle$  的 1.35~1.62 倍。 $B/A$  的激活能为  $2.03\text{eV}$ ，这与已经发表的  $1.96\text{eV}$ （常压下）很一致。据报告，在常压下， $B$  和  $B/A$  值与氧化水汽压成正比<sup>[10]</sup>，在  $1000^\circ\text{C}$  和一个大气压下，分别为  $4.8 \times 10^{-3}\mu\text{m}/\text{min}$  和  $2 \times 10^{-2}\mu\text{m}/\text{min}$ 。假定在高压下  $B$  和  $B/A$  仍与压力成正比，则当实验水汽分压为  $6.57\text{kg}/\text{cm}^2$  时，其值应该分别为  $3.14 \times 10^{-2}\mu\text{m}^2/\text{min}$  和  $1.4 \times 10^{-1}\mu\text{m}/\text{min}$ ，但表 7-4 的数据略微小了一些，而且不是单纯地与压力成正比。在氧化常数与压力的关系方面有必要进一步深入研究。

表7-4 速率常数  $A$ 、 $B$ 、 $B/A$  的计算值

| $T$ ( $^\circ\text{C}$ ) | 晶 向                   | $A$ ( $\mu$ ) | $B$ ( $\mu/\text{min}$ ) | $B/A$ ( $\mu/\text{min}$ ) |
|--------------------------|-----------------------|---------------|--------------------------|----------------------------|
| 1000                     | $\langle 111 \rangle$ | 0.40          | $2.9 \times 10^{-2}$     | $7.2 \times 10^{-2}$       |
|                          | $\langle 100 \rangle$ | 0.46          | $2.5 \times 10^{-2}$     | $5.4 \times 10^{-2}$       |
| 900                      | $\langle 111 \rangle$ | 1.1           | $1.7 \times 10^{-2}$     | $1.5 \times 10^{-2}$       |
|                          | $\langle 100 \rangle$ | 1.8           | $1.6 \times 10^{-2}$     | $9.2 \times 10^{-3}$       |
| 800                      | $\langle 111 \rangle$ | 4.4           | $1.0 \times 10^{-2}$     | $2.3 \times 10^{-3}$       |
|                          | $\langle 100 \rangle$ | 5.2           | $0.8 \times 10^{-2}$     | $1.6 \times 10^{-3}$       |

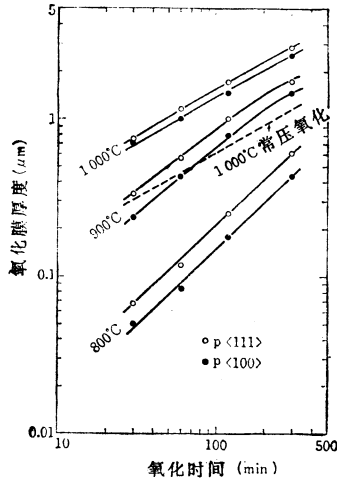


图7-22 高压氧化膜与时间的关系

7.4.4 高压氧化法带来的表面晶体缺陷的减少

众所周知，在高温下进行氧化，硅表面会产生一种叫作 OSF 的表面晶体缺陷。而且，如果出现 OSF，则将导致结漏电流和噪声增大，CCD 存储器的存储特性不良等，从而严重影响器件的性能。因而，人们提出了 HCl 氧化等许多能有效控制 OSF 的方法。已有实验结果证实，采用高压氧化法，在一定的温度下生成一定厚度的硅氧化膜时，在硅表面产生的 OSF 的长度和密度，同在常压及同样的温度下生成相同厚度的氧化膜时相比有所

减少<sup>[20]</sup>。

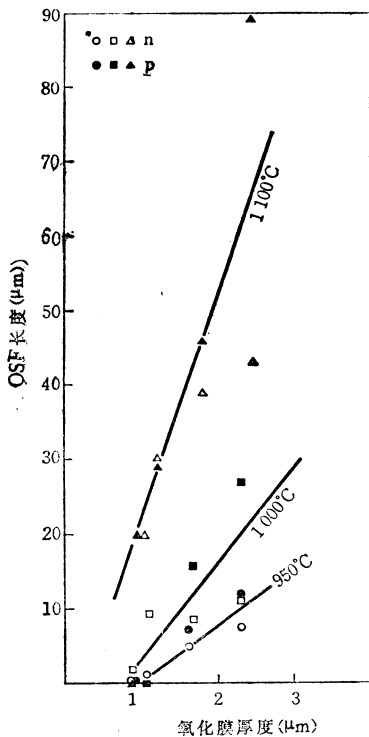


图7-23 常压氧化时的OSF长度与氧化膜厚度的关系

图 7-23 和图 7-24 分别示出常压湿氧化化和高压氧化生成的氧化膜厚度与 OSF 的长度的关系。可以看出，在高压氧化中 OSF 出现的少。图 7-25 和图 7-26 就 OSF 的密度做了比较。研究的过程是这样的，即在除去所生长的氧化膜之后，用 secco 液腐蚀 30 分钟，再用显微镜观察统

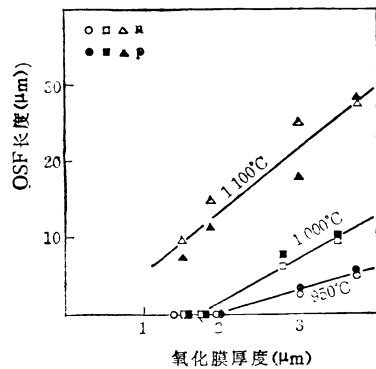


图7-24 高压氧化时的OSF长度与氧化膜厚度的关系

计  $1\sim 2\mu\text{m}$  以上的 OSF。由于此种 OSF 密度在很大程度上取决于所用硅片的质量，故将同一枚  $n$  型硅片分成两半，一半高压氧化，另一半常压氧化，然后比较 OSF 密度，结果见图 7-27。右侧是  $1050^\circ\text{C}$ 、500 分钟的常压氧化硅片，左侧的则是  $1050^\circ\text{C}$ 、60 分钟的高压氧化硅片。高压氧化和常压氧化的膜厚分别为  $1.6\mu\text{m}$  和  $1.5\mu\text{m}$ 。由此可见高压氧化同常压氧化相比，OSF 的密度减少了。

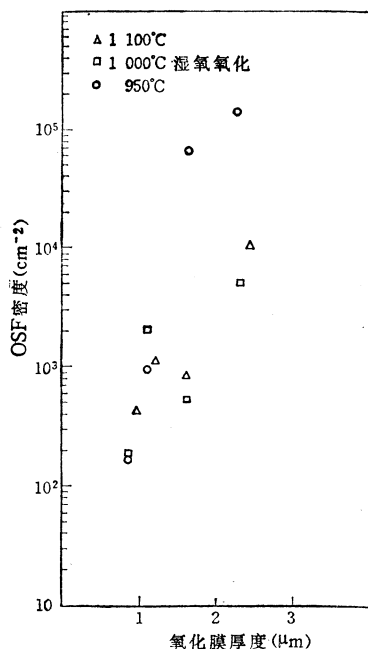


图7-25 常压氧化时的OSF密度与氧化膜厚度的关系

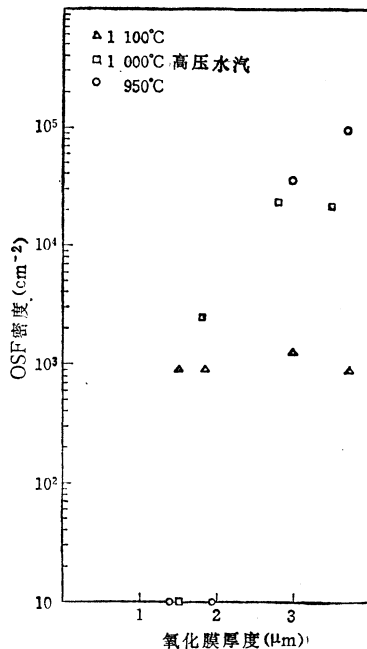
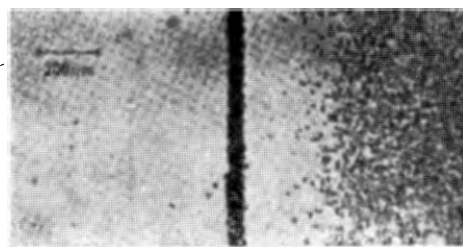


图7-26 高压氧化时的OSF密度与氧化膜厚度的关系



高压氧化 (1050°C, 60min)      常压氧化 (1050°C, 500min)

图7-27 OSF观察照片

#### 7.4.5 在选择氧化中的应用

如上节所述，从减少 OSF 的角度来看也以低温氧化为宜。另外，MOS LSI 等的选择氧化膜一般都比较厚，若降低温度，则氧化时间必然增长，故欲缩短氧化时间还是以高压氧化为宜。

下面介绍以氮化硅膜为选择氧化掩模时高压下硅的选择氧化特性，着重介绍横向氧化分布的研究结果。图 7-28 给出了横向氧化的剖面结构，但横向氧化与 LSI 等设计尺寸的“偏差”有关，故希望横向氧化尽可能小。图中， $X$  与硅衬底平行， $Y$  垂直于硅衬底，设横



向氧化值为  $B$ ，从原来的硅表面至氮化硅膜边缘的高度为  $H$ ，原硅表面以下的选择氧化膜厚度为  $Y_0$ ，并以氧化膜厚  $t$  将从  $(0, Y_0)$  到  $(B, 0)$  点的分布规一化，而后进行了测定。

高压氧化的条件是将水汽分压固定在  $6.57\text{kg/cm}^2$ ，设定的参数有氧化温度、氮化硅膜下面的氧化膜夹层厚度，并选择时间使选择氧化膜厚度  $t$  基本上可达到  $1.5\mu\text{m}$ 。图 7-29 以温度为参量给出了横向氧化分布。图 7-30 表示归一化的最大横向氧化膜厚及氮化膜边缘高度与氧化温度的关系，而图 7-31 则表示与氧化膜夹层厚度的关系。由图可以看到以下五种情况：

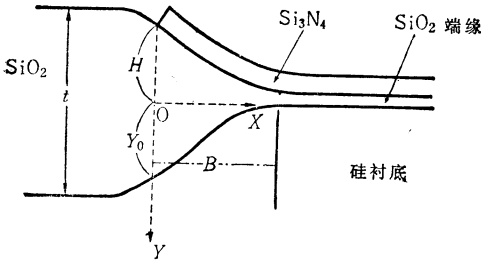


图7-28 选择氧化时的横向氧化分布

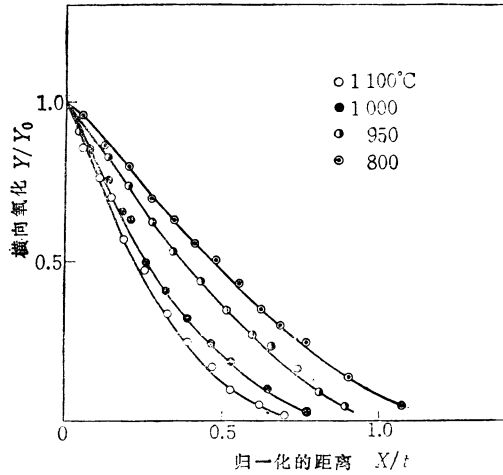


图7-29 选择氧化时的横向氧化分布

(1) 氧化温度越低，曲线的斜率就越小，而横向氧化程度就越大；

(2) 在  $950^\circ\text{C}$  以下时，横向氧化膜厚度要比选择氧化膜厚度大 ( $B/t > 1$ )；

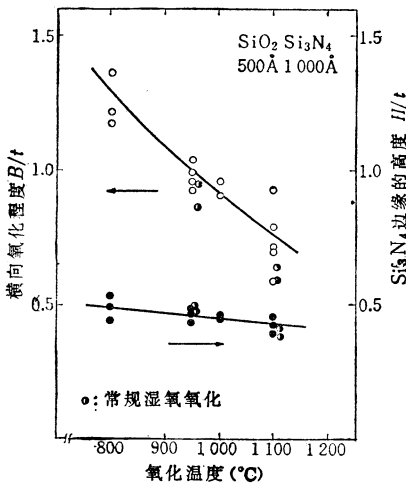


图7-30 选择氧化时的横向氧化与温度的关系

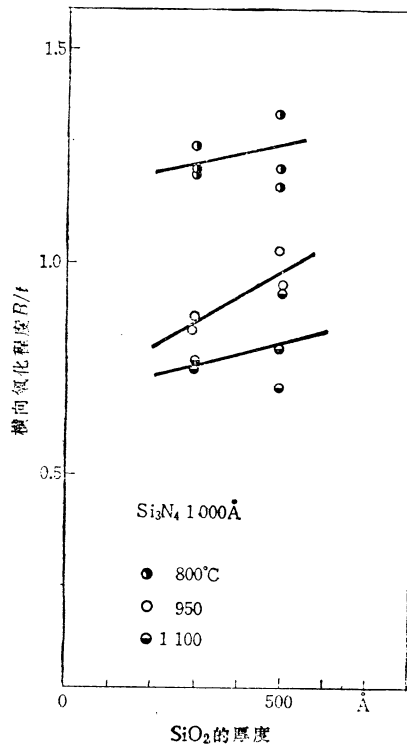


图7-31 选择氧化时的横向氧化与夹层氧化膜厚度的关系

- (3) 从硅表面到氮化硅边缘的高度 ( $H$ ) 与温度的关系比  $B$  小;
- (4)  $B$  和  $H$  同常压氧化法的相比变化不大;
- (5) 氧化膜夹层越厚则横向氧化程度越大。

通常认为横向氧化乃是由于氧化水汽横向扩散并在硅表面与硅反应而产生的。当然氧化膜夹层越厚这种氧化水汽量就越大。并且温度越低, 则表面氧化速度就越是限速型的, 而且选择氧化膜厚度一定时的横向扩散量越大<sup>[21]</sup>。

## 7.5 结 束 语

以上叙述了高压氧化设备和硅的高压氧化特性, 但就目前而言, 还只是刚有了一点实用的头绪。今后高压氧化法对半导体表面稳定化的贡献大小, 关系着目前正在研究的高压氧化膜的膜质(包括界面在内)同过去的常压法相比的优越程度, 以及低温短时间氧化对选择氧化时的形状(包括结构在内)及应力等的减少效果等等, 相信这种方法是相当有希望的。

## 参 考 文 献

- [1] A. Goetzberger, E. Klausmann and M. J. Schulz: CRC Critical Review in Solid State Sciences, 1 (1976)
- [2] J. A. Appels, E. Kooi, M. M. Paffen, J.J. H Schatorje and W. H. C. G Verkuylen: Philips Res. Reports, 25, 118 (1970)
- [3] E. Bassons, H. N. Yu and V. Maniscalco: J. Electrochem. Soc., 123, 1729 (1976)
- [4] Werner Kern: J. Vac. Sci. Technol., 14, 108. (1977)
- [5] R. J. Kriegler A. Aitken. and J. D. Morris: Suppl. JJAP 43, 341 (1974)
- [6] J. A. Amick: J. Vac. Sci. Technol., 14, 1053 (1977)
- [7] R. S. Rosler, W. C. Benzin, and J. Baldo: Solid State Tech. June, 45 (1976)
- [8] R. S. Rosler: Solid State Technol. April, 63 (1977)
- [9] A. K. Sinha, H. J. Levinstein, T. E. Smith, G. Quintana and S. E. Haszko: J. Electrochem. Soc., 125, 603 (1978)
- [10] R. C. G. Swann. R. R. Meata and T. P. Cauge: J. Electrochem. Soc., 114, 715 (1967)
- [11] A. R. Reinberg: Electrochem. Soc. San Francisco Meeting
- [12] A. R. Reinberg: Abstract. IUPAC "Plasma Chemistry" 1977
- [13] 佐藤真一, 原田曠嗣: 電子材料 No.3, 85 (1978)
- [14] S. P. Murarka, H. J. Levinstein, R. B. Marcus and R. S. Wagner: J. A. P. 48, 4001 (1977)
- [15] H. Nakayama, Y. Osada, and M. Shindo: J. Electrochem Soc., 125, 1302(1978)
- [16] M. G. Yang and K. M. Koliwad: J. Electrochem. Soc., 122, 675 (1975)
- [17] 阿部東彦, 中田秀文: 応用物理, 47, 490 (1978)
- [18] N. Tsubouchi, H. Miyoshi, A. Nishimoto, H. Abe and R. Satoh: Japan J. Appl. Phys., 16, 1055 (1977)
- [19] B. E. Deal et al.: J. Appl. Phys., 36, 3770 (1965)
- [20] N. Tsubouchi, H. Miyoshi and H. Abe: Proceedings of 9th Conference on Solid State Devices, (Tokyo) 1977, Suppl. Japan J. Appl. Phys., 17, 223 (1978)
- [21] 谷口, 竹内: 通信学会半導体トランジスタ研究会資料 SSD 77-28

# 第八章 用带电粒子束进行测试的工艺技术

长嶋 直之

随着半导体器件集成度的提高，工艺测试技术的作用已变得非常重要了。作为分析用的测试技术，最近出现了采用电子或离子探针的表面分析法。特别是俄歇电子能谱法、离子反向散射法、离子微分析法等，都取得了可喜的发展。这些技术不仅在与表面现象有关的应用领域，而且在表面科学领域也起到了极为重要的作用。

俄歇电子能谱法以及离子反向散射法，分别由小宫和平木教授在《半导体研究》第10和第11期中介绍了，所以在此只讲一下有关离子微分析法及其应用。

## 8.1 用带电粒子进行测试的方法

当具有某种能量的离子照射到固体上时，如图8-1所示，就会放射出各种各样的信号。这些信号所带来的信息与以某种形态构成固体的元素的存在状态有关，根据这些信息的种类研究出了各种测试方法，其中有些已实用化。以离子为探针的方法有测量反向散射离子能量的反向散射法<sup>[1]</sup>和低能离子散射法 (ISS)<sup>[2]</sup>以及对离子进行质量分析的方法等等。这些方法已广泛应用在半导体工业中。图8-2是离子散射法和离子质量分析法中离子和固体之间相互作用的示意图。

在这三种方法中，反向散射法根据入射离子的能量，可以定量地提供离表面几千埃到微米级深度的元素分布的信息，而且在样品为单晶的情况下，会出现离子束向某一特定晶轴方向深处入射的沟道效应。这种效应在研究晶体的不规则性和晶格之间的原子是有效的方法。

从图8-2(b)中可以知道，低能离子散射法提供与固体最上面的原子层有关的信息。如果边辅助性地进行离子溅射边进行测量，则可以获得纵向的元素分布。

这里所采用的离子质量分析法与前两种不同，它不是用散射离子，而是通过溅射来测量从固体产生的二次离子。这种方法有两种：一种是离子微探针分析法 (IMA)，它是使一次离子聚焦成直线照射样品表面，而用磁场质量分析仪分析二次离子；另一种是二次离子质谱分析法 (SIMS)，它是特意不将一次离子聚焦很细，而用四极子型质量分析仪分析二次离子。这两种方法同前面所讲的方法相比，都有非常高的探测灵敏度，这是其特点。下面将详细介绍。

从 Evans 的论文<sup>[3]</sup>中引用了表8-1所示的上述三种方法的特点。

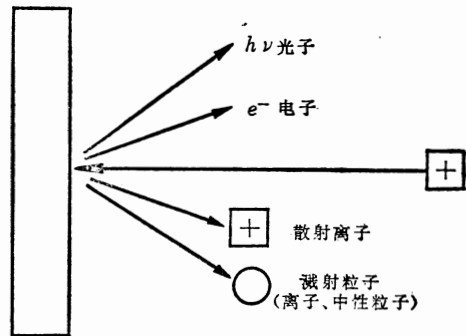
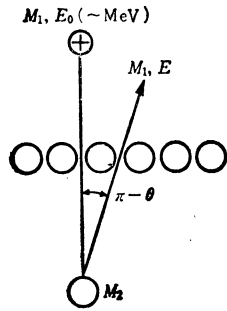


图8-1 离子照射和放射信号的种类

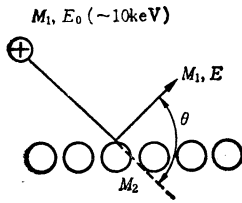


(a) 高能 ISS  
(反向散射)

$$\theta \approx \pi \text{ 时}$$

$$E = \left[ \frac{M_1 \cos \theta}{M_1 + M_2} + \left\{ \left( \frac{M_1 \cos \theta}{M_1 + M_2} \right)^2 + \frac{M_2 - M_1}{M_1 + M_2} \right\}^{1/2} \right]^2 \cdot E_0$$

$$\approx [1 - 2(1 - \cos \theta) M_1 M_2 / (M_1 + M_2)^2] \cdot E_0$$

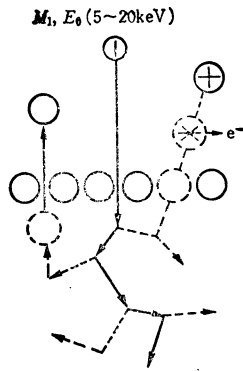


(b) 低能 ISS

$$\theta \approx \frac{\pi}{2} \text{ 时}$$

$$E = \left( \frac{M_1}{M_1 + M_2} \right)^2 \left[ \cos \theta + \left\{ \left( \frac{M_2}{M_1} \right)^2 - \sin^2 \theta \right\}^{1/2} \right]^2 \cdot E_0$$

$$\approx \frac{M_2 - M_1}{M_1 + M_2} E_0$$



(c) IMA 或 SIMS

图8-2 离子散射和二次离子放射

## 8.2 离子微分析的原理

### 8.2.1 离子与固体的相互作用

如前所述，离子微分析方法是具有 10keV 左右能量的离子照射到样品表面，再对溅射放出的粒子中已电离的粒子进行质量分析，所以在概念上是容易掌握的。但是入射离子（一次离子）和固体之间的相互作用并不是单纯的。一次离子向固体中注入的现象、溅射、二次离子产生的问题等，这些在物理学上有趣的现象复杂地纠缠在一起。

具有某种能量的离子入射到靶的表面后，其中一部分由于和表面原子的碰撞而发生散射，其余都进入靶中。进入靶中的原子由于反复地与固体中的原子核相碰撞，使轨道电子电离或激发等，因而能量逐渐消失而停止在某一位置上。这种现象同半导体中的离子注入

表8-1 ISS与IMA(SIMS)的比较<sup>[6]</sup>

| 方 法       | 优 点   | 缺 点                                    |
|-----------|---|--|
| 高能ISS     | a) 快<br>b) 在浓度和深度上定量分析                          | a) 灵敏度低, 特别是对于原子序数(Z)低的元素<br>b) 横向分辨率差 |
| 低能ISS     | 外部的单层分析   | a) 灵敏度低<br>b) 横向分辨率差<br>c) 分布慢         |
| IMA(SIMS) | a) 对许多元素的灵敏度高<br>b) 具各向同性的分辨率<br>c) 快<br>d) 微分析 | a) 存在定量和矩阵效应                           |

一样, 可以用LSS理论近似地求出离子平均射程和静止离子分散程度等<sup>[4]</sup>。

当离子与固体中的原子碰撞时, 原子会从它的晶格位置弹射出来(击出), 从而进一步引起二次、三次碰撞(级联碰撞), 结果在一次离子轨道周围形成各种各样的缺陷。图8-3是通过蒙特卡罗法用计算机对这种现象进行模拟的结果<sup>[6]</sup>, 表示4keV的Ar离子入射到非晶质Cu中的情况。(a)图是10个一次离子的轨迹,(b)图是由于级联碰撞而击出的Cu原子的轨迹。根据该计算结果得知, 一次离子进入非晶质Cu中的深度为几十埃左右, 固体受到一次离子影响的区域达到离表面80Å左右, 而击出原子的移动距离为几埃。

### 8.2.2 溅 射

在由一次离子引起的级联碰撞中, 如图8-2(c)所示, 表面附近的原子会向真空中弹射。这就是溅射。图8-3(c)是当50个4keV的Ar离子注入到固体中时, 从表面附近弹射到真空中的原子的轨迹。由此可知, 被溅射的原子是从表面以及离表面几埃的层内产生的。该层的厚度就是通过溅射带来信息的深度, 即信息深度。

在溅射中, 实用上最基本的量是溅射率 $S$ (原子/离子)。溅射率与一次离子的种类、能量、靶的种类及其表面状态、一次离子的入射角、靶的晶体轴等许多实验参数有关。

Sigmund<sup>[6]</sup>假定溅射是由入射离子和靶原子之间的级联碰撞引起的, 并计算了由稀有气体离子引起的非晶或多晶金属的溅射率。计算是采用Lindhard等人假定托马斯-费米相互作用是对一次离子的阻止能进行计算的公式, 并与许多实验数据进行了比较。图8-4(a)表示Cu多晶体用 $Ar^+$ 照射时的溅射率与能量的关系。图8-4(b)表示Cu单晶体经 $Ar^+$ 照射的结果, 并示出了与晶向的关系, 这种关系是由Magnuson<sup>[7]</sup>等提供的。他们都假定, 溅射率与第一次碰撞引起的从一次离子向晶格原子移动的动量的绝对值和一次离子同晶格原子碰撞概率的乘积成正比例, 以说明他们获得的实验数据。

从图8-4(a)和(b)可以清楚地看到, 溅射率随一次离子能量的增加而增加, 达到最大后则逐渐减少。其原因如下: 首先当增加一次离子的能量时, 由于级联碰撞而弹射出来的原子的数目增多, 因而从表面层射入真空中的原子(即溅射原子)数增加。实验证明, 能量不太高时的溅射率大约与一次离子能量的 $\frac{1}{2}$ 次方成正比增加。而能量进一步增加

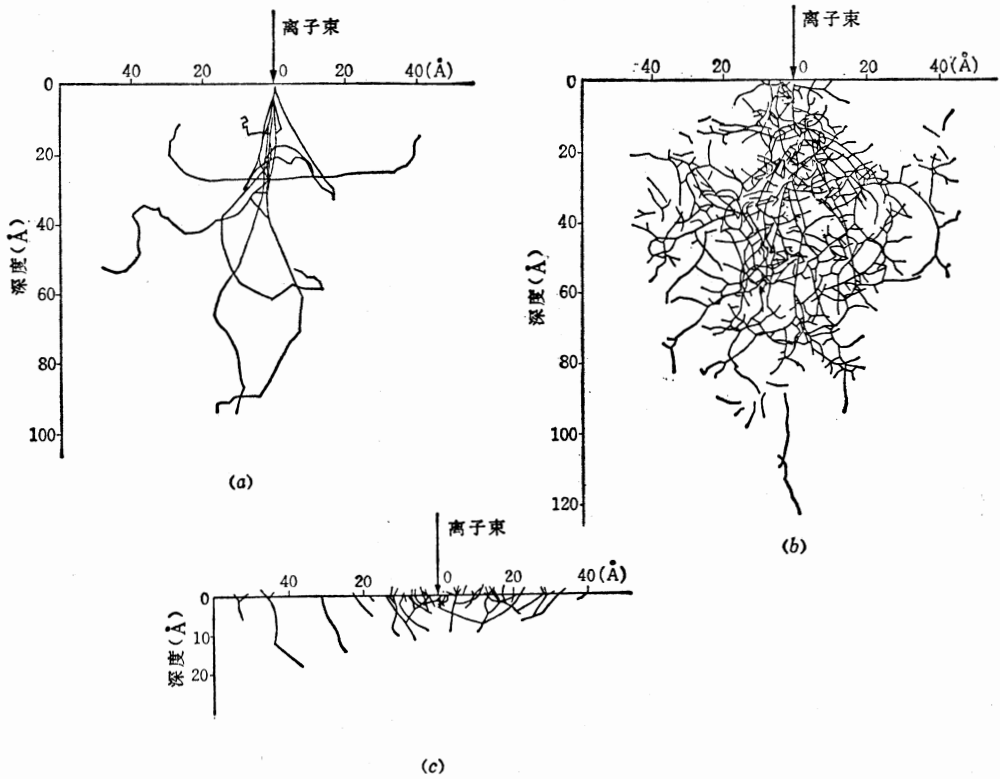


图8-3 4keV的Ar<sup>+</sup>入射到Cu靶的情况<sup>[5]</sup>  
 (a) 10个Ar<sup>+</sup>的轨迹；(b) 由10个Ar<sup>+</sup>引起的击出原子的轨迹；(c) 从靶击出到真空中的原子的轨迹（入射离子为50个Ar<sup>+</sup>）。

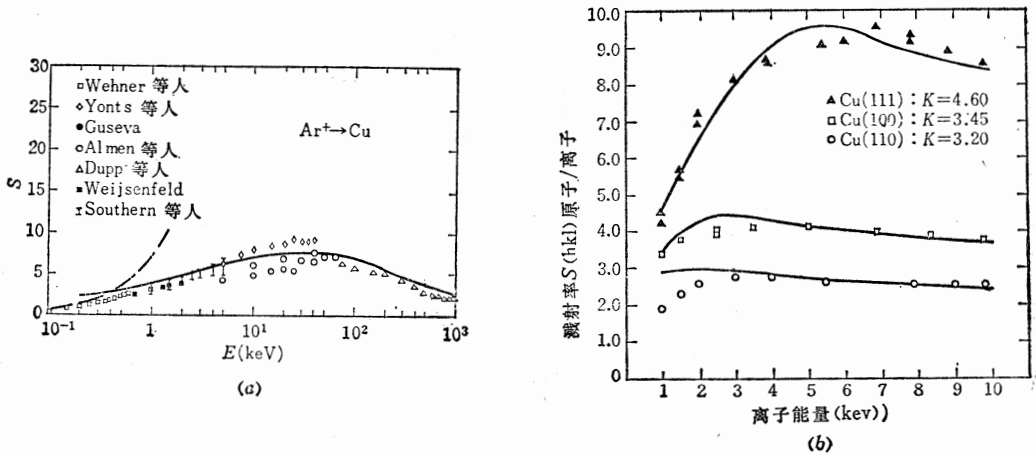


图8-4 Ar<sup>+</sup>的能量和Cu的溅射率的关系  
 (a) 多晶Cu；(b) 与单晶Cu的晶面关系。

时，则一次离子在固体中的射程增大，使级联碰撞发生在较深的地方，因而，能够到达表面的位移原子减少。

反之，如果减少一次离子的能量，可以使  $S = 0$ 。这时的能量是临界能量  $E_{TH}$ 。  $E_{TH}$  因靶的种类不同而有些差异，对于一般的金属来说为 10~30eV。

图 8-5(a) 和 (b) 分别表示采用 400eV 的 Ar<sup>+</sup> 和 Kr<sup>+</sup> 引起的各种元素的溅射率<sup>(8)</sup>。根据经验, 已知溅射率与靶原子升华能量的倒数成正比。另外, 图 8-5(a) 和 (b) 所表示的溅射率与原子序数的关系有二、三个例外, 而与靶原子的  $\alpha$  电子数的变化相对应<sup>(8)</sup>。图 8-6 及 8-7 分别表示升华能量的倒数及外面  $\alpha$  层电子数同原子序数的关系。如果把图 8-5 同图 8-6 及图 8-7 对照来看, 可以发现是非常相似的。

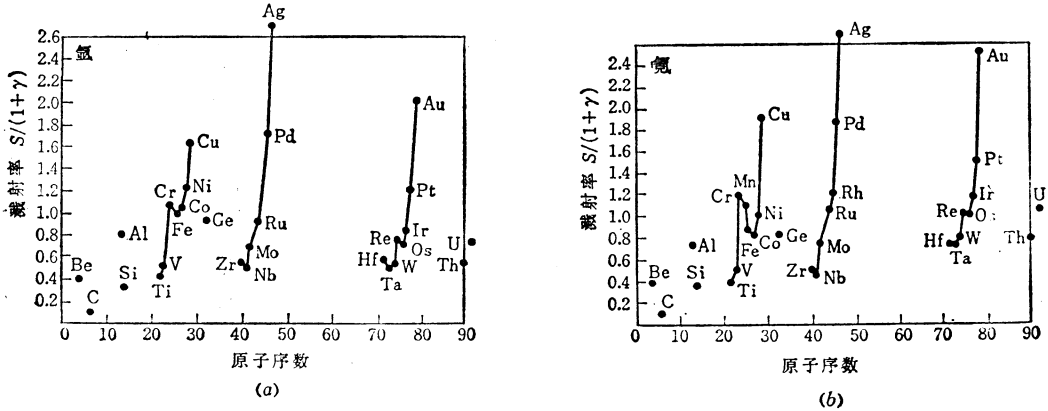


图8-5 溅射率和原子序数的关系<sup>(8)</sup>  
(a) 400 eV的Ar<sup>+</sup>; (b) 400 eV的Kr<sup>+</sup>。

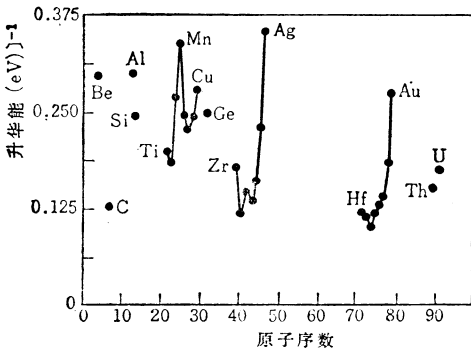


图8-6 升华能量的倒数和原子序数的关系<sup>(8)</sup>

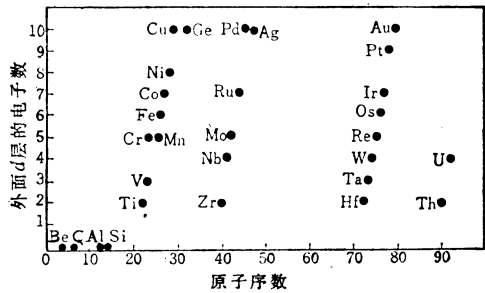


图8-7 在外面 d 层上的 d 电子数和原子序数的关系<sup>(8)</sup>

靶为合金时, 会出现所谓选择溅射的现象, 使表面密度偏离体内的值。现在考虑 A、B 两种不同成分的合金。假设密度分别为  $C_A$  和  $C_B$ , 并设  $S_A < S_B$ 。根据 Honig<sup>(9)</sup> 的结果, 当进行溅射时, B 先溅射, 随后 A 的密度逐渐增加, 从而在表面达到平衡。这时表面上的密度比  $(C_A/C_B)_{surf}$ , 等于体内的密度比  $(C_A/C_B)_{bulk}$  和溅射率比  $(S_B/S_A)$  之比。另外, 溅射速度受溅射率小的元素的限制, 使在表面上方溅射气相中的密度比  $(C_A/C_B)_{vapor}$  等于体内的密度比  $(C_A/C_B)_{bulk}$ 。

氧化物的溅射率一般比其组成元素的值还要小。

### 8.2.3 二次离子的产生机理

在离子微分析中, 在一次离子所引起的溅射粒子中, 只有被电离的粒子是测量的对象。

在溅射的粒子中电离的粒子所占的比例和溅射的情况一样，由于靶子的种类、一次离子种类和靶子表面形状等的不同，将会产生微妙的变化。通常把每一个一次离子所放射的二次离子数称作二次离子系数。二次离子系数在离子微分析中是决定灵敏度的重要的量。图 8-8(a) 和 (b) 分别表示一次离子用  $\text{Ar}^+$  和  $\text{O}^-$  时的相对灵敏度<sup>[10]</sup>。另外，众所周知，当一次电子用  $\text{Cs}^-$  时，将会出现与用  $\text{Ar}^+$  和  $\text{O}^-$  时相反的情况，并且 Au、Ag、O、S 等的二次离子系数变大<sup>[11]</sup>。

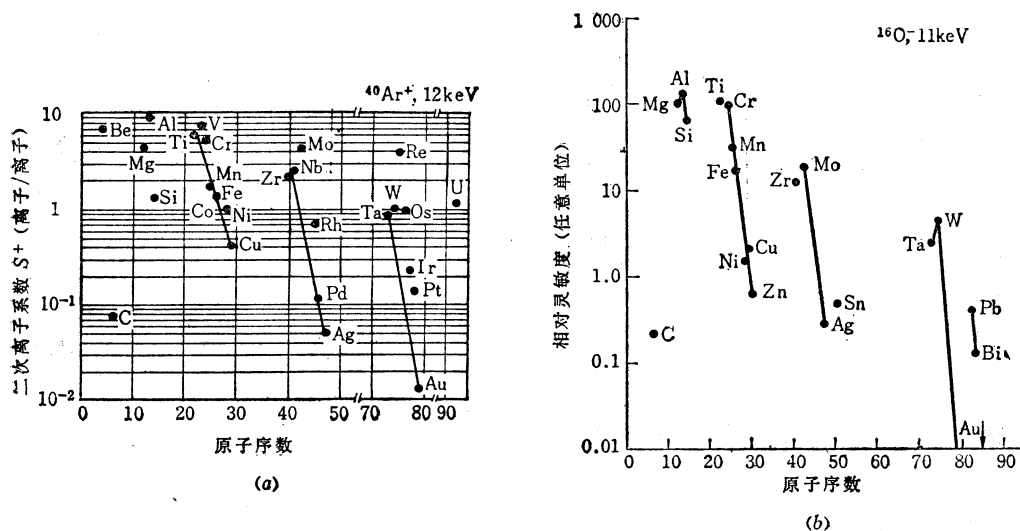


图8-8 采用 $\text{Ar}^+$ 时的溅射率和采用 $\text{O}^-$ 时的相对灵敏度<sup>[10]</sup>

关于二次电子放射虽然已提出许多模型，但其机理似乎还没有解释清楚。到目前为止所提出的各种模型已由 Schroer<sup>[12]</sup>进行了归纳，在这里根据 Werner<sup>[13]</sup>的分类再作若干说明。

根据 Werner 的分类，以前所报导的模型大致可分为离子在靶的外侧产生的模型和在内部产生的模型。

### (1) 离子在靶外侧产生的模型

这种模型认为，由一次电子产生的级联碰撞的结果，如图 8-9 所示，使原子以中性的亚稳态放射，在靶表面附近，通过俄歇迁移放出电子而电离。实际上采用 Al 靶可以测量由离子激发的俄歇电子。这个过程是由 Casting 等人<sup>[14]</sup>和 Slodzian<sup>[15]</sup>提出的，比较容易理解。但由于还没有针对任意一种原子的计算二次电离效率的公式，并且在进行这种计算时所需要的电子结构方面的数据还很少，所以还没有普遍采用。

Schroer<sup>[12]</sup>也提出了属于这种类型的模型。该模型认为，溅射原子离开靶时，其价电子通过量子力学迁移而转移到靶的导带，从而电离成离子。用这种模型也可以解释以  $\text{Ar}^+$  照射纯金属的实验，但应用的例子很少，没有普遍采用。

### (2) 离子在靶内部产生的模型

首先看一看靶为化合物的情况。如图 8-10 所示，由一次离子引起的级联碰撞的结果，切断了表面附近的化学键，直接放射出正负两个离子。这种观点得到 Werner<sup>[13]</sup>以各种厚度 Cu 氧化物为靶所作的实验的支持。即如果边用离子进行溅射，边在纵深方向描绘



$\text{Cu}^+$  和  $\text{O}^-$  的离子电流曲线，则两种强度的变化是相同的。从而可以看出  $\text{Cu}^+$  和  $\text{O}^-$  是由同一过程中产生的，即通过切断化学键的过程而产生的。这种过程称作化学过程。另外，当用像  $\text{Ar}^+$  这样的稀有气体离子溅射金属时，靶内产生的离子在脱离靶时，将接受金属导带的电子而变成中性<sup>[16]</sup>。用这种稀有气体离子溅射金属和合金时产生离子的过程，称作动力学过程。通常同化学过程相比，由动力学过程产生离子的截面积较小。

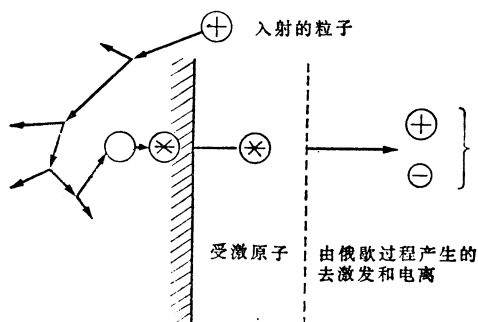


图8-9 离子在靶外侧产生的模型

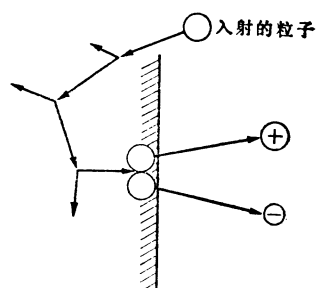


图8-10 离子在靶内部产生的模型  
(在化合物的情况下)<sup>[18]</sup>

图 8-11 表示靶用 Al、一次离子用  $\text{Ar}^+$  和  $\text{O}_2^+$  时的二次离子强度的变化。当用  $\text{Ar}^+$  的时候， $\text{Al}^+$  的强度急剧上升，随后减小到一定的值。与此不同，如果一次离子用  $\text{O}_2^+$ ，则  $\text{Al}^+$  强度在急剧上升之后暂时减小，然后再增加到一定的值。Andevson<sup>[17]</sup> 对此作了如下的说明。如图 8-12 所示，当表面有氧化物时，则表面的功函数（即对电子的势垒）变大。其结果使靶放射的离子与靶的传导电子结合的概率减小，从而使二次离子的电离率与在靶中产生的离子的电离率大致保持相等。当继续进行溅射并除去氧化物时，势垒减小，于是

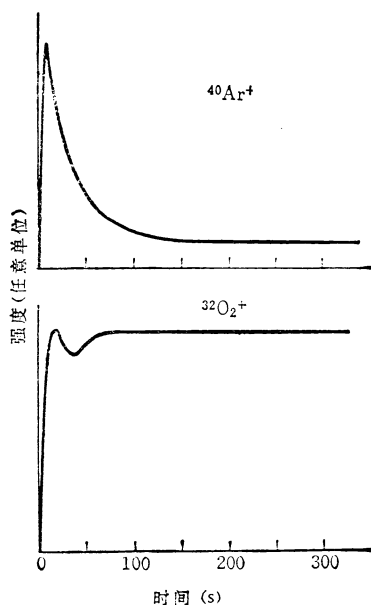


图8-11  $\text{Al}^+$  强度随时间的变化

在靶中产生的离子脱离靶时，在其表面从靶的导带中接受电子而中和的概率增加，因而电离率降低。当一次离子用  $O_2^+$  时，由于氧被注入到靶中，所以化学过程显著，可以保持较高的电离率。即使一次离子采用  $Ar^+$ ，在测量中当吹入象氧这样的电阴性强的气体时，也会获得较高的电离率。

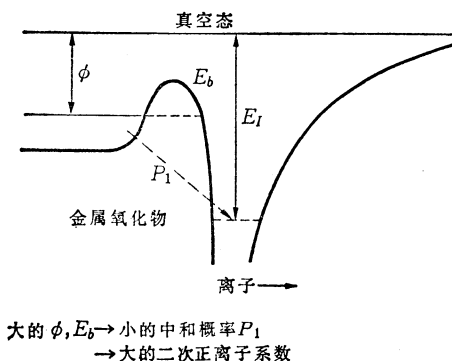


图8-12 表面有氧化物时的能量单位

离子在靶内产生的另一种模型是根据局部热平衡等离子体模型得来的。这是由 Anderson 等人<sup>[18]</sup> 首先提出的模型，如图 8-13 所示。在靶受离子照射的部分，由原子、离子及电子形成局部的热平衡等离子体，等离子体温度和电子密度决定电离率。当一次离子采用氧离子时，由于已讲过的原因，从靶放射出的离子在靶表面中和的概率小，放射的二次离子的电离率  $\sigma_{em}^+$  等于等离子体中的电离率  $\sigma_p^+$ 。该模型在定量处理中再次被提出来。

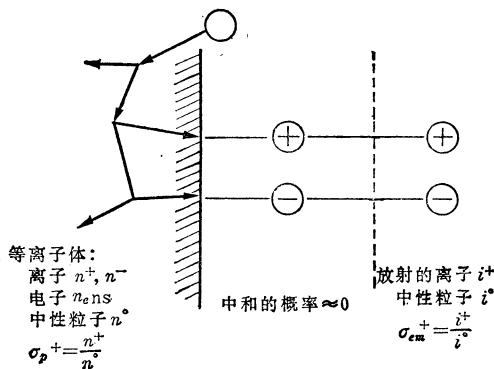


图8-13 基于局部热平衡等离子体模型的电离过程<sup>[18]</sup>

### 8.3 设备和测量

#### 8.3.1 设 备

离子微分析用的设备，称作 IMA。现在已报导了各种类型的 IMA，大致可分为扫描型和投影型两类。图 8-14、8-15 和 8-16 分别表示了 IMA-2 型<sup>[18]</sup>、IMMA 型<sup>[19]</sup> 和 IMS 300 型<sup>[9]</sup> 的结构部分。IMA-2 型和 IMMA 型是扫描型，IMS 型是投影型。表 8-2 表示了市场销售的 IMA 的性能和特征等<sup>[21]</sup>。这些设备性能的定义各厂家稍有不同，因此在严格比较时必须注意。

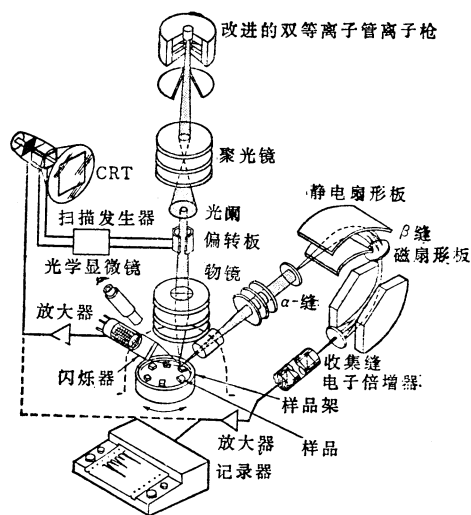


图8-14 IMA-2型 (日立)<sup>[18]</sup>

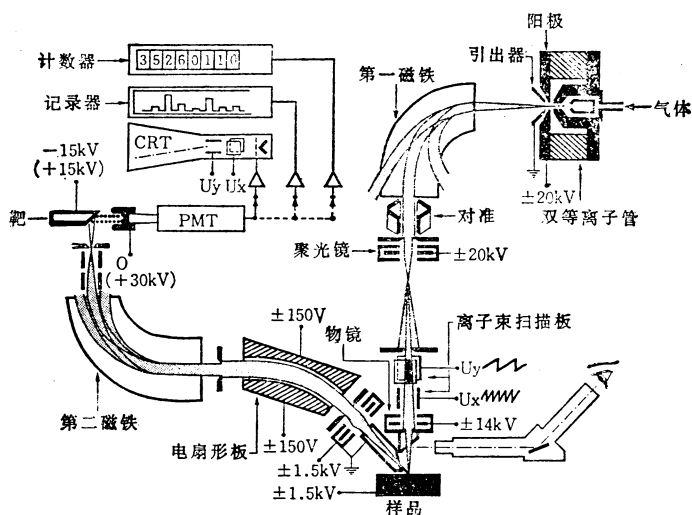
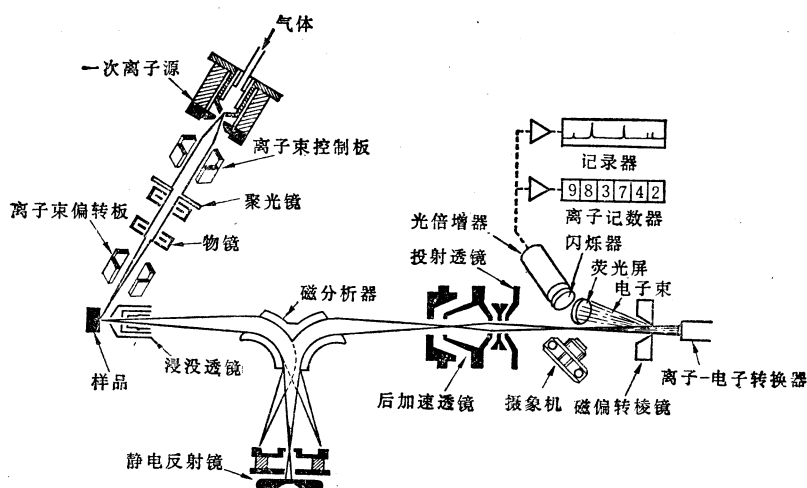
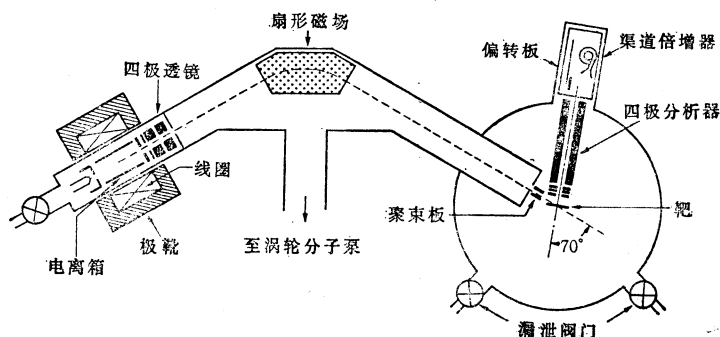


图8-15 IMMA型 (ARL)<sup>[20]</sup>

图8-16 IMS300型 (Cameca)<sup>[8]</sup>表8-2 各种IMA的特征<sup>[20]</sup>

| 设 备        | 一次离子束照射系统 |                           |        | 样品室        |  | 质 量 分 析 仪 |                    |              |                                   |                   |                            |              |
|------------|-----------|---------------------------|--------|------------|--|-----------|--------------------|--------------|-----------------------------------|-------------------|----------------------------|--------------|
|            | 一次离子种类    | 一次离子束直径 ( $\mu\text{m}$ ) | 一次离子分离 | 达到真空度 (托)  | 光学显微镜                                    | 质量分析仪     | 穿透率                | 分辨率          | 探测系统                              | 成像系统              | X-Y位置分辨率 ( $\mu\text{m}$ ) |              |
| 扫描型<br>IMA | ARL       | 活性及惰<br>性气体               | 2~300  | ○          | $1 \times 10^{-7}$<br>$1 \times 10^{-8}$ | ○         | 双重聚束<br>型质量分<br>析仪 | 0.1          | 600                               | 电气探测              | 扫描图像                       | 2            |
|            | AEI       | 同上                        | 2~300  | ○<br>(附属品) | $1 \times 10^{-9}$                       | ○         | 同上                 | 0.01~<br>0.1 | 3000<br>(电气探测)<br>10000<br>(照像干板) | 电气探测<br>及照像干<br>板 | 扫描图像<br>(附属品)              | 2            |
|            | HITACHI   | 同上                        | 2~300  | ○<br>(附属品) | $1 \times 10^{-7}$                       | ○         | 同上                 | 0.01~<br>0.1 | 100~600                           | 电气探测              | 扫描图像                       | 2            |
| 投影型<br>IMA | CAMECA    | 同上                        | 10~300 | ×          | $1 \times 10^{-8}$                       | ○         | 同上                 | 0.08~<br>0.1 | 1000                              | 电气探测              | 投影图像                       | 0.6~<br>0.75 |

图 8-17 是 Benninghoven<sup>[22]</sup> 所报导的 SIMS (二次离子质谱仪) 的略图。在质量分析中, 采用四极子型质量分析器, 离子照射系统也比前面所讲的 IMA 简单。

图8-17 SIMS的例子<sup>[22]</sup>

### 8.3.2 多元素同时分析的功能

由 IMA 获得的基本数据是质谱。质谱是通过把一次离子所溅射的粒子中的电离成分引入质量分析器中, 并进行磁场扫描所得出的结果。在通常的定性分析和定量分析中, 是采用质谱中的  $M/e$  和峰值的高度, 即二次离子电流等。在求样品中某一特定元素的纵向浓度分布时, 预先使质量分析器的磁场与该元素的  $M/e$  相对应, 记录下作为时间函数的二次离子电流。而要想求两种以上元素的密度分布时, 需要在同一样品的不同位置进行反复测量。为了尽量减少这种反复测量所造成的时间浪费, 以及提高数据收集和分析的可靠性, 希望能通过一次探测同时测量多种元素。

同时分析多种元素的方法有一些已经实际应用。在此介绍一下在 IMA-2 型中附加同时分析多种元素功能的例子。

图 8-18 是以 IMA-2 型为基本结构的系统的方框图。在数据处理及设备控制中, 中央处理机采用 HITAC10-II, 它控制质量分析器的磁场电源、脉冲计数器、磁场探测装置、一次离子束偏转装置和样品微动装置等。为了存储输入的数据, 使用具有 65 k 字节存储容量的磁鼓作为辅助存储器。处理功能有(1)测量质谱和确定  $M/e$ ; (2) 通过步进扫描法同时进行多种元素的纵向分析, 最多可以获得 16 种元素的密度分布; (3) 同样可对 16 种元素进行线分析等等。当然也可以采用过去的方法通过记录器记录质谱和对离子图像进行二元观察。

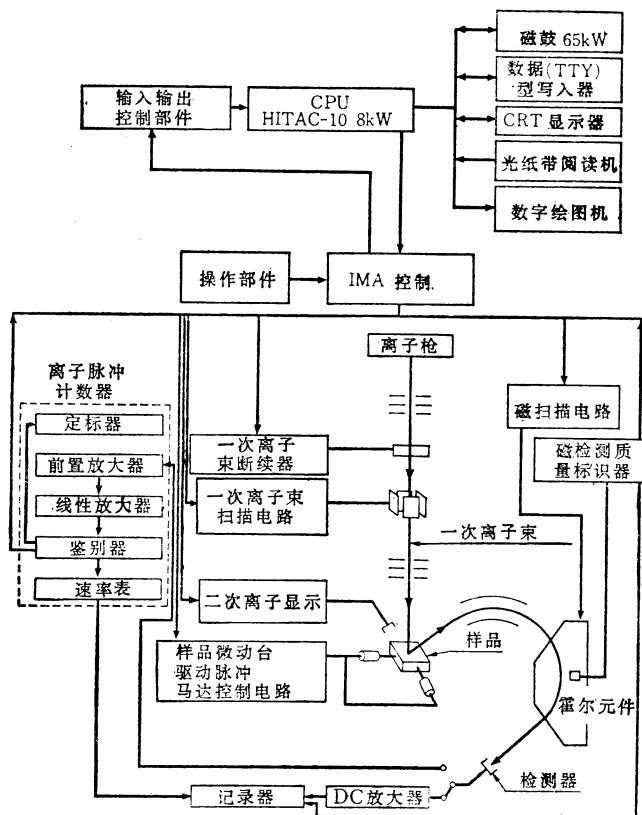


图8-18 具有多元素同时分析功能的IMA-2型方框图<sup>[23]</sup>

在纵向分析中，为了均匀的进行腐蚀和消除凹坑的边缘效应，如图 8-19 所示，采取使一次离子在样品表面进行步进扫描，并且仅从扫描面的中心部分（斜线部分）接收二次离子的方式。图 8-19(b) 是用这种方式得到的凹坑的剖面形状，其底部是非常平坦的。

图 8-20 是用该系统同时分析多元素的例子，采用的样品如图所示，是在 P 型硅上选择扩散 As，然后生成 P 型外延层，再在其上面淀积一层磷。在表面看到的 As 密度一定的地方可看作是 As 的基准面。

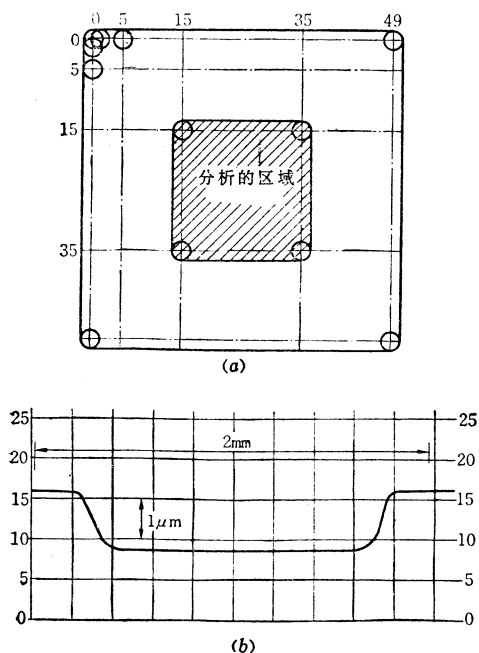


图8-19 一次离子束扫描的方法和所得到的样品（硅单晶）的凹坑形状

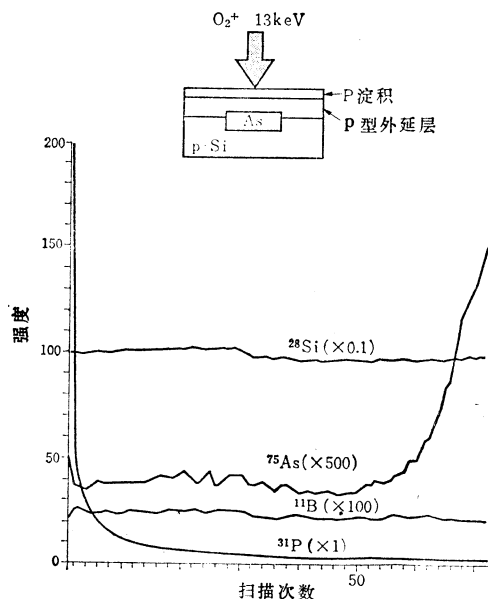


图8-20 同时分析多元素之一例

### 8.3.3 定量性的操作

用 IMA 进行的定量分析，根据样品的种类已提出几种方法。在这里简单介绍一下定量法的基本考虑方法，以及虽然还存在各种问题，但在某些方面已取得相当成功的、基于局部热平衡等离子体模型的方法。

#### (1) 测量线法

准备几种成分与所要分析样品相同而密度不同的标准样品，预先求出它们的频谱强度和密度的关系，即测量线。然后在和标准样品相同的条件下测量待分析样品，把取得的频谱强度与测量线相对照以确定密度。这种方法虽然在原理上非常简单，而且又比较准确，但可靠的标准样品很难得到，故应用范围极为有限。

#### (2) 采用相对的二次离子系数的方法

流入 IMA 收集器的元素 A 的二次离子电流  $i_{A,r}$  为

$$i_{A,r} = i_p \cdot S_A^+ C_A (a_{A,r}/100) \eta_A \quad (1)$$

式中  $i_p$ ——一次离子电流；

$S_A^+$ ——A 元素的二次离子系数；

$C_A$ ——A元素的密度;

$a_{A,r}$ ——A元素同位素的存在比;

$\eta_A$ ——二次离子收集效率。

因而, 如果能够通过某种手段精确地确定  $i_p$ 、 $S_A^\pm$  和  $\eta_A$ , 则可将所测出的  $i_{A,r}$  代入(1)式中以求出  $C_A$ 。但是, 由于二次电子和二次离子的放射使  $i_p$  的测量精度很难达到很高, 而且  $\eta_A$  也同样受设备、样品形状及离子光学系统等影响, 所以直接从(1)式中求出  $C_A$  是比较困难的。为此要在和测量样品相同的条件下测量标准样品频谱。从标准样品中放射出的二次离子电流可以用下式表示:

$$i_{R,r} = i_p S_R^\pm \cdot C_R (a_{R,r}/100) \eta_R \quad (2)$$

式中下标  $R$  意味着标准样品。如果测量样品和标准样品的频谱位置距离很大, 可以近似认为  $\eta_A = \eta_R$ 。所以由(1)式和(2)式得出:

$$C_A = \frac{i_{A,r}}{i_{R,r} S_{r,el}^\pm} \cdot \frac{C_{Rr}}{a_{A,r}} \quad (3)$$

式中,  $S_{r,el}^\pm = S_A^\pm / S_R^\pm$ , 是A元素的相对系数。因此, 如果预先根据与样品成分相同的、已知密度的标准样品求出  $S_{r,el}^\pm$ , 就可以用(3)式求出  $C_A$ 。另外, 需要注意,  $S_{r,el}^\pm$  也是随样品表面的状态及一次离子的种类而变化的。

### (3) 基于局部热平衡等离子体模型的方法

如在2.3节中讲过的那样, Anderson<sup>[13]</sup>假定在一次离子入射的靶表面形成热平衡等离子体, 从而确定了求二次离子的电离率的方法。在这种等离子体中的正离子的电离过程可用下式表示:



其中, 二价以上离子的数目比一价离子的数目少, 可以忽略。设  $n_A^\circ$  和  $n_A^+$  分别为等离子体中的中性粒子和离子的数目, 则原子A的电离率用下式表示:

$$\sigma_A^+ = n_A^+ / n_A \quad (5)$$

式中,  $n_A = n_A^\circ + n_A^+$

样品中的原子A的密度  $C_A$  和  $\eta_A$  成正比关系, 即

$$C_A = \alpha n_A \quad (6)$$

另外  $n_A$  和流向 IMA 收集器的二次离子电流  $i_A$  之间有如下关系:

$$n_A = \beta \eta_A i_A^+ / \sigma_A^+ \quad (7)$$

式中,  $\beta_{n_A}$  是与设备有关的值, 包括二次离子收集效率、质量分析器的透过率和二次离子探测器的灵敏度修正等。另外,  $i_A^+$  是进行同位素补偿的。

$\sigma_A^+$  可用下面的方法求出。即在(4)式的条件下离子分解常数  $K_A^+$  用下式表示:

$$K_A^+ = \frac{n_A^+ \cdot n_e^-}{n_A} \quad (8)$$

式中,  $n_e^-$  是等离子体中的电子密度。如果根据 Seha-Eggert 的公式, 则

$$K_A^+ = \left( \frac{2\pi kT}{h^2} \frac{m_A^+ m_e^-}{m_A^\circ} \right)^{3/2} \times \frac{B_A^+ B_e^-}{B_A^\circ} \exp\left(\frac{-E_A - \Delta E}{kT}\right) \quad (9)$$

式中  $m$ ——原子A或电子等的质量 ( $m_A^+ \cdot m_e^- / m_A^\circ \approx m_e^-$ );

$B$ ——内部分配函数 ( $B_e^- \approx 2$ );

$E_A$ ——与带电状态相当的低电离电位；

$\Delta E$ ——由带电粒子的库仑力产生的电离电位的修正项。

为便于计算，(9)式可用下式表示：

$$\log\left(\frac{n_A^+}{n_A}\right) = 15.38 + \log 2 (B_A^+/B_A^0) + 1.5 \log T - \frac{5040(E_A - \Delta E)}{T} - \log n_e^- \quad (10)$$

$\Delta E$  可以用 Debye-Hückel 的方法，近似地表示如下：

$$\Delta E \approx 2.95 \times 10^{-8} \gamma (n_e^-/T)^{1/2} \\ (\gamma = 1.20 \pm 0.24)$$

因此，根据

$$\sigma_A^+ = (n_A^+/n_A) \approx (n_A^+/n_A^0)$$

可先由(10)式求出作为  $T$  和  $n_e^-$  的函数的  $\sigma_A^+$ ，进而再用  $\sigma_A^+$ ，由(6)和(7)式求出  $C_A$ 。但是在(10)式中含有两个未知数  $T$  和  $n_e^-$ 。因此，通常在样品中选择两种已知密度的元素，作为内部标准来确定这些常数。

同样，对于负离子来说下式也是成立的：

$$\log\left(\frac{n_A^-}{n_A^0}\right) = -15.38 + \log (g_A^-/2g_A^0) - 1.5 \log T + \frac{5040E_A}{T} + \log n_e^- \quad (11)$$

和正离子不同，在负离子的情况下，加入了负离子或中性原子基底状态统计重量  $g$  以代替  $B$ ，并加入了电子亲和度  $E_a$  以代替  $E_A$ 。

Anderson 根据这种方法，研究出了叫做 CARISMA (对应用研究实验室的离子溅射质量分析的修正) 的修正计算程序。这种方法在定量分析中取得了相当的成功，但在确定  $T$  和  $n_e^-$  上还缺少严密性。Shimizn 等人<sup>[24]</sup>采用最小值探索法作为求  $T$  和  $n_e^-$  的方法，以谋求改善基于局部等离子体模型的定量法。用这种方法分析低合金钢的结果示于表 8-3<sup>[25]</sup>。内部标准采用 Fe 和 Cr，同化学分析值比较一致。

表8-3 低合金钢化学分析值和IMA分析值的比较<sup>[25]</sup>

| 元 素 | 化学分析 (wt%) | 2 次离子相对强度 | IMA 分析 (wt%) |
|-----|------------|-----------|--------------|
| Fe  | 93.59      | 273       | (92.9)*      |
| Cr  | 0.52       | 4.70      | (0.52)*      |
| V   | 0.65       | 8.25      | 0.66         |
| Mn  | 1.54       | 9.14      | 2.61         |
| Ni  | 1.23       | 1.49      | 1.28         |
| Cu  | 0.54       | 0.376     | 0.41         |
| Mo  | 1.51       | 3.66      | 1.31         |
| Si  | 0.42       | 0.754     | 0.37         |

\* 把Fe和Cr作为内部标准来使用。

这种方法确定  $T$  和  $n_e^-$  时，采用了两个内部标准，但也有人提出采用分子离子或多价离子，而不采用内部标准来确定  $T$  和  $n_e^-$  的方案<sup>[26]</sup>。

基于局部热平衡等离子体模型的定量法，从定量分析来看，还是比较成功的，但还没有找出证实热平衡等离子体存在的理论或实验根据，这有待于今后进一步研究。



### 8.3.4 纵向的元素分布的测量

IMA 对于半导体工艺来说起着重要的作用,很大原因是灵敏度高,并可以获得构成元素的纵向密度分布。正如已经讲过的那样,在测量某一特定元素的纵向密度分布时,把质量分析仪的磁场强度固定于与特定元素的  $M/e$  相对应的值,测量作为时间函数的二次离子强度。但是为了获得可能准确的分布,必须有充分的测量条件。为此,需要对以下几点进行考虑和分析。

#### (1) 腐蚀深度的均匀性和边缘的影响

能均匀地进行腐蚀的方法有两种。一种是通过调整一次离子光学系统而获得均匀的离子束的方法,另一种是用偏转电极使一次离子束扫描的方法。离子束扫描方式的例子已经讲过了。

尽管作到了腐蚀的均匀性,有时也必须注意。图 8-21 表示了凹坑的形状和所测量的密度分布之间的关系<sup>[27]</sup>。从凹坑边缘进入分析仪的二次离子可以通过机械或电气方法消除,然而,如图 8-21 所示,从凹坑边缘溅射的元素淀积在凹坑中央部位,会影响测量结果,这一点必须注意。

#### (2) 一次离子中的中性原子引起的溅射

通常,在一次离子中有较多的中性原子。图 8-22 表示了这种情况。如图 8-21 所示,即使仅将来自凹坑中心部分的二次离子引入分析器,一次离子光学系统的透镜不能控制中性原子所溅射的二次离子也会影响分布情况。中性原子与一次离子光学系统中的透镜和聚焦结构以及一次离子通路上的残留气体压力等有关。为了消除这种影响,需要采用偏转电极,使一次离子偏转等办法。

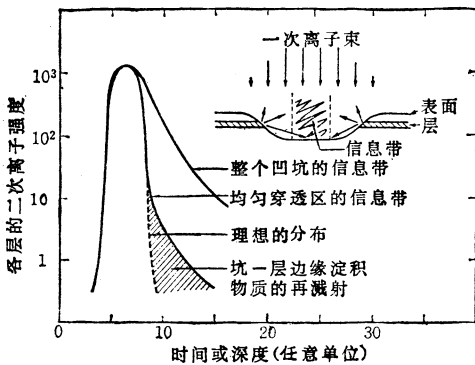


图8-21 影响分布情况的溅射原子的再蒸发<sup>[27]</sup>

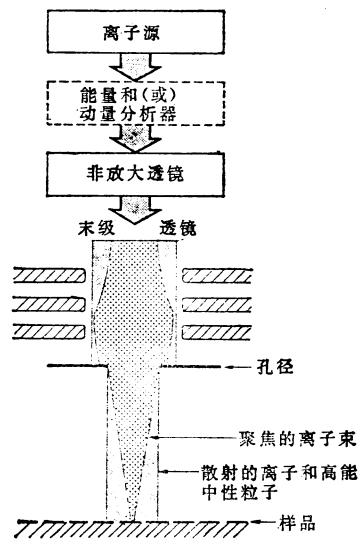


图8-22 在一次离子中包含的中性原子的影响<sup>[27]</sup>

作为减轻这种问题的实际手段, McHugh<sup>[27]</sup> 提出在样品表面预先蒸发一层碳薄膜的方法。碳的纯度较高,并且是传导性膜,特别是当样品为绝缘体时,也可以解决带电问题,另外,碳的二次电子系数比较小,因此,在使用没有问题的情况下,可以说是非常好的材料。

#### (3) 表面变质层(吸附层和氧化层)的影响

一般置于空气中的固体表面,都要形成数十埃的吸收层或氧化膜。结果使表面附近的

二次离子系数与内部不同。有时表面附近的分布偏离了实际情况。这在多层膜等界面有薄的氧化膜等的情况下就成了问题。图 8-23 是 Cu/Mo/Si 结构的纵向密度分布<sup>[28]</sup>。测量中采用  $A_r^+$ 。虽然在 Cu、Si 与 Mo 之间的界面的分布非常多，但这并不是真实的分布，而是由于在界面间存在氧，使二次离子系数变大的缘故。

(4) 基体的影响

即使是同一种元素，当基体不同时，不仅二次离子系数，而且溅射率也不相同。在处理多层膜结构的样品时必须注意。

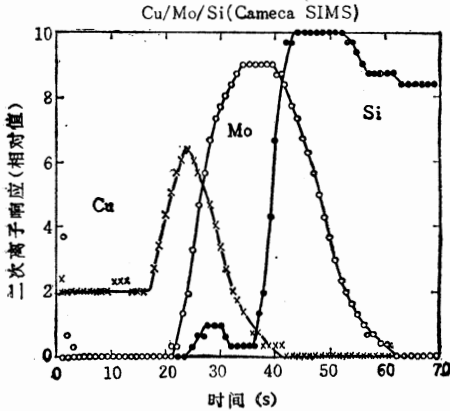


图8-23 在多层膜界面的二次离子强度的异常现象<sup>[28]</sup>

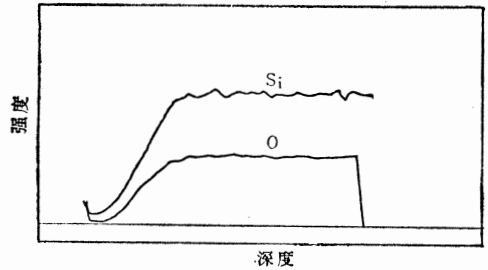


图8-24 一次离子采用  $O^-$ 、样品采用 Si 时，Si 和 O 的纵向分布<sup>[28]</sup>

(5) 一次离子向样品注入的影响

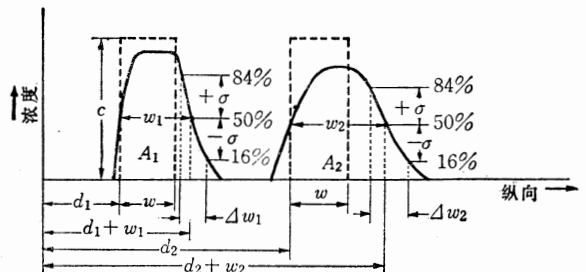
当采用象氧这种活性离子作为一次离子时，注入到样品中的活性离子会改变二次离子系数。这在 8.2.3 节对于 Al 的情况已作了说明，这里再介绍另一个例子。图 8-24 表示一次离子采用  $O^-$ ，一边溅射 Si，一边测量  $O^-$  和 Si 的纵向分布的结果<sup>[29]</sup>。Si 的纵向分布应该是一定的，而实际上从表面起同氧一样增加，并逐渐达到饱和。这可以认为是由于在氧向硅中注入初期，使硅的二次离子系数增加的缘故。

(6) 击出效应

正如已经讲过的那样，当向样品中注入一次离子时，反复进行所谓级联碰撞，结果使样品中的若干原子脱离原来的位置。根据 Ishitani 等人<sup>[6]</sup>的计算，由  $A_r^+$  击出的 Cu 原子的移动距离为数埃左右。所以对测量的元素分布影响不大，但在精确测量时，还是需要考虑的。

(7) 纵向分辨率

关于在考虑上述影响的情况下所测量的密度分布的可靠性，Honig<sup>[28]</sup>用图 8-25 所示的方法，确定了纵向分辨率。但是关于实际获得的密度分布可靠性，应该由研



层位置： $d_1, d_2$   
 层宽：淀积的  
 测量的  $w_1 < w_2$   
 面积： $A_1 = A_2 = C_w$

$$\text{纵向分辨率: } DR_1(\%) = \frac{100\Delta w_1}{d_1 + w_1}, \quad DR_2(\%) = \frac{100\Delta w_2}{d_2 + w_2}$$

图8-25 表示纵向分辨率的例子<sup>[28]</sup>

究者本人根据所采用的实验条件和凹坑的形状等进行综合判断。

## 8.4 应用

### 8.4.1 硅中杂质的分析

在本节首先列举用 IMA 分析硅中杂质的例子，并考察其检测的界限。

图8-26是根据电阻率的测量获得的大约含有 $9.8 \times 10^{14}$ 原子/cm<sup>3</sup>p型杂质的硅单晶的质谱<sup>(80)</sup>。一次离子用10keV的Ar<sup>+</sup>，离子电流为 $2 \times 10^{-6}$ A。如果晶体中包含的p型杂质是B，那末，设检测界限为噪声级的三倍，这时的测量界限值约为 $3 \times 10^{14}$ 原子/cm<sup>3</sup>。

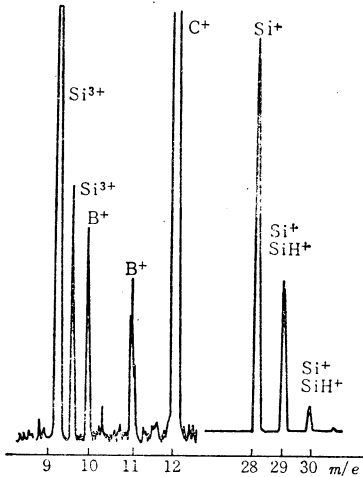


图8-26 含有 $9.8 \times 10^{14}$ 原子/cm<sup>3</sup>p型杂质的硅单晶质谱<sup>(80)</sup>

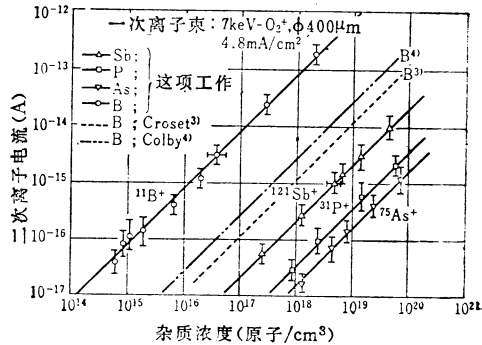


图8-27 硅中杂质浓度和二次离子强度的关系<sup>(81)</sup>

(杂质浓度是通过测量电阻得来的)

Doi 等人<sup>(29)</sup>以H<sub>2</sub><sup>+</sup>为一次离子，使电流密度保持一定，并改变离子束的直径，这样来测量Si中的B、Sb、P及As的二次离子强度。当把离子束直径调到400 μm（电流密度4.8mA/cm<sup>2</sup>）时，B、P、As和Sb的检测界限值分别为 $4 \times 10^{18}$ 、 $3 \times 10^{16}$ 、 $5 \times 10^{16}$ 和 $8 \times 10^{15}$ 原子/cm<sup>3</sup>。当然，在电流密度一定时，这些检测界限值与一次离子束直径的平方成反比。图8-27是他们得到的测量线。在这种情况下，也是用Irvin表，根据电阻值求硅中的杂质浓度。

表8-4表示半导体中的重要杂质的电离率和检测界限值<sup>(30)</sup>。电离率( $\sigma_A^+ = n_A^+ / n_A^0$ )是

表8-4 半导体中重要元素的电离效率和检测界限<sup>(30)</sup>

| 元素 | 电离率( $n^+ / n^0$ )   | 检测界限 (原子/cm <sup>3</sup> ) | 元素 | 电离率( $n^+ / n^0$ )   | 检测界限 (原子/cm <sup>3</sup> ) |
|----|----------------------|----------------------------|----|----------------------|----------------------------|
| B  | $1.5 \times 10^{-2}$ | $1 \times 10^{15}$         | As | $3.5 \times 10^{-3}$ | $2.8 \times 10^{16}$       |
| Al | $5.3 \times 10^{-1}$ | $2.8 \times 10^{13}$       | In | $4.8 \times 10^{-1}$ | $3.1 \times 10^{13}$       |
| P  | $7.2 \times 10^{-4}$ | $2.0 \times 10^{17}$       | Sb | $1.7 \times 10^{-2}$ | $8.8 \times 10^{14}$       |
| Cr | $2.2 \times 10^{-1}$ | $6.8 \times 10^{14}$       | Te | $3.1 \times 10^{-3}$ | $4.8 \times 10^{16}$       |
| Fe | $9.5 \times 10^{-2}$ | $1.6 \times 10^{14}$       | Au | $2.5 \times 10^{-2}$ | $6.0 \times 10^{16}$       |
| Ni | $2.9 \times 10^{-2}$ | $5.2 \times 10^{14}$       |    |                      |                            |

采用局部热平衡等离子体模型，并假定B的检测界限值为  $1 \times 10^{15}$  原子/cm<sup>3</sup>、 $T=6000\text{K}$ 、 $n_e=10^{16}\text{eI/cm}^3$ 时计算出来的。测量条件是以  $\text{O}_2^+$  为一次离子，离子电流为数微安。

检测界限不是固定的值，由测定条件引起的变化比较大。但表 8-4 中所示的值还是比较标准的。

#### 8.4.2 硅的表面分析

IMA是对一样品表面边溅射边测量的设备，严格来讲，还不是分析“表面”的设备。但是，通过减小一次离子电流和降低溅射速度，就能以高灵敏度分析表面的杂质。图8-28是镜面研磨过的硅片（n型，电阻率为  $10\Omega \cdot \text{cm}$ ）表面的分析结果。一次离子用  $\text{N}_2^+$ ，离子电流为  $3\mu\text{A}$ ，分析面大小为  $\phi 300\mu\text{m}$ 。图中（a）是正离子的质谱，（b）是负离子的质谱。从正离子频谱中检测出 C、Na、Al、K、Ca 等，而从负离子频谱中检测出 C、F、S、Cl 等。

Benninghoven<sup>[22]</sup>把图 8-17 所示的 SIMS 应用于固体表面的研究，并作为一个实例报导了研究硅初期氧化过程的结果。根据他的报告，正如图8-29的质谱所表示的那样，从氧化过的硅表面会放射出  $\text{SiO}_2^+$  或  $\text{SiO}_2^-$ 。他开始在超高真空中用  $\text{Ar}^+$  进行溅射腐蚀以清洗硅表面，然后改变氧的剂量（样品周围氧的压力和时间之积）进行氧化，并测量了表面的  $\text{SiO}_2^-$  强度。一次离子是采用  $3\text{keV}$  的  $\text{Ar}^+$ 。测量结果示于图8-30。根据该结果， $\text{SiO}_2^-$  离子的强度在氧化初期急剧升高，之后则缓缓增加。在氧化初期，洁净 Si 表面 O 的附着概率为  $10^{-18}$

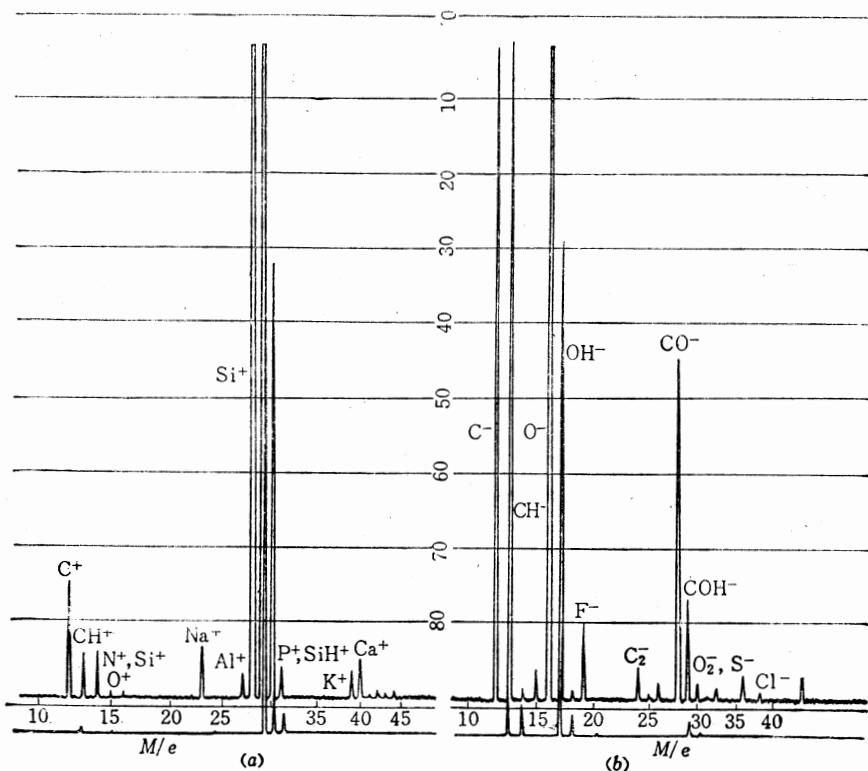


图8-28 硅表面的质谱

(a) 正离子质谱；(b) 负离子质谱。

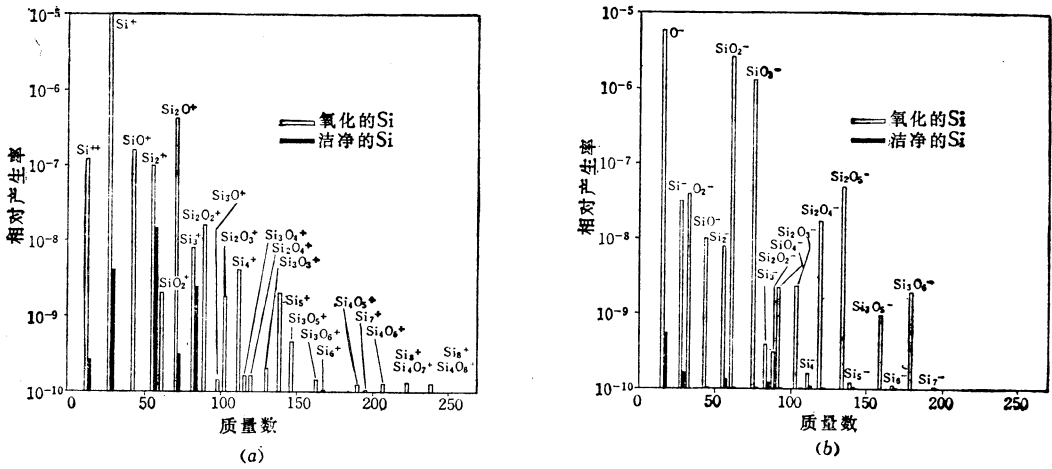


图8-29 用SIMS获得的氧化的Si和洁净的Si的质谱<sup>[22]</sup>  
(a) 正离子质谱; (b) 负离子质谱。

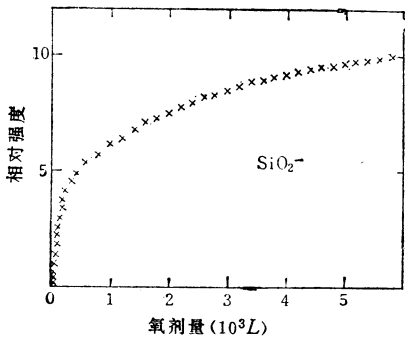


图8-30 洁净Si初期氧化过程中SiO<sub>2</sub><sup>-</sup>的变化<sup>[22]</sup>

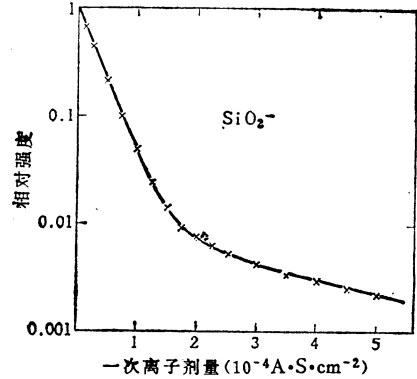


图8-31 具有由6000L的氧剂量形成的氧化膜的Si表面溅射的SiO<sub>2</sub><sup>-</sup>强度的减少

左右。这与从其他的实验值大致相同。

图8-30所表示的由600L(兰米尔 1L=10<sup>-16</sup>托·秒)的氧形成吸附膜的样品,经Ar<sup>+</sup>照射后,溅射的SiO<sub>2</sub><sup>-</sup>强度的变化,如图8-31所示,其随时间按指数函数减少。Benninghoven根据下面的理论的考察,得出结论,认为在这种情况下形成的氧化层的厚度在单分子层以下。

现在以电流密度为j<sub>p</sub><sup>+</sup>的一次离子进行照射,并把从固体表面放射出的分子离子A的离子系数记为S<sub>A</sub><sup>±</sup>。在二次离子电流中流入探测器的离子电流为

$$i_A = j_p^+ D S_A \pm \theta \eta_A \quad (12)$$

式中: D是固体表面的一次离子照射区域面积; θ是粒子A的相对被复率; η<sub>A</sub>是与分析器的穿透率和探测器效率有关的量。设n为粒子A的表面密度, n<sub>0</sub>为θ=1时的表面密度; S为总溅射率。于是经过dt时间的一次离子照射,每单位面积的粒子变化dn可用下式表示:

$$dn = -v S_A \pm \theta(t) dt \quad (13)$$

式中, v是j<sub>p</sub><sup>+</sup>/e<sub>0</sub>,即单位时间入射到固体单位面积的一次离子的数。由n的变化引起的相

对被复率的变化可以用下式表示:

$$d\theta = dn/n_0$$

根据 (13) 式可变成

$$d\theta = \frac{vS_A^+}{n_0} \theta(t) dt$$

积分后得出

$$\theta(t) = \theta(0) \exp(-t/\tau) \quad (14)$$

式中,  $\tau$  是表面层的平均寿命, 并且

$$\tau = n_0/vS_A^+$$

所以, 根据 (12) 和 (14) 式, 流入探测器的电流可用下式表示:

$$\begin{aligned} i_A &= j_p^+ DS_A^+ \eta \theta(0) \exp(-t/\tau) \\ &= C \exp(-t/\tau) \end{aligned}$$

这意味着, 当固体表面存在的粒子  $A$  在单分子层以下时, 二次离子强度随一次离子的照射时间按指数函数减少。就这样 Benninghoven 说明了, 由 6000 L 的氧剂量在硅表面形成的氧化层厚度小于单分子层。

洁净硅表面的氧化, 受气氛中  $H_2O$  的影响。图 8-32 分别表示氧气中  $H_2O$  在  $10^{-4}$  以下和  $10^{-8}$  时形成的氧化膜的负离子质谱。在每一种情况下氧的总剂量都是  $10^3 L^{(21)}$ 。当  $H_2O$  含量在  $10^{-4}$  以下时, 仅出现  $O^-$ 、 $SiO_2^-$  和  $SiO_3^-$ , 而当  $H_2O$  在  $10^{-8}$  以上时, 除上述的峰值外, 还明显的出现  $OH^-$ 、 $SiO_2H^-$  和  $SiO_3H^-$ 。  $SiO_2$  中  $O$  的存在与  $Si-SiO_2$  界面的陷阱有关, 这是非常重要的, 有待于进一步的研究。但是, 氢离子的发生量与一次离子的能量有很大关系, 因此需要充分选择实验条件。

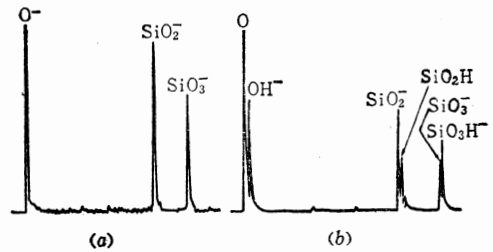


图 8-32 氧化气氛中  $H_2O$  的影响<sup>[22]</sup> (氧的剂量为  $10^3 L$ )

- (a) 氧气中的  $H_2O$  在  $10^{-4}$  以下时;  
(b) 氧气中的  $H_2O$  在  $10^{-8}$  时。

#### 8.4.3 硅中杂质的密度分布

关于用 IMA 测量扩散的杂质或离子注入的杂质在 Si 中的纵向密度分布的报告比较多。一般情况下, 扩散杂质的分布形状和离子注入的射程  $R_p$  的值与理论值大体一致。本节介绍几个测量例和通过 IMA 开始明确的事情。

贝尔实验室的 Tsai 等人<sup>[33]</sup>, 在 Si(100) 面上注入 As 离子, 然后在高温下退火, 研究了其前后杂质分布的变化情况, 并且把用 IMA 获得的测量值同根据电阻求出的杂质分布形状作了比较。一次离子采用  $15 keV$  的  $O_2^+$ , 二次离子采用  $AsO^-$ 。浓度是按下面的方法求出的。

假设在任意深度  $x$  处的二次离子强度  $i_s(x)$  和在分布峰值位置的二次离子强度  $i_{s,max}$  之比, 等于在深度  $x$  处的杂质密度  $C(x)$  和在峰值位置上的杂质密度  $C_{max}$  之比, 即:

$$i_s(x)/i_{s,max} = C(x)/C_{max} \quad (15)$$

另外, As 的注入量  $Q_{As}$  可以用下式表示:

$$Q_{As} = C_{max} \sum_{i=1}^n \left[ \frac{C(x)}{C_{max}} \right] \Delta x \tag{16}$$

式中,  $Q_{As}$  取决于离子注入条件, 是可以测量的量。  $\Delta x$  是收集  $x = x_i$  位置的二次离子用的深度间隔。 根据 (15) 和 (16) 式得出下式:

$$Q_{As} = C_{max} \sum_{i=1}^n \frac{i_s(x_i)}{i_{s,max}} \Delta x \tag{17}$$

若已知  $\Delta x$  和  $Q_{As}$ , 则可以根据 (17) 式计算  $C_{max}$ 。 注入 50keV 能量的 As 离子之后, 硅中 As 的分布示于图 8-33。 峰值的位置离表面 360 Å, 该值接近于根据 LSS 理论求出的入射距离(324 Å)。 图 8-34 是注入  $5 \times 10^{15}$  原子/cm<sup>2</sup> 的 As<sup>+</sup> 之后, 经 1050°C、15 分钟退火的样品的分布情况。 实线是用 IMA 测量的, 虚线是通过测量电阻求出来的。 根据该测量求出的 Si 中 As 的检测界限是  $(2 \sim 3) \times 10^{18}$  原子/cm<sup>3</sup>。

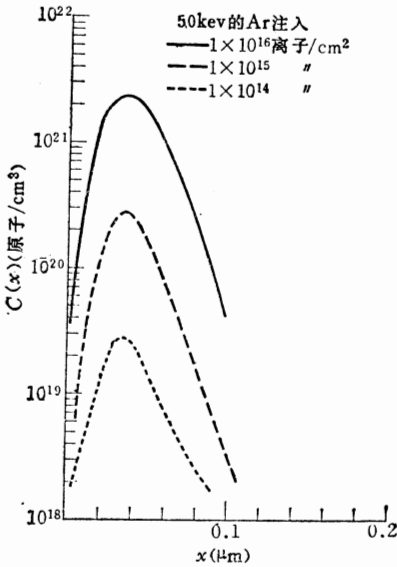


图8-33 As注入后Si中As的分布<sup>[33]</sup>

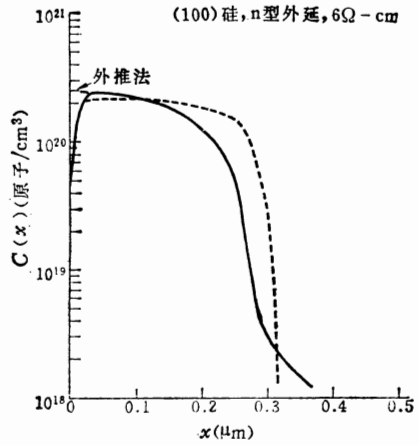


图8-34 As注入之后再经1050°C、15分钟退火的As的分布<sup>[33]</sup>

关于 B 的分布, 也有二次离子系数比较大的情况, 这方面有很多报告。 图 8-35 是由 Hofker 等人得出的 B 离子注入后 Si 中 B 的分布。 离子注入的方向是称作〔39、33、17〕的原子密度高的晶轴方向。 从图中可以看到, 峰值的末端拖了一个很长的尾巴, 这可以通过成沟作用来说明。 另外, 注入 30keV 的 B<sup>+</sup> 之后, 经过 920°C、40 分钟的退火, 再比较由 IMA 和测量电阻得出的分布形状, 其结果示于图 8-36。 在浓度较高的区域中, 两者的值大体一致, 但在浓度低的区域存在着与电阻无关的 B。 他们认为这种现象是由于通过成沟作用进入内部的 B, 没有达到置换型晶格点, 因而与电阻无关。 另外, 据报导, 在非晶硅的情况下, 没有拖尾巴, 并且对注入离子的电子阻止能的系数应为 Lindhard 等人所报导的值的 1.2~1.4 倍。 Hofker 等人在均匀掺 P 或 B 的晶体中再注入离子时, 进一步发现 P 或 B 再分布的现象<sup>[35]</sup>。 作为一个例子示于图 8-37。 据报导, 象这样的现象在注入 H<sup>+</sup> 这样的轻离子时也会发生<sup>[36]</sup>。

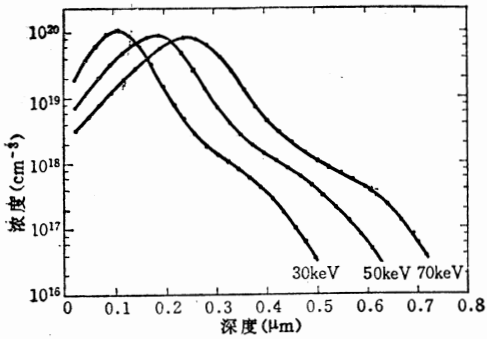


图8-35 B注入后Si中B的分布<sup>(34)</sup>

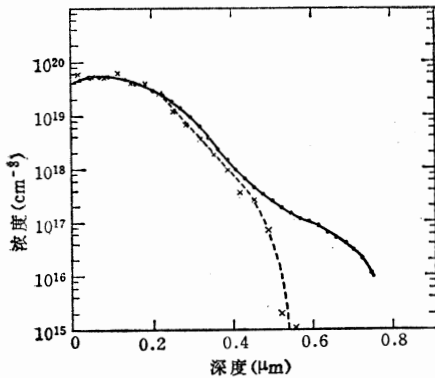


图8-36 B注入后,经920°C、40分钟退火的样品中的B的分布<sup>(34)</sup>

(实线是用IMA测得的结果,虚线是通过测量电阻求出的结果)

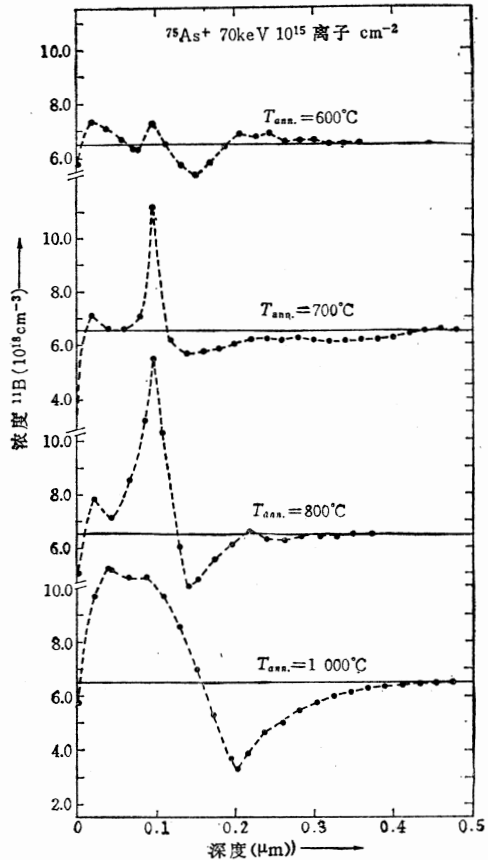


图8-37 注入As<sup>+</sup>(70keV, 10<sup>15</sup>原子/cm<sup>2</sup>)并在不同温度T<sub>anna</sub>下退火后的B的浓度分布<sup>(35)</sup>  
(一次离子束是O<sub>2</sub><sup>+</sup>)

此外,还有关于P的扩散分布及离子注入分布等报告。这样, IMA 不仅能够测量 Si 中的杂质浓度,也能获得其分布情况,随着今后测量技术的发展, IMA的应用将日益广泛。

#### 8.4.4 表面薄膜及界面的评价

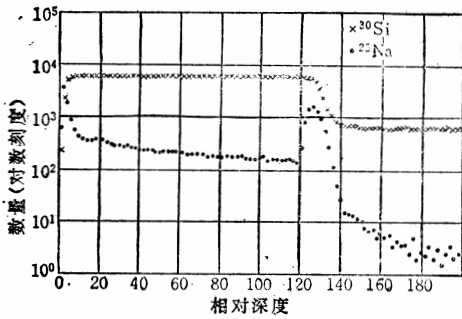
对于半导体工艺来说,表面薄膜和界面的分析也是极其重要的。在本节讲一下对绝缘膜和金属膜的分析。

##### (1) 对绝缘膜的分析

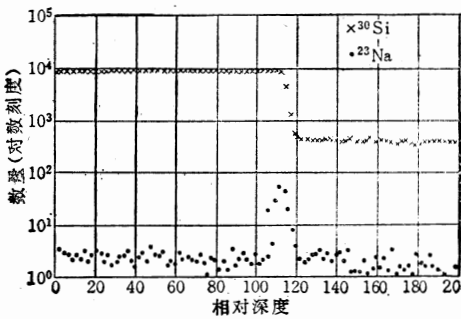
在半导体工艺中,一提起绝缘膜首先想到的大概就是硅表面上在高温下形成的SiO<sub>2</sub>膜。最近作为半导体器件的钝化膜,有用 CVD 法形成的 SiO<sub>2</sub>、PSG、Si<sub>3</sub>N<sub>4</sub> 等各种膜,分别用于不同的目的。而从稳定性和可靠性等方面来看,热生长的 SiO<sub>2</sub> 膜起着非常重要的作用。关于器件电气性能的稳定性,自平面技术发明不久就已知,进入 SiO<sub>2</sub> 膜中的 Na 等碱性金属所造成的工艺污染是器件特性不稳定的原因。许多人用放射分析法对 Na 进行了测量<sup>(37)</sup>。以后由于工艺技术的发展, SiO<sub>2</sub> 中的杂质已经能够控制。最近还用 IMA 对 SiO<sub>2</sub> 膜中的 Na 进行了测量。下面介绍一下用 IMA 对 SiO<sub>2</sub> 膜中 Na 的分布进行测量的情况和所存在的问题等。



图8-38是由 Phillips 等人<sup>[38]</sup>测量的热生长 SiO<sub>2</sub> 膜中 Na 的分布。其中 (a) 图是在 25°C 下测量的。从这个数据来看, Na 仅存在于 Si-SiO<sub>2</sub> 界面, 而在 SiO<sub>2</sub> 膜和 Si 中是本底水平。另外, (b) 图所示的近似 U 字形 Na 的分布是把同一个样品冷却在 -180°C 时测量的结果。这种分布, 可认为是由于一次离子照射而使绝缘膜表面带电, 在绝缘膜中产生的电场的作用下电离的 Na 向界面移动所造成的。样品温度在 -180°C 时移动量较少。关于这个问题, McCaughan 等人<sup>[39]</sup>已进行了比较详细的研究。他们在硅表面热生长约 5000 Å 厚的 SiO<sub>2</sub> 膜, 并且作为示踪物, 在 SiO<sub>2</sub> 表面真空蒸发上含有 <sup>22</sup>Na 的 NaCl, 使表面密度达到 10<sup>14</sup> Na 原子/cm<sup>2</sup>。然后用 2keV 的 N<sub>2</sub><sup>+</sup>、N<sub>2</sub> 或 N<sub>2</sub><sup>+</sup>+e<sup>-</sup> 照射表面。所谓 N<sub>2</sub><sup>+</sup>+e<sup>-</sup> 就是在用 N<sub>2</sub><sup>+</sup> 进行照射的同时照射热电子, 以达到中和表面的一种方法。在这种情况下, 照射粒子的剂量



(a)



(b)

图8-38 用IMA测量的SiO<sub>2</sub>-Si 中Na的纵向分布<sup>[35]</sup>

(a) 样品温度25°C; (b) 样品温度-180°C。

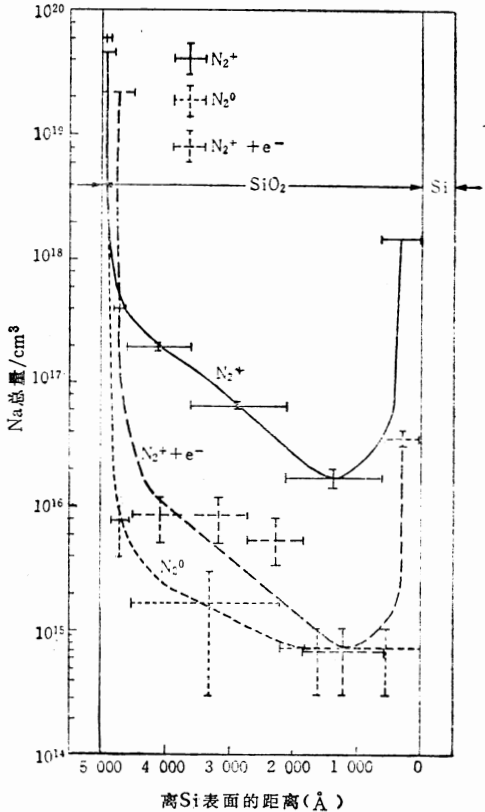


图8-39 N<sub>2</sub><sup>+</sup>、N<sub>2</sub>和N<sub>2</sub><sup>+</sup>+e<sup>-</sup>照射引起的SiO<sub>2</sub> 中Na的移动<sup>[39]</sup> (照射离子的能量为500eV)

都是 10<sup>15</sup> 粒子/cm<sup>2</sup>。照射后, 从表面起分别用 HF 水溶液腐蚀一定厚度的 SiO<sub>2</sub> 膜, 测量溶解在腐蚀液中的 <sup>22</sup>Na 所放射的 γ 射线强度, 从而求出膜中 Na 的分布。其结果示于图8-39。在用 N<sub>2</sub><sup>+</sup> 照射的情况下, 到达 Si-SiO<sub>2</sub> 界面的 N<sup>+</sup> 约占总数的 10%。而用 Na 照射时, Na 向 SiO<sub>2</sub> 膜内部移动的非常少, 界面的 Na 在检测界限值以下。当样品表面同时用热电子和 N<sub>2</sub><sup>+</sup> 进行照射时, Na 的移动介于用 N<sub>2</sub><sup>+</sup> 和用 N<sub>2</sub> 照射时的中间状态。根据这样的结果, McCaughan 等人阐明了, 当在薄薄的 SiO<sub>2</sub> 绝缘膜上进行离子照射时, 由于二次电子的放射, 使表面带正电荷, 其结果在绝缘膜中产生从表面朝界面的电场, 从而使膜中已电离的

杂质向界面移动。作为照射离子,已经证明了不仅是  $N_2^+$ , 而且  $N^+$ 、 $Ne^+$ 、 $He^+$ 、 $O^+$  和  $H_2^+$  等也有同样的效果。图8-40表示采用  $Ar^+$  进行照射时,向界面移动的 Na 量与照射离子的能量的关系。当  $Ar^+$  照射量增加时,Na 的移动量也急剧增加。通常进入 IMA 的一次离子电流密度为  $1\text{mA}/\text{cm}^2$  左右,把它换算成离子数的话,相当于  $6.25 \times 10^{15}$  离子/s。如果考虑到用  $1 \times 10^{14} \text{Ar}^+/\text{cm}^2$  照射时有图8-38所示的 Na 移动的话,那末在实际测量条件下,可以认为有相当多的 Na 在移动。

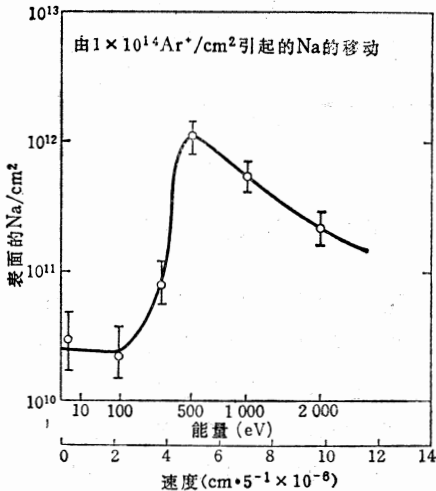


图8-40 Na移动量随照射离子能量的变化<sup>(39)</sup>

到用  $1 \times 10^{14} \text{Ar}^+/\text{cm}^2$  照射时有图8-38所示的 Na 移动的话,那末在实际测量条件下,可以认为有相当多的 Na 在移动。

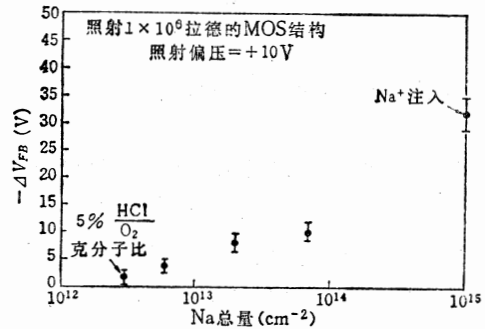


图8-41  $\text{SiO}_2$  中 Na 的总量同经过  $\gamma$  射线照射和加偏压处理引起的  $V_{FB}$  变化量之间的关系<sup>(40)</sup>

这样,在采用离子束测量  $\text{SiO}_2$  膜中的 Na 时,在测量中 Na 的移动是不可避免的。因而为了尽量得到准确的分布情况,必须采用以中性粒子作为一次离子束的方法。但是,一般用 IMA 测量时,测量过程中即使 Na 移动,由于是在纵向测量 Na 量,因而也能测出膜中 Na 的总量。所以,如果不需要知道准确的 Na 的分布时,这种方法用以了解  $\text{SiO}_2$  膜中的污染量还是有效的。图8-41表示,在以 Al 作为金属电极的 MOS 二极管上加上 +10 V 电压(金属电极为正极),用  $\gamma$  射线照射并放置 30 分钟之后  $V_{FB}$  的变化量,和用 IMA 测量的  $\text{SiO}_2$  中 Na 的总量之间的关系<sup>(40)</sup>。在混有 HCl 气体的干  $\text{O}_2$  中进行氧化的样品中 Na 的量极少,  $\Delta V_{FB}$  也很小。

据报导,当一次离子采用负离子时,  $\text{SiO}_2$  中的 Na 的移动方向与采用正离子时相反<sup>(40)</sup>,但还没象采用正离子时那样进行详细地研究。田村等人<sup>(41)</sup>采用 IMA-2 型,以负离子为一次离子研究了绝缘物的分析方法。

## (2) 对金属膜的分析

在半导体器件中所采用的金属膜,除少数例外,都要求与 n 型硅或 p 型硅具有较好的欧姆接触,并且同硅或绝缘膜之间有高的附着强度。这种性质与表面及界面的现象有关,对它的评价是非常重要的。一般在半导体器件中,作为具备上述性质的材料多采用 Al,但在 Al-Si 接触上未必在所有的情况都能取得较好的欧姆接触。在蒸铝之前硅表面残留的氧化物,对接触电阻的影响通过 IMA 可以查明。另外,蒸发时的残留气体有时也影响接触电阻,在这种情况下,象 IMA 这样高灵敏度的分析设备也有非常重要的作用。但是现在,在这方面通过 IMA 进行的研究和俄歇电子能谱法相比并不太多。今后将会积累各种数据。

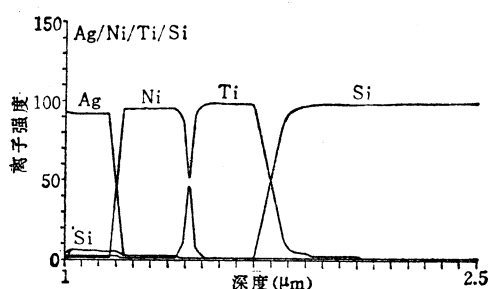


图8-42 多层金属膜的分析例子 (其一)

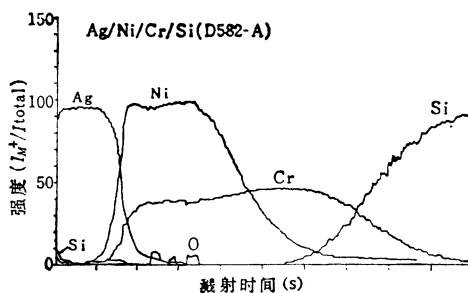


图8-43 多层金属膜的分析例子 (其二)

用 IMA 对半导体表面多层膜进行的分析可以举出下面两个例子<sup>[42]</sup>。图8-42是 Ag/Ni/Ti/Si 系的纵向分析结果。该样品是在一个蒸发装置上设置独立的三个蒸发源,按 Ti-Ni-Ag 的顺序进行蒸发的。蒸发将要开始前的压力是  $1 \times 10^{-6}$  托,衬底硅的温度为  $100^\circ\text{C}$ 。测量时采用多元素同时分析法,一次离子为  $\text{N}_2^+$ ,加速电压为  $15\text{keV}$ ,离子电流为几微安。数据要修正到使构成元素的离子强度之和达 100%。横轴按溅射时原样那样不用进行厚度修正。图8-43是 Ag/Ni/Cr/Si 体系。这种情况是首先蒸发 Cr,从其中途开始蒸发 Ni。Ag 是在 Cr 和 Ni 完全蒸发完之后进行蒸发。测量的条件和 Ag/Ni/Ti/Si 的情况大致相同。

## 8.5 结 束 语

以上从离子微分析法是一种非常好的方法,并具有广泛的应用价值这一立场出发进行了考察。一般它可以分析极微量的杂质,另外还可以测量纵向的元素分布等。这些都说明 IMA 不单纯会起到分析设备的作用,对工艺条件的假定也会起到积极的作用。

但是,它也有各种各样的缺点。正如已经讲过的那样,由于二次离子产生的机理不明确,因此无法确立具有一般性的定量法。作为一次离子,采用稀有气体离子时和采用活性离子时的二次离子系数不同等,这说明确定定量分析用的公式是多么的困难。象这样的问题,通过将 IMA 法和俄歇电子能谱法等其他检测法配合使用,有希望得到解决。

另外,最近半导体器件逐渐明显地向高集成度的方向发展。因此,微细加工技术变得非常重要,而作为评检法也需要有亚微米区域的高灵敏度分析技术。现在被认为灵敏度最高的 IMA,在半导体器件的亚微米区域进行高灵敏度分析也几乎是不可能的。如果能研究出使溅射原子大部分电离的辅助手段,检测灵敏度也会大大提高,其利用价值也将越来越大。

## 参 考 文 献

[1] 平木昭夫,バックスキヤタリング法とチャネリング効果,半導体研究11,半導体研究 振興会編(工業調査会,1975)第11章

[2] R. E. Honig and W. L. Harrington, Ion Scattering Spectrometry below  $10\text{keV}$ , Thin Solid Films 19 43-56 (1973)

- [3] C. A. Evans, A Comparison of the Techniques for Silicon Surface Analysis, Surface Analysis for Silicon Devices, ed. A. G. Lieberman (NBS Special Publication 400-23, 1976) 219-232
- [4] 伊藤糾次, 鶴島稔夫, 谷田和雄, 大泊敏, イオン・インプランテーション (昭晃堂 1976) p. 24
- [5] T. Ishitani, and R. Shimizu, Computer Simulation of Knock-on Effect under Ion Bombardment, Phys. Lett., 46A 487-488 (1973)
- [6] P. Sigmund, Theory of Sputtering, Phys. Rev., 184 383-416 (1969)
- [7] G. D. Magnuson and C. E. Carlston, Sputtering Yields of Single Crystals Bombarded by 1-to 10-keV Ar<sup>+</sup> Ions, J. Appl. Phys., 34, 3267-3273 (1963)
- [8] G. Carter and J. S. Colligon, Ion Bombardment of Solids (Heinemann Educational Books Ltd., London, 1968) p. 310
- [9] R. E. Honig, Analysis of Surfaces and Thin Films by Mass Spectrometry, Advanced in Mass Spectrometry Vol. 6, ed A. R. West (Elsevier's Appl. Sci. Publ. Ltd., England, 1974) p. 337-362
- [10] 表面分析, 染野檀, 安盛岩雄編 (講談社1976), p. 29
- [11] H. A. Storms, K. F. Brown, J. D. Stein, Quantitative Techniques in Secondary Ion Mass Spectrometry, Japan-US joint Seminar, Oct. 12-16 (1975)
- [12] J. M. Schroer, Secondary Ion Mass Spectrometry, ed. K. F. J. Heinrich and D. E. Newbury (NBS Special Publication 427, 1974) p. 121
- [13] H. W. Werner, Theoretical and Experimental Aspects of Secondary Ion Mass Spectrometry, Vacuun, 24 493-503 (1975)
- [14] R. Casting and J. F. Hennequin, Advances in Mass Spectrometry Vol. 5 (Institute of Plenum, London, 1972) p. 419
- [15] G. Slodzian, Some Problems Encountered in Secondary Ion Emission Applied to Elementary Analysis, Surface Sci., 48 161-186 (1975)
- [16] W. F. Van der Weg and D. J. Bierman, Collisions of Ar<sup>+</sup> Ions with Surface Cu Atoms and Charge Exchange of Scattered Ions near the Metal Surface, Physica 44 177-205 (1969)
- [17] C. A. Anderson, Progress in Analytic Methods for the Ion Microprobe Mass Analyzer, Int. J. Mass Spectrom, Ion Phys., 2 (1969) 61-74; 3 (1970) 413-428
- [18] C. A. Anderson and J. R. Hinthone, Thermodynamic Approach to the Quantitative Interpretation of Sputtered Ion Mass Spectra, Anal. Chem., 45 1421-1438 (1973)
- [19] H. Tamura, T. Kondo and T. Hirano, Proc. 6th Intern. Conf. X-ray Optics and Microanalysis, ed. G. Shinoda (Univ. Tokyo Press, 1972) p. 423-429
- [20] H. Liebl, The Ion Microprobe Instrumentation and Techniques, 文献 (12) p. 1-31
- [21] 文献 (10), p. 54-55
- [22] A. Benninghoven, Surface Investigation of Solids by the Statical Method of Secondary Ion Mass Spectroscopy, Surface Sci., 35 427-457 (1973)
- [23] 早川肇, 平野徳郎, 柴田淳, 西脇耕治, イオンマイクロアナライザのオンラインデータ処理, 昭和51年春季応用物理学会 (千葉工大)
- [24] R. Shimizu, T. Ishitani and Y. Ueshima, Fundamental Studies on Quantitative Analysis, Japan. J. Appl. Phys., 13 (1974) 249-255
- [25] 文献 (10) p. 82
- [26] T. Ishitani, H. Tamura and T. Kondo, Quantitative Analysis with an Ion Microanalyzer, Anal. Chem., 47 1294-1296 (1975)
- [27] J. A. McHugh, 文献 (12) p. 179-189
- [28] R. E. Honig, Surface and Thin Film Analysis of Semiconductor Materials, Thin Solid Films, 31 89-122 (1976)
- [29] R. K. Lewis, 文献 (2) p. 45-59
- [30] 文献 (10) p. 102
- [31] H. Doi, I. Kanomata and N. Sakudo, Some Applications of Ion Microprobe Analysis to Problems in Semiconductor Devices, Suppl. Japan. J. Appl. Phys., 15 71-78 (1976) (Proc. 7th Conf. Solid State Devices, Tokyo, 1975)

- [32] 中島精三, 八重樫雄喜, イオンマイクロアナライザーによる半導体の分析, 応用物理, 44 1303—1311 (1975)
- [33] J. C. C. Tsai, J. M. Morabito and R. K. Lewis, Arsenic Implanted and Implanted-Diffused Profiles in Silicon Using Secondary Ion Emission and Differential Resistance, Ion Implantation in Semiconductor and other materials. ed. B. L. Crowder (Plenum Press, New York 1973) p. 87
- [34] W. K. Hofker, H. W. Werner, D. P. Oosthoek and H. A. M. de Grefte, Experimental Analysis of Concentration Profiles of Boron Implanted in Silicon, 文献 (31), p. 201
- [35] W. K. Hofker, H. W. Werner, D. P. Oosthoek and N. J. Koeman, Redistribution of Background Impurities in Silicon Induced by Ion Implantation and Annealing, Ion Implantation in Semiconductor Science and Technology, ed. S. Namba (Plenum Press, 1974)p. 201
- [36] P. Baruch, J. Monnier, B. Blanchard, C. Cas-ting, Redistribution of Boron in Silicon Through High Temperature Proton Irradiation, 文献(33) p. 189
- [37] N. Nagasima, Contamination of Silicon Oxide Films with Na Atoms due to Thermal Oxidation of Silicon, Japan. J. Appl. Phys., 10 441—442 (1971)
- [38] B. F. Phillips, A. E. Austin and H. L. Hughes, The Effect of Specimen Cooling on the Migration of Sodium in Thin Film SiO<sub>2</sub>, (3) p. 65
- [39] D. V. McCaughan and R. K. Kushner, Impurity Movement Problems in Analysis Methods Using Particle Bombardment, Characterization of Solid Surfaces, ed. P. F. Kane and G. B. Larrabee (Plenum Press, New York 1974) p. 641
- [40] H. L. Hughes, R. D. Baxter and B. Phillips, Dependence of MOS Device Radiation-Sensitivity on Impurities, IEEE Trans., NS-19 256—263 (1972)
- [41] 文献 (10) p. 111
- [42] 田村正志, 未発表

## 第九章 工艺诱生缺陷

杉田吉充

### 9.1 前 言

工艺诱生缺陷一词究竟起源于何时目前尚无定论,大概很早以前就已开始使用,一直沿用至今。由于对半导体器件的高质量、高密度、高集成、晶片大直径和晶片处理高效率化的要求,可以说控制工艺诱生缺陷这一课题的重要性也日见提高。

过去对工艺诱生缺陷的研究都局限在单项工艺的框框内。但是,时至今日如果不了解工艺之间的相互关系,要想完全控制工艺诱生缺陷是不可能。譬如原始材料硅单晶的不完整性和形状等就很有其代表性。另外,从缺陷控制方面来看,对工艺条件和工艺流程也需作出最佳的选择。

考虑工艺诱生缺陷这一问题时,没有硅单晶生长缺陷方面的知识是无法讨论的。对生长缺陷目前正在大力开展研究,详细情况可参考其它文献<sup>[1]</sup>。本文只涉及一般认为在工艺诱生缺陷中较为重要的缺陷,讨论其性质、形状和分布、缺陷的相互作用、缺陷形成机理和缺陷与器件特性的对应关系等。文中提出的缺陷种类有漩涡、热应力位错、在晶体表面和体内由氧化或热处理造成的堆垛层错、位错环和氧沉积及随之产生的缺陷等。此外,在工艺过程中,还产生有其它种种重要的缺陷,限于篇幅,在此只能从略。本章还将介绍近来正大力开展研究的消除或钝化缺陷的方法——吸除法。

### 9.2 工艺诱生缺陷的种类

所谓工艺诱生缺陷,依其本意可作如下定义:在制作器件时由于加工或处理而在所使用的材料中引入的缺陷。不过本章只拟介绍硅单晶引起的不完整性和缺陷。表 9-1 归纳了器件制造过程中诱生的缺陷和与缺陷有关的效应,表中也列入了单晶生长和晶片加工时引入的缺陷。

单晶内的漩涡缺陷结构已通过 TEM 研究清楚。它是由微小的硅氧化物沉积、堆垛层错和位错环等复合体所组成<sup>[2]</sup>。对参与成核的这些物质已提出过一些测量方案,但尚无定论。不过,产生漩涡的主要原因是存在于晶体内的过饱和状态的氧在起作用,这一看法是一致的<sup>[3]</sup>。这些氧要受到硅固化后的热处理。另外,为了消除由氧产生的施主,通常在 650°C 左右的温度下对晶锭进行热处理。晶体内的氧一般呈现出特有的分布,因此,过饱和状态氧的沉积情况与晶体所经受的热过程和它在晶锭中所处的位置等有着复杂关系。要想了解晶体在此后工艺中由热处理产生的缺陷行为就不能忽视这一事实,必须将其作为一个与各工艺有关的问题来加以考虑。

有人指出,镜面晶片上的翘曲与热循环有关<sup>[4]</sup>。镜面晶片翘曲的主要原因是切割晶锭的翘曲。目前镜面晶片的问题是与使用投影光刻机有关的表面平整度问题。不过关于切片所产生的问题本章不拟介绍。

表9-1 工艺诱生缺陷

| 工 艺    | 主要缺陷及由缺陷带来的效应 |                                     |
|--------|---------------|-------------------------------------|
| 单晶工艺   | 单晶生长          | 氧、碳、重金属杂质、位错、畸变、漩涡、条纹               |
|        | 切 片           | 加工损伤、翘曲、破片、沾污                       |
|        | 外延生长          | 滑移、堆垛层错、失配位错、凸起、畸变、翘曲、沉积            |
| 微细加工工艺 | 氧 化           | 堆垛层错、位错环、滑移、翘曲、沉积                   |
|        | 扩散和热处理        | 失配位错<br>发射极边缘位错、畸变、滑移、翘曲、沉积、发射极陷落效应 |
|        | 离子注入          | 损伤、畸变、二次缺陷                          |
|        | 化学气相淀积 (CVD)  | 翘曲、畸变                               |
|        | 腐 蚀           | 损伤、沾污                               |
| 装配工艺   | 金 属 化         | 畸变 (迁移)                             |
|        | 划 片           | 破片、裂纹、畸变                            |
|        | 键 合           | 畸变、裂纹                               |
|        | 封 装           | 畸变、损伤 (沾污)、(透水性)                    |

工艺诱生缺陷一般容易产生在需要高温的工艺中。这是因为要使位错增殖需要约  $600^{\circ}\text{C}$  以上的温度<sup>[6]</sup>，与这些缺陷上升运动有关的点缺陷作用也是温度越高越活跃。晶片在进行清洗处理、高温处理和其它各种处理中受到杂质沾污的机会很多。一旦被沾污，那么在高温中这些杂质原子就会扩散到晶体内。众所周知，这种沾污杂质的扩散速度很快，而且其固溶度随着温度下降而减少<sup>[6]</sup>，所以这些杂质在晶体内容易沉积，或者与其它缺陷相互作用而缀饰了缺陷。正如第五章中所讲的那样，这种被缀饰的缺陷与 pn 结的电特性变坏密切相关。

硅氧化是器件制造中最基本、最重要的工艺。关于此工艺中产生的缺陷，在第四章中已详细地叙述。

从 1960 年开始，扩散诱生缺陷就引起了人们的重视，此后，研究的中心转向了发射极边缘位错和发射极陷落效应。有人对由扩散引起的失配位错产生的条件作了定量分析<sup>[7]</sup>。为了抑制扩散产生的缺陷，采取了各种措施，如提出不进行超出需要范围的高浓度扩散和同时扩散其他种类的杂质等等<sup>[8]、[9]</sup>。

在离子注入和腐蚀等低温工艺中也会产生缺陷，其中部分缺陷可以通过较低温度的退火处理予以消除。而在离子注入中产生的某些缺陷，经氧化性气氛中的高温热处理，便会转换成稳定的二次缺陷<sup>[10]</sup>。

在氧化、扩散和外延生长等高温热处理工艺中，位错是它们共同产生的缺陷。氧化和扩散一般是分批处理，为使之高效率进行，就要把晶片紧密地并排放置在舟上。然而目前晶片是大直径的，在这种条件下，产生位错的几率会升高。这在第三章已作了比较详细的论述。

由于 CVD 膜和硅的热膨胀系数失配以及内应力等原因，造成硅单晶翘曲。在 CVD 膜的图形边缘附近，晶体会受到大的局部应力。特别是在  $\text{Si}_3\text{N}_4$  膜边缘畸变大，因此产生

位错<sup>〔11〕</sup>。

既使在最后的组装工艺中，也会在各个工序中产生表 9-1 所示的缺陷。由于这些工艺都是在低温进行，因而产生的缺陷不会扩大，但会影响器件的可靠性。

### 9.3 热应力位错

把放有许多晶片的舟送入高温炉内或从炉内取出时，晶片内会产生很大的温度梯度，从而引起热应力。当应力超过此温度下产生位错的临界应力时，晶体便产生塑性变形而翘曲。晶片翘曲并不一定是单纯的，有时也会产生复杂的马鞍型形状。其结果，除了位错影响器件特性之外，这种翘曲还会给光刻工艺带来困难，成为 CVD 膜不均匀的原因。另外在晶片处理上也容易发生问题。

图 9-1 是从炉外连续观察并排放在舟上的晶片送入恒温 1200°C 的炉内这一过程所得结果的一个例子<sup>〔12〕</sup>。该图按时间顺序表示了舟被送进炉内后大约 10 秒钟晶片变形的情况。

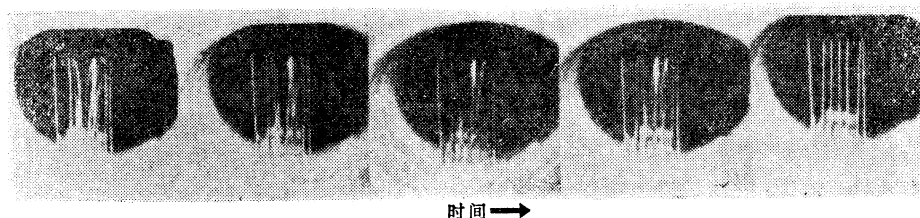


图9-1 把放有晶片的舟送入加热到1200°C的炉内时，晶片变形与时间的关系

可以清楚的观察到，放在舟上的许多晶片当中，位于中间的晶片明显地产生翘曲。而且在几秒钟后其翘曲又会恢复到肉眼看不出的程度。这样就可以看出一个特点，即并排放在舟上的晶片当中，位于中间的晶片要比位于两端或靠近两端的晶片更容易产生大的翘曲。晶片变形在某一瞬间非常大，但这时的晶片温度低，因此变形应该说主要呈弹性变形。这种翘曲从外表上看大致恢复了原样。但即使温度达到非常高的程度，晶片内部要得到均匀的温度分布仍需要一定的时间，因而即便存在极小的温差也会产生塑性变形。图 9-2 所表示的是在舟上并排放置 7 枚晶片时各晶片之间产生位错的情况，可以看到居中的晶片产生的

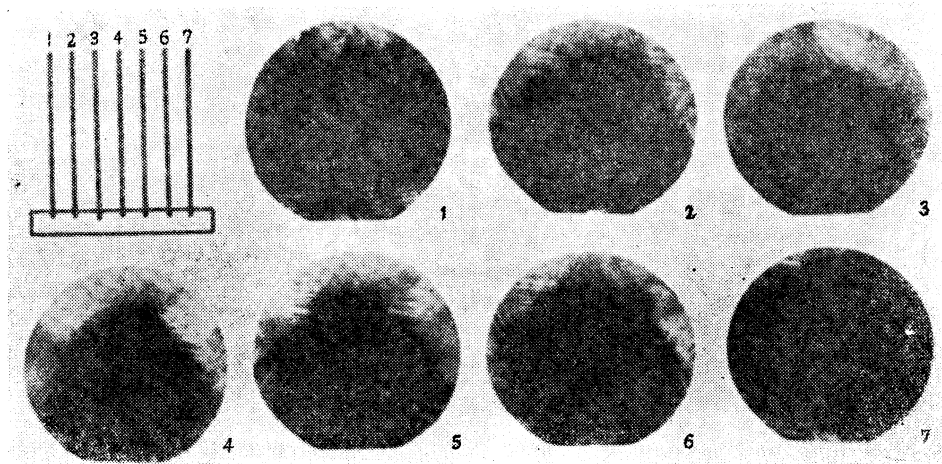


图9-2 放在舟上各位置的晶片产生位错的情况（为了便于观察对晶片进行了化学腐蚀）



位错最为显著。

图 9-3 是在同样的实验中，位于中间的晶片其中心与边缘之间的温差测定结果<sup>[12]</sup>。测试使用直径约  $10\mu\text{m}$  的热电偶。开始加热时，在晶片内产生约  $300^\circ\text{C}$  的温差。图 9-4 示出

图 9-3 中 (a)~(e) 的各个时间点上晶片产生位错的情况。在时间点 (a) 产生的位错很少，以后位错密度随时间的增加而增加。将由于滑移而产生塑性变形的晶片腐蚀后，观察位错分布，其结果如图 9-2、图 9-4 和图 9-5 所示，通常把这些图形称之为“星形图形”。观察晶片边缘位错随时间的变化，发现中间片子产生位错最多。就产生位错的根源来说，位错与晶片周围边缘的毛刺和表面不规则的凹凸有关。晶片背面经腐蚀后是平整表面还是留有加工损伤的表面，这一点也会使位错的产生和排列发生变化。亦即，腐蚀后的表面位错源少，一旦从那里产生位错，就容易产生大的滑移。另外，在具有相同分布的畸变中心表面上，由于位错从多处产生，所以各位错之间会相互作用，从而容易形成网状。

早在 1970 年前后，就有组织地进行了由热应力产生的位错的研究。对于产生位错有关

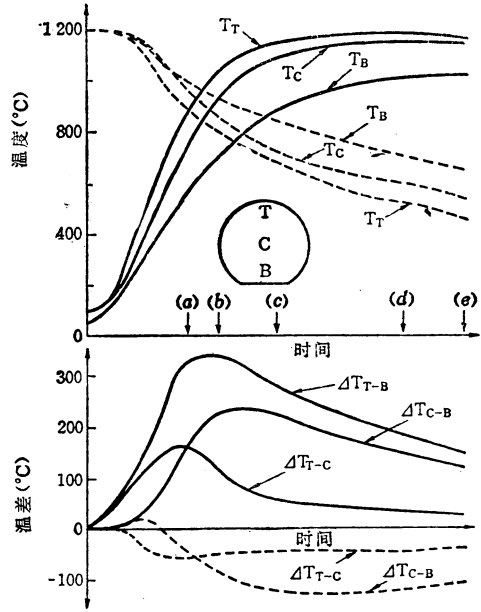


图9-3 把晶片送入加热到 $1200^\circ\text{C}$ 的炉内和从炉内取出时晶片内温度分布随时间变化  
(实线和虚线分别是送入和取出的情况；横轴的(a)(b)(c)(d)(e)分别约等于6、10、15、25和60秒)

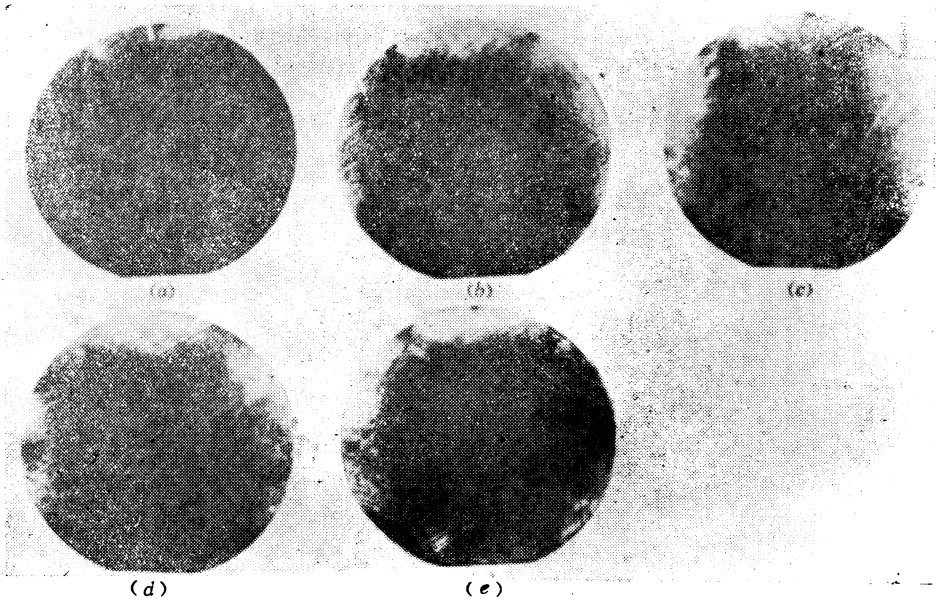


图9-4 在图9-3所示的(a)~(e)的各时间点上产生位错的情况  
(在各实验中是选择位于舟中间的晶片，为便于观察晶片进行了化学腐蚀)

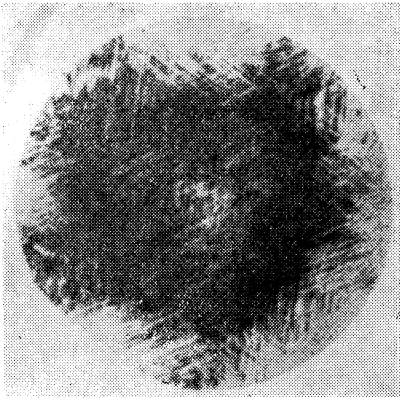


图9-5 在晶片内由于位错而得到的腐蚀坑分布“星形图形”

的工艺因素：温度、单晶直径、晶片间隔、舟的形状和质量、舟上的晶片位置、舟的推进和拉出速度等影响进行了研究<sup>[12]、[18]</sup>。图9-6示出晶片变形与置于舟上的晶片相互间隔的关系<sup>[12]</sup>。晶片间隔在4mm时，处于中间的晶片翘曲大，而晶片间隔在16mm时，翘曲则完全观察不出来。这些实验结果的解释拟在后面介绍。

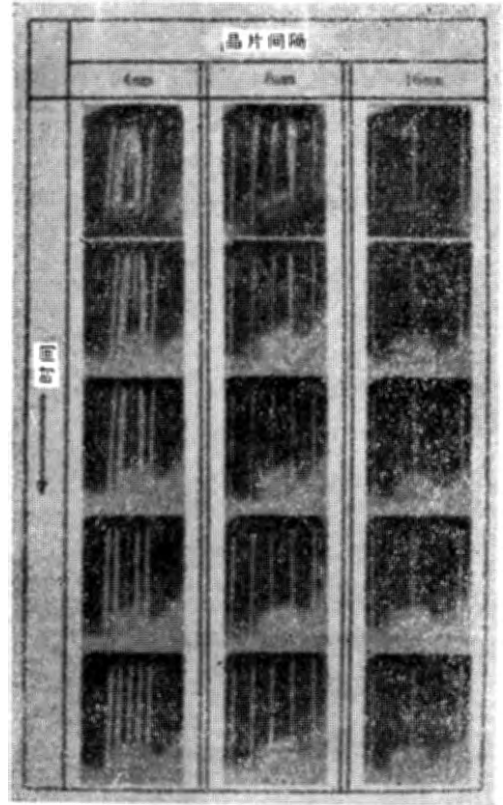


图9-6 把放在舟上的晶片推进到1200°C的炉内时：晶片变形与时间变化和晶片间隔变化的关系

另外，在理论上，S. M. Hu<sup>[14]</sup>分析了置于高温加热舟上的晶片被拉出放在室温环境的瞬间，晶片内的温度分布情况。将半径为 $R$ 、厚度为 $l$ 的晶片按间隔 $H$ 排列，规定晶片从温度 $T_0$ 快速置于室温环境。在开始冷却时，晶片的对流热损失与辐射热损失相比可以忽略，并假定沿晶片厚度方向温度是均匀的。这样一来，考虑到图9-7所示的相邻二晶片，位于晶片内半径 $r$ 处的体积元 $ldA$ 的热流连续方程式便为

$$C_p \omega l \frac{\partial T(r, t)}{\partial t} = -2\varepsilon \sigma T^4(r, t) + 2\varepsilon \sigma \alpha \int_{A'} T(r', t) G(H, r, r', \theta) dA' + Kl \left\{ \frac{\partial^2 T(r, t)}{\partial r^2} + \frac{1}{r} \frac{\partial T(r, t)}{\partial r} \right\} \quad (9-1)$$

式中 $T(r, t)$ 是时间为 $t$ 时在 $r$ 点的温度，从空间位置上来看，仅是径向位置的函数。第一项是该体积元的辐射热损失；第二项是从相邻晶片 $A'$ 进入 $dA$ 的辐射热；第三项是在该体积元内的热传导扩散。 $C_p$ 是比热； $\omega$ 是密度； $\varepsilon$ 是辐射系数； $\sigma$ 是斯蒂芬——波耳兹曼常数； $\alpha$ 是吸光度； $K$ 是热导率； $G$ 是与热由 $dA'$ 向 $dA$ 辐射有关的几何因子。

公式(9-1)的解法可参考文献[14]，假定已求出晶片内温度分布 $T(r)$ ，则晶片内的热应力分布如下式所示<sup>[15]</sup>：

$$\sigma_r(r) = \alpha E \left\{ \frac{1}{R^2} \int_0^R T(r) r dr - \frac{1}{r^2} \int_0^r T(r) r dr \right\}$$

$$\sigma_{\theta}(r) = \alpha E \left\{ -T(r) + \frac{1}{R^2} \int_0^R T(r) r dr + \frac{1}{r^2} \int_0^r T(r) r dr \right\} \quad (9-2)$$

式中  $\sigma_r$ 、 $\sigma_{\theta}$  是半径方向和切线方向的法线应力， $\alpha$ 、 $E$  是硅膨胀系数和杨氏模量。从公式 (9-2) 和  $T(r)$  便可求出  $\sigma_r$ 、 $\sigma_{\theta}$ 。图 9-8 表示当  $K = 0$ ， $\alpha = 1.0$ 、 $R/H = 5.0$  且无限多的晶片排列时晶片内的应力分布。

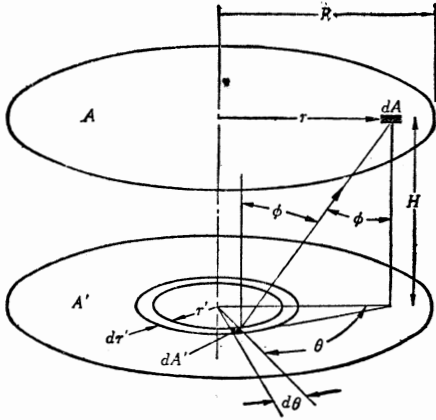


图9-7 由于热辐射产生的从晶片A'到晶片A的热转移<sup>[14]</sup>

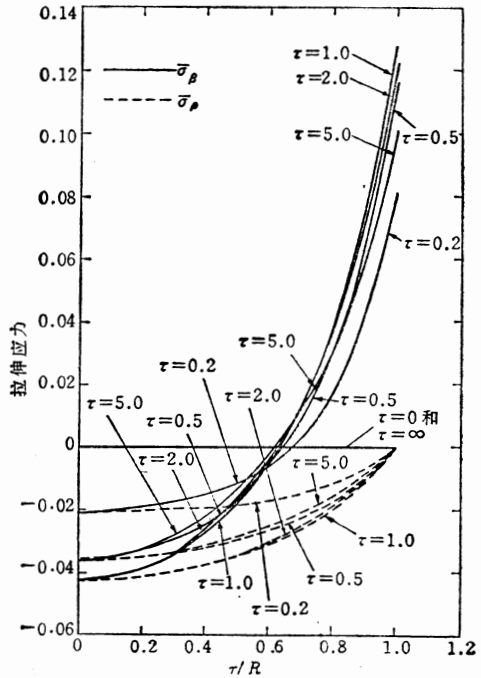


图9-8 晶片从温度  $T_0$  置于室温时，应力分布与时间变化的关系

[ $K = 0$ ， $\alpha = 1.0$ 、 $R/H = 5.0$ ，晶片数无限多，应力  $\sigma_{\theta}$  和  $\sigma_r$  用  $\alpha E T_0$  除，另外时间  $\tau$  也无量纲， $\tau = t (\epsilon \sigma T_0 / C_p \omega l)$ ]

在给定的滑移面上，沿滑移方向的法线应力  $\sigma_0$  的切应力分量  $\tau$  为

$$\tau = \sigma_0 \cos \varphi_1 \cdot \cos \varphi_2 \quad (9-3)$$

考虑硅在(111)面上向 $\langle 1\bar{1}0 \rangle$ 方向滑移，于是便可以推断出晶片上的滑移是怎样产生的。另外， $\varphi_1$  和  $\varphi_2$  是  $\sigma_0$  在滑移方向和滑移面法线方向的角。

在 (111) 晶面，其切应力<sup>[13]</sup>：

沿 $(1\bar{1}0)(11\bar{1})$  方向

$$\tau = (\sqrt{2}/3)(\sigma_{\theta}(r) - \sigma_r(r)) \sin 2\theta \quad (9-4)$$

沿 $(\bar{1}0\bar{1})(11\bar{1})$  方向

$$\tau = (\sqrt{2}/3\sqrt{3})(\sigma_r(r) - \sigma_{\theta}(r)) \cos 2(\theta + \pi/3) + (\sqrt{2}/6\sqrt{3})(\sigma_r(r) + \sigma_{\theta}(r)) \quad (9-5)$$

式中  $\theta$  表示以晶片 $(\bar{1}10)$ 方向的半径为基准的极坐标  $(r, \theta)$ 。 $\sigma_r$  和  $\sigma_{\theta}$  可以参考图 9-3 所示的结果，公式 (9-4) 和公式 (9-5) 的计算结果可以定性说明具有 (111) 晶面的晶片上会产生星形图形。

当热应力超过产生位错临界应力时，位错就会增殖。在给定的温度梯度  $dT/dr$  下，假设巴尔格矢量为  $b$ ，则产生的位错密度  $\rho$  为<sup>[15]</sup>

$$\rho = \frac{\alpha}{b} \cdot \frac{\partial T}{\partial r} \quad (9-6)$$

通过对晶片内产生塑性变形状态的实验观察和上述理论计算等,可知晶片从高温中迅速放到低温环境中,其热量因辐射而损失,但由于相邻晶片表面的反射,会产生热屏蔽效应,放在中间的晶片,其温度梯度比放在边上的晶片大,因而热应力也大,自然也就容易产生位错<sup>[13][14]</sup>。图 9-1 和图 9-6 明显地证实了这一热屏蔽效应。

晶片加热时和从高温冷却时存在差别。由于硅对红外光是透明的,加热速度要比冷却速度缓慢,所以认为急冷要比急热更易产生塑性变形<sup>[17]</sup>。但在加热时尽管已接近高温,要使晶片内温度达到均匀还需一定的时间,虽然仅有很小的温差,但由于温度高,也同样会降低产生位错的临界应力<sup>[5][18]</sup>,所以容易引起塑性变形<sup>[12]</sup>。

最近的研究趋势表明,除原材料硅镜面晶片的初期翘曲外,晶体内过饱和状态氧产生的 SiO<sub>2</sub> 沉积程度与热循环产生的翘曲有关<sup>[19]</sup>。晶片初期翘曲,其形状并不一定是单纯的。实验结果表明初期翘曲大,则热循环后的翘曲也大<sup>[4]</sup>。另外,晶体所含沉积氧多会降低屈服应力<sup>[20]</sup>,故易产生翘曲。图 9-9 给出了这些结果<sup>[19]</sup>。初期翘曲有晶格面翘曲,即使晶格面平坦但外形翘曲时也存在晶体内部畸变和晶片背面的加工变形等复杂的因素的影响。目前对这些因素所造成的影响还没有进行详细的实验研究。

硅晶体中所含的氧对位错运动、机械性质的影响尚未完全搞清,但最近已注意到它与晶体内部漩涡缺陷有关。一有 SiO<sub>2</sub> 沉积,在沉积的周围便产生应力。另外,晶体冷却时,还会因沉积和基体的收缩差引起应力。由这些应力生长出棱形的位错环<sup>[21]</sup>,从而使屈服应力下降。

此外,氧对位错运动的影响是复杂的,即使有相当高浓度的晶格间隙氧沉积对位错运动也没有显示出固定效应。而小的氧聚集体倒具有相当大的固定效应<sup>[22]</sup>。有人提出这种现象不属固溶体硬化,而应叫作聚集体硬化<sup>[23]</sup>。氧浓度在  $1 \times 10^{17}$  原子/cm<sup>3</sup> 时,固定效应消失。有人认为浮熔单晶和切克劳斯基单晶相比更易产生位错。通过实际观察证明,由于热循环、杂质扩散和钝化膜边缘部分等的应力作用,在浮熔单晶中要比切克劳斯基单晶更容易产生位错。

在器件制造工艺中,反复进行高温热循环。每次都会使翘曲增大<sup>[4]</sup>。为了防止热应力位错产生,已提出并采取了各种办法。一般广泛采用的办法是把装有晶片的舟用自动装料器慢慢推进炉内或从炉内拉出。用石英盖板把舟盖起来的办法也是行之有效的<sup>[24]</sup>。要想彻底解决就需有炉温“倾斜”。而要做到“倾斜”,在低温端的温度设定还有问题。

以上论述了在氧化炉和扩散炉中的情况。下面再来看一下外延生长时的情况。外延生长一般是把晶片紧贴着放在感受器上加热,所以与氧化炉的情况不一样。感受器的热容量大,在温度上升或下降时晶片内的温度分布比较缓和、均匀。但当温度提高到接近外延温

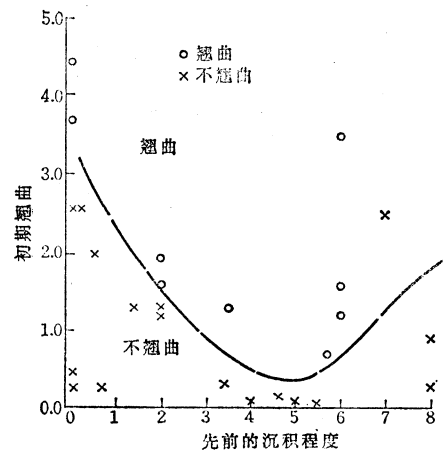


图9-9 热循环时产生的翘曲与 SiO<sub>2</sub> 沉积和晶片初期翘曲的关系<sup>[19]</sup>

度时, 在该温度附近, 晶片内稍微有一点温差也会引起塑性变形<sup>[25][26]</sup>。因此必须尽量使晶片内的温度分布均匀, 为此需要研究炉子的结构、加热方式、外延生长温度和晶片与感受器的贴附性等问题。特别是大直径晶片, 要做到完全控制位错产生是很困难的。

#### 9.4 氧化和热处理引起的堆垛层错

随着硅单晶直径变大, 无位错的单晶也很普遍了, 但随着无位错的实现又出现了以漩涡缺陷为代表的微缺陷问题。这类缺陷经氧化和热处理会变成堆垛层错和位错环。单晶生长过程中出现的漩涡缺陷在其后的热循环中会起非常复杂的作用。正如后面所述, 这些缺陷对器件特性有不好的影响。为此必须了解缺陷的性质和作用并加以控制。有关氧化诱生缺陷的综合报告已有发表<sup>[16][27][28]</sup>, 这里从略。下面主要叙述基本的观察结果和最近的研究成果。

最初发现 OSF 是在 1963 年, 它是由 Thomas<sup>[29]</sup>把表面带有机机械研磨损伤的单晶放在空气中进行高温处理, 然后用 TEM 观察出来的。氧化诱生堆垛层错产生在晶体表面, 所以对晶体表面进行适当的腐蚀, 用光学显微镜可以观察出来。图 9-10 是氧化诱生堆垛层错的腐蚀图形。

用 TEM, 并根据堆垛层错产生的等厚干涉条纹和围绕堆垛层错的位错线反差的分析, 可以确定氧化诱生堆垛层错。分析结果表明它属于由  $1/3\langle 111 \rangle$  弗兰克位错围绕着的非本征型堆垛层错<sup>[30]</sup>。

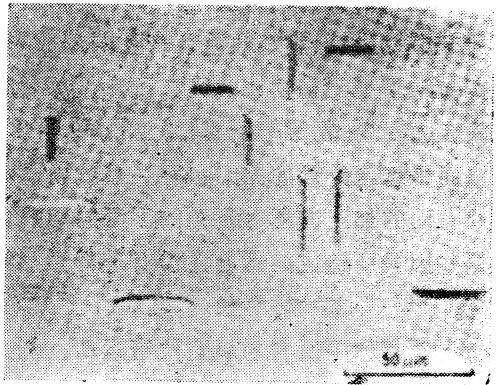


图9-10 OSF的腐蚀图形

##### 9.4.1 核形成

OSF 核的形成一般是不均匀的。形成不均匀核的原因分为外因和内因二种, 外因包括单晶表面研磨时产生的机械损伤<sup>[29]</sup>、氢氟酸造成的表面沾污<sup>[31]</sup>以及包括钠沾污的表面缺陷<sup>[32]</sup>等, 内因则有热处理造成的点缺陷聚集、单晶生长缺陷——漩涡缺陷<sup>[33]</sup>以及氧沉积<sup>[34]</sup>等。目前, 单晶的研磨和清洗工艺业已得到改善和提高, 外因已基本上能排除, 而内因则逐渐成为研究的中心。然而, 在器件制造工艺中的外部因素是不能忽视的, 目前与沾污有关的杂质元素的测定尚不充分。即使是用外延生长制备的晶体也容易产生 OSF<sup>[35]</sup>。看来在这种情况下 OSF 的发生与沾污有关。在处理硅片时, 表面上经常产生微小裂纹, 这对实际制造器件来说是一个颇为严重的问题。

堆垛层错不仅发生在晶体表面, 在晶体内部也会产生。亦即, 当高温热处理含有漩涡缺陷的晶体时, 在晶体内也会产生堆垛层错。这种体堆垛层错还会因氧化而产生。因此, 堆垛层错分为表面型堆垛层错和体堆垛层错二种类型<sup>[37]</sup>。

##### 9.4.2 堆垛层错生长的动力学

有关表面型 OSF 生长的动力学研究较多, 据报道, 氧化温度及时间、气氛种类(干氧、湿氧、水汽、氧气分压和卤素存在)、晶面和杂质存在等都影响其生长。

若以出现在晶体表面上的 OSF 长度来定义 OSF 的大小时, 则长度  $l$  就可作为氧化温度  $T$  和时间  $t$  的函数, 并表示为

$$l = At^n \exp(-E/kT) \quad (9-7)$$

式中,  $A$  虽是常数, 但它与气氛和晶面等有关。  $E$  为生长的激活能,  $n$  是常数。表 9-2 汇总了迄今为止已报导的有关 OSF 生长的研究结果。与氧化膜生长时的抛物线时间关系相似,  $n$  值处于 0.6~0.8 之间。激活能为 2.2~2.6eV。

表9-2 OSF生长动力学的的数据<sup>[26]</sup>

| 著者                           | 试样                    | 氧化条件   | $A, m$   | $n$  | $E$ (eV)           | 文献   |
|------------------------------|-----------------------|--|--|--|--------------------|------|
| Thomas(1963)                 | (100)                 | 空气 1150°C  |  | 0.82   |                    | [29] |
| Queisser and van Loon (1964) | (100)                 | 水汽 1100~1300°C<br>湿 1100~1300°C  |  | 1.0<br>0.8~0.9   | 0.25<br>1.6        | [38] |
| Fisher and Amick (1966)      | (111), (100)<br>(110) | 水汽 1050~1250°C   |  | 0.8  | 2                  | [39] |
| Mayer (1970)                 | (100)                 | 水汽 1100°C  |  | 0.62   |                    | [40] |
| Conti 等 (1975)               | 外延<br>(100), (111)    | 干 1000~1250°C<br>湿 1000~1250°C   |  | 0.5<br>>0.5  | 2.6±0.1<br>2.6±0.1 | [41] |
| Hu (1975)                    | (100), (111)          | 水汽 1050~1300°C<br>干 1100~1250°C  |  | 0.8<br>0.8   | 2.3<br>2.3         | [42] |
| Yang 等 (1975)                | (100)                 | 湿 1000~1150°C<br>干 1000~1150°C   | $A^* = (1.38 \pm 0.06) 10^9$<br>$A^* = (9.5 \pm 0.5) 10^8$       | 0.77<br>0.77   | 2.2<br>2.2         | [43] |
| Murarka and Quintana (1977)  | (100)                 | 水汽 1000~1200°C<br>干 1000~1200°C  |  | 0.66<br>0.85   | 2.37<br>2.55       | [44] |
| Claeys 等 (1977)              | (100)                 | 湿 1050~1250°C<br>干 1050~1250°C<br>三氯化乙烷 1050~1200°C                      |  | 0.84<br>0.84<br>0.84   | 2.2<br>2.2<br>1.4  | [45] |
| Murarka (1977)               | (100)                 | 干(O <sub>2</sub> +N <sub>2</sub> )<br>O <sub>2</sub> 分压效应<br>1050~1150°C | $m = 0.28(1050^\circ\text{C})$<br>$m = 0.35(1150^\circ\text{C})$ | 0.89(1050°C)<br>0.76(1150°C)<br>0.78(1119°C)10%<br>0.84(1119°C)10% | 2.30±0.05          | [46] |

注:  $l = At^n \exp(-E/kT)$  或  $l = A' P_{O_2}^{m'} t^n \exp(-E/kT)$

\*  $t$  为 h,  $l$  为  $\mu\text{m}$  时的值。

与此相反, 对体堆垛层错生长的定量测试工作过去几乎没有进行过。直到最近才有人发表测试体堆垛层错生长的结果<sup>[47]</sup>, 这是非氧化气氛中对含有过饱和氧的切克劳斯基单晶进行热处理, 测量其堆垛层错的生长得到的。从这一结果得出: 堆垛层错的长度随热处理时间  $t^{3/4}$  增长, 生长激活能为 4.2 和 3.5eV。

下面谈氧化温度。温度大约在 900°C 以下几乎测不出 OSF。而达到 1200°C 左右的高温时, OSF 的生长出现异常<sup>[42]</sup>。这是由于受干、湿等气氛的差异以及晶面等影响所致。在中间温度区域, OSF 的生长按式 (9-7) 示出的关系变化。在高温区域, 因 OSF 的生长与收缩的反应同时出现, 而变得复杂了。图 9-11 示出了该温度区域的 OSF 生长与温度的相互

关系。而且，显然有不生长 OSF 的温度。在该临界温度以下称为“生长区域”；在此之上则称为“回复区域”。在干氧化情况下，如图 9-11 所示，从生长转变到回复的变化很大，而在水汽氧化的情况下，尽管重复性略差一些，但到 1230°C 左右，(111) 及 (100) 面的 OSF 长度都会变得相当长，到大约 1300°C 左右便开始形成回复区域。从图 9-11 还可以看到，在(100)面附近的晶面出现了异常情况<sup>[48]</sup>，如在偏离(100)晶面 5° 的晶面上，临界温度也要比 (100) 面低 50°C 以上。

9.4.3 堆垛层错的收缩

作为抑制 OSF 成核及生长手段的吸除技术将在 9.6 节详述。本节先谈堆垛层错收缩及消失的动力学。在理解 OSF 生长现象上，收缩过程作为生长的逆反应是颇为重要的。

作为 OSF 收缩直至消失的机理，人们提出了下列一些情况。首先由于 OSF 与氧化有关，Si-SiO<sub>2</sub> 界面随着氧化的进行而向前推进，因此，有时会出现 OSF 被氧化膜吸收的情况<sup>[49]</sup>。其次就是由 OSF 上升运动造成收缩。由于堆垛层错呈非本征型，要收缩，就须在位错的接合处吸收空位或从接合处放出间隙原子。为了形成这种上升运动，在缺陷周围必须存在有间隙原子的不饱和或空位的过饱和状态。最后就是无缺陷反应<sup>[50]</sup>。在堆垛层错的某一部分，由于某种原因，使肖特基部分位错成核，因其扫过了堆垛层错的面，缺陷便转换成全位错。



式中，之所以成为 2 个肖特基位错参与的形式是由于堆垛层错为非本征型的缘故。

关于 OSF 收缩的定量实验工作虽比在生长方面做得少得多，但得到了有意义的结果。一般来说，OSF 在氧化气氛中经热处理即生长，相反在真空中热处理便收缩，从这一观察结果可以认为：与缺陷保持局部平衡的空位浓度  $C_F$  和 Si-SiO<sub>2</sub> 界面的平衡浓度  $C_s$  相比，若  $C_s > C_F$  则收缩， $C_s < C_F$  便生长<sup>[51]</sup>。但是这里的讨论是假定空位参与的情况。这里， $C_F$  为

$$C_F = C_0 \exp(\Delta E / 2kT) \quad (9-9)$$

式中， $C_0$  是完整晶体的空位平衡浓度， $\Delta E$  是放出一个空位所造成的堆垛层错的能量变化值。

$$\Delta E = \frac{Gb^2S}{4\pi(1-\nu)r} \{\ln(r/b) + 2.1\} + \gamma S \quad (9-10)$$

式中， $G$  是刚性模量， $\nu$  是泊松比， $S$  是空位所占面积， $r$  是位错环半径， $\gamma$  是堆垛层错

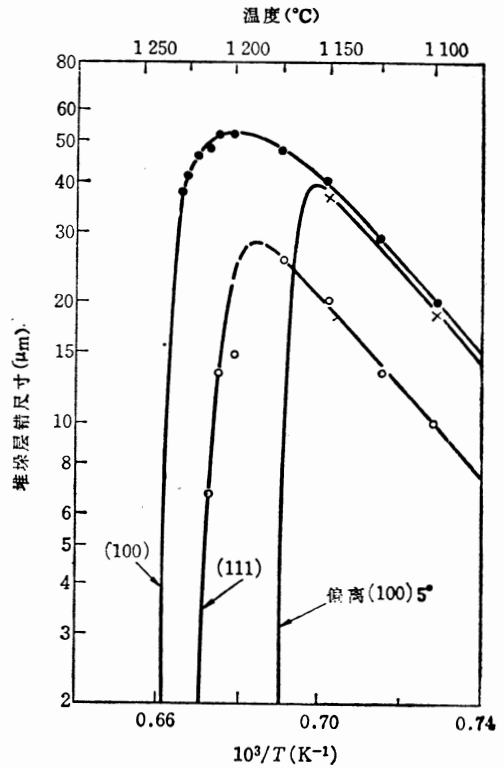


图9-11 OSF长度和氧化温度之关系<sup>[42]</sup> (干氧化)

能量。图 9-12 是  $C_F/C_0$  的计算例。即使考虑间隙原子，也能以类似的方法进行讨论。只是在这种情况下，要使式 (9-9) 的指数函数符号为正。

Sanders 等人<sup>[51]</sup>采用分别在氧气气氛中和真空中测定棱形位错环的收缩速度的方法，确定了和 OSF 生长时的氧化膜处于平衡的界面空位浓度。位错环收缩速度由下式给出：

$$dr/dt = -FD[1 + \delta b/r - C_s/C_0] \quad (9-11)$$

式中， $F$  是几何因子， $D$  是扩散系数， $\delta$  是常数。两种气氛中的收缩速度比是

$$(dr/dt)_{\text{空气}} / (dr/dt)_{\text{真空}} = [1 + \delta b/r - C_s/C_0] b / \delta / r \quad (9-12)$$

由此导出氧化膜界面的平衡空位浓度是  $0.8C_0$ <sup>[52]</sup>。上述定性说明不仅适用于生长，而且也适用于收缩。

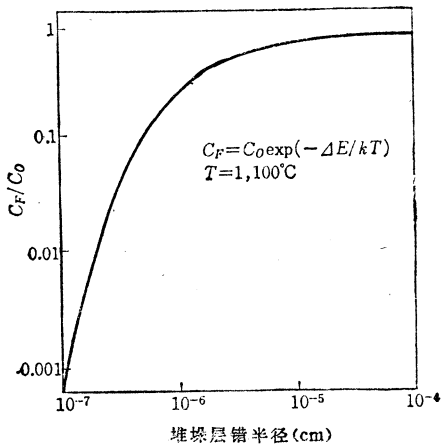


图9-12 与堆垛层错保持平衡的空位浓度与堆垛层错半径的关系<sup>[52]</sup>  
(根据理论计算的结果，堆垛层错能量为  $50 \text{ erg/cm}^2$ )

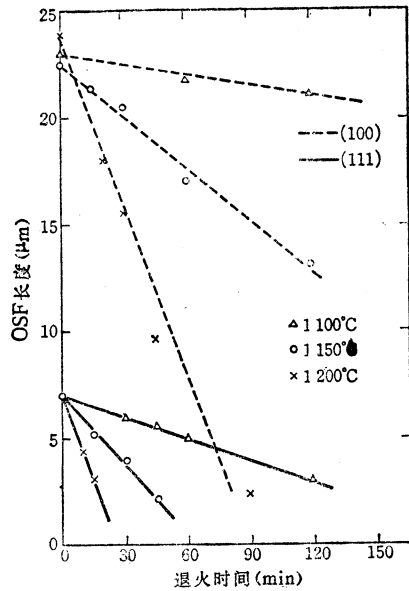


图9-13 氮气中热处理时的OSF收缩速度

通过非氧化气氛中高温处理，可观察到 OSF 收缩以及最后消失的情况<sup>[52]</sup>。图 9-13 示出了表面的 OSF 长度与热处理时间的关系。OSF 长度基本上随时间呈线性减少。理论计算结果表明 OSF 长度随时间线性减少，但收缩速度从堆垛层错能量使位错线张力变强的环半径的一边急剧加快。如图 9-14 所示，收缩速度按温度的指数函数变化。根据图中测定值作出的直线斜率可求出收缩过程的激活能。表 9-3 汇总了迄今发表的激活能。

当斜角研磨 OSF 消失的晶体表层，并观察晶体深处的 OSF 时，可以看到无 OSF 的层是从表面开始生成的（见图 9-15）<sup>[54]</sup>。已报道了这样的表面层氧浓度较其它区域的过饱和状态低<sup>[57]</sup>。

无 OSF 的表层厚度随非氧化气氛中的热处理条件而异。亦即，随着热处理温度的提高以及热处理时间的加长，无 OSF 层的厚度便向晶体内部延伸<sup>[58]</sup>。这种现象的定量测试结果示于图 9-16 和图 9-17。从图 9-16 可以看到，无 OSF 层的厚度以热处理时间的 0.63 次方增加。图 9-17 是根据各种热处理温度的等温退火曲线、采用正交法求出直至某一给出的无 OSF 层厚度的热处理时间，并给出热处理时间的对数与温度倒数的关系。如图所



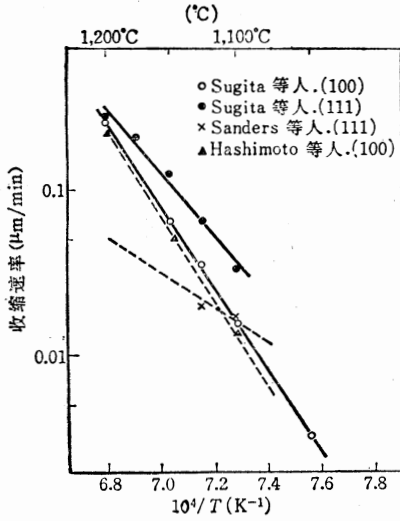


图9-14 OSF收缩速度与温度的关系

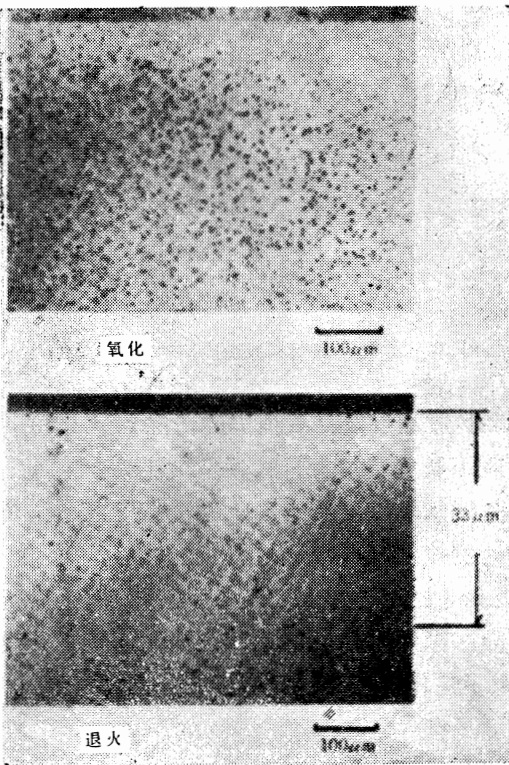


图9-15 氮气中热处理形成无OSF的层  
(通过斜角研磨观察热处理前后的样品截面)

表9-3 堆垛层错收缩的激活能

| 著者                        | 晶面             | 激活能 (eV)                       | 文献   |
|---------------------------|----------------|--------------------------------|------|
| Sanders and Dobson (1969) | (111)          | $2.1 \pm 0.2$                  | [51] |
| Ohkura 等 (1975)           | (100)          | 4.5                            | [55] |
| Hashimoto 等 (1976)        | (100)          | 5.2                            | [56] |
| Sugita 等 (1977)           | (100)<br>(111) | $4.9 \pm 0.3$<br>$4.1 \pm 0.3$ | [54] |
| Shimizu 等 (1978)          | (111)          | $4.5 \pm 0.6$ ①                | [58] |

① 系测定堆垛层错剥蚀区所得结果。

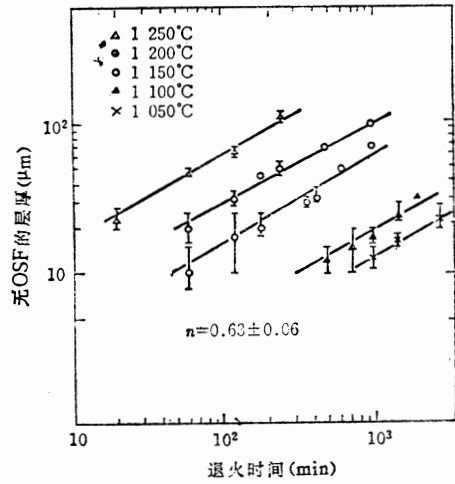


图9-16 无OSF层的生长<sup>[58]</sup>

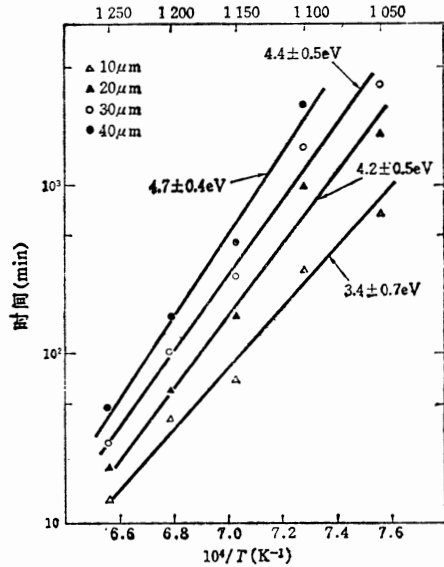


图9-17 根据图9-16的等温退火曲线, 在无OSF层的厚度分别达到10、20、30、40μm时, 热处理时间的对数与绝对温度倒数的关系<sup>[58]</sup>

示其关系是线性的，结果求出无 OSF 层的生长激活能为 3.4~4.7eV。由于初期的 OSF 面积大，故底下的激活能测试误差大。在器件制造中，规定热处理条件时可有效利用这些结果。在这种无 OSF 的区域里，即使再次氧化，产生堆垛层错的概率也不会高。

从其激活能大小来看，上述的收缩可认为是由上升运动产生的，但对由无缺陷反应而产生的收缩也有报导。后者必须有肖克莱部分位错核的形成，为此，要求因某种原因造成应力集中。可认为它是由堆垛层错相互作用，晶体中所含杂质在堆垛层错面内的析出以及在四周产生的应力集中实现的。

#### 9.4.4 从含漩涡或过饱和氧的晶体中产生的堆垛层错

近来，关于 OSF 以及由热处理产生的堆垛层错的重点已集中到原始硅单晶材料的晶体完整性，尤其是氧的含量及其状态，以及在此后的工艺中，在何种条件下这些缺陷会发展成为堆垛层错等二次缺陷。亦即，工艺处理后观察到的缺陷是由硅单晶中含有的过剩氧或氧化时产生的硅与氧的表面反应以及扩散到晶体中去的氧所造成的。一般的切克劳斯基单晶氧含量为  $5 \times 10^{17} \sim 2 \times 10^{18}$  原子/cm<sup>3</sup>。因此，从图 9-18 氧的固溶度可知，在一般高温工艺的温度下，氧原子会过饱和。这些过剩氧在热处理下会形成复合体或沉积。当热处理温度高于 400°C 时，便会产生电激活性的复合体，即形成所谓的施主<sup>[61]</sup>。

在高温热处理下，可形成没有电激活性的沉积核<sup>[62]</sup>。在形成这些沉积核的过程中，除氧以外，其它杂质原子是否也起到了作用，这是一个有意义的问题，目前尚未找到答案。据报道<sup>[63]</sup>，根据 TEM 观察分析缺陷的结果，检验出  $\alpha$ -石英以及  $\gamma$ -Fe<sub>2</sub>O<sub>3</sub> 的重金属元素沉积。

硅单晶有时会含有大量的碳原子。在高温下对碳含量为  $1 \sim 3 \times 10^{17}$  原子/cm<sup>3</sup> 的单晶进行长时间热处理，便能形成沉积核<sup>[63]</sup>。然而，在浓度较低时，对沉积产生什么影响尚不清楚。

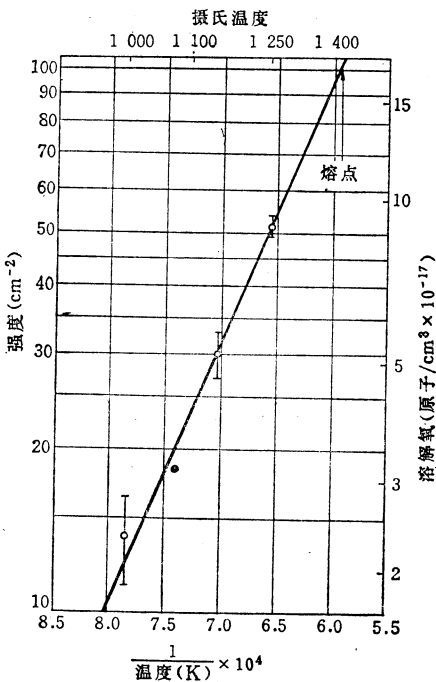


图9-18 氧的固溶度<sup>[60]</sup>

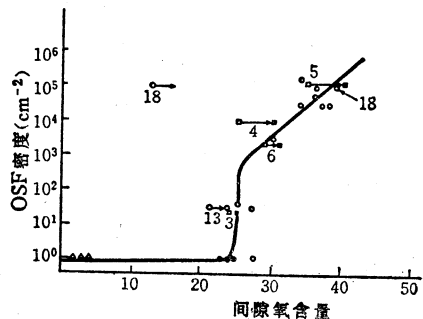


图9-19 OSF密度和晶格间隙氧浓度之关系<sup>[64]</sup>

○ 驱入或“分析处理”之后；□ 一次氧化之后；  
■ 1310°C退火之后；△ 浮熔和外延。

图 9-19 示出溶解于硅晶格间隙的氧含量和 OSF 密度关系的实验结果<sup>[64]</sup>。图中对实验中所采用的工艺程序做了说明。导致 OSF 密度急剧增加的临界晶格间隙氧浓度约为

$1.5 \times 10^{18}$  原子/ $\text{cm}^3$ 。图 9-20 是改变初期氧的浓度, 经热处理后过饱和状态的晶格间隙氧随  $900^\circ\text{C}$  及  $1250^\circ\text{C}$  下干氧化时间而减少的曲线。从该图亦可看到, 在晶格间隙氧浓度超过  $1.5 \times 10^{18}$  原子/ $\text{cm}^3$  的晶体中, 晶格间隙氧会急剧减少, 从而造成沉积<sup>[64]</sup>。

晶体所含的氧原子沉积与氧含量、工艺温度和时间等有关。关于沉积相晶体结构的报告有二、三份, 根据这些报告, 在  $1000^\circ\text{C}$  以上的高温下, 其沉积相的晶体结构为方晶石和非晶  $\text{SiO}_2$ 。在  $800^\circ\text{C}$  以上为方晶石, 在  $700^\circ\text{C}$  以上为  $\alpha$ -石英<sup>[62]</sup>。这样, 晶体内的过剩氧在温度较低的热处理下沉积, 而这些沉积在后来的氧化或高温热处理下便会生成堆垛层错和位错环。这种二次退火存在于通常的器件制造工序中, 所以对其热处理条件的组合需加以注意。

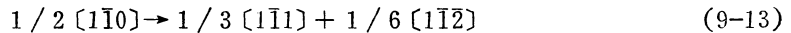
目前对过剩氧原子沉积现象所做的定量测试工作尚不多。问题的关键是欲决定过饱和度和, 就须测定氧浓度, 而测定氧浓度要与正确的固溶度曲线及其测试方法一致<sup>[3]</sup>。

根据用切克劳斯基单晶所做的实验结果, 要形成核, 就需有相当于  $80^\circ\text{C}$  过冷的过饱和状态<sup>[65]</sup>。然而, 预先以  $700^\circ\text{C}$  左右的低温处理晶体, 那么, 以很小的过饱和度便会形成核。

在未预先做低温处理并且也不存在其它结构缺陷的晶体中, 核的形成是均匀的。在这种情况下, 能够应用 Volmer-Weber-Becker-Döring 的经典成核理论, 利用适当的实验结果便可推算出临界核的大小。据此, 有人认为临界核约含 200 个氧原子<sup>[65]</sup>。

#### 9.4.5 核形成及其生长机理

有关 OSF 生长机理的最初设想是 Booker 等人<sup>[30]</sup>提出的。研磨造成的位错分解反应如下:



从而形成非本征型堆垛层错, 并围绕该堆垛层错在表面产生肖克莱位错, 以及离开表面往里产生弗兰克位错。氧原子因氧化进入晶体, 沉积在弗兰克位错上, 晶格便膨胀, 由于会放出空位以缓和这种畸变, 于是弗兰克位错便生长。此外, 其它测试报告也称在 OSF 中心存在有氧化物沉积。

鉴于硅氧化膜中氧原子的输送所支配这一情况, Sanders 和 Dobson<sup>[61]</sup>估计空位的非饱和状态是因氧化在 Si-SiO<sub>2</sub> 界面的晶格内产生。非本征型弗兰克位错环一经形成, 在这种情况下只要  $C_s < C_F$ , 位错环就会继续生长。

上述模型中, 是以位错分解产生弗兰克位错环为前提的。然而, Ravi<sup>[38]</sup>将有表面损伤的晶体氧化后用 TEM 进行观察, 并未发现 OSF 核形成初期引起的完全位错和分解反应的证据, 根据这一情况, 他认为不管是机械研磨的晶体还是含有漩涡缺陷的晶体, 都会产生过剩晶格间隙原子, 由于这些间隙原子聚集崩塌, 而使弗兰克位错环成核。

Hu<sup>[66]</sup>则认为硅氧化不一定完全, 仍存在少量未被氧化的硅原子, 它们变成晶格间隙

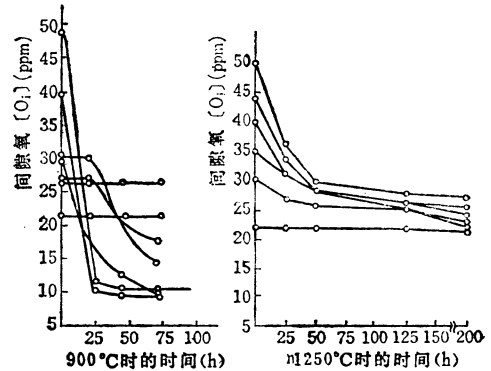


图9-20 晶格间隙氧浓度随干氧化时间的变化 (氧化温度:  $900^\circ\text{C}$  和  $1250^\circ\text{C}$ )

原子，并在氧化界面附近产生过饱和状态。他为了进一步说明(100)面附近 OSF 生长的异常情况，提出了表面再生长模型。

Mahajan 等人<sup>[67]</sup>对由于位错分解形成含高能态的堆垛层错这一现象抱有怀疑。并鉴于在有位错的单晶中并未观测到 OSF 这一事实，提出了对有机机械损伤的单晶和有漩涡缺陷的单晶都成立的统一的 OSF 发生机理。如图 9-21 所示，OSF 核形成分三个阶段。第一阶段，在(111)面上生成硅氧聚集团，一般认为其结构与 $\beta$ 方晶石类似，故把相邻晶格向〔111〕晶向压缩。因此，由于聚集团的生长，放出晶格间隙原子。这些晶格间隙原子的局部浓度一旦超过某一水平，便会在该区域形成非本征型弗兰克位错环。进而由于在该缺陷面上反复沉积硅氧聚集团，使晶格间隙原子被吸收到缺陷中直至生长成稳定的 OSF 核。并且，这种断裂在晶体内漩涡缺陷的非均匀区附近，或者在研磨面裂纹根部的应力集中点上很容易形成的。

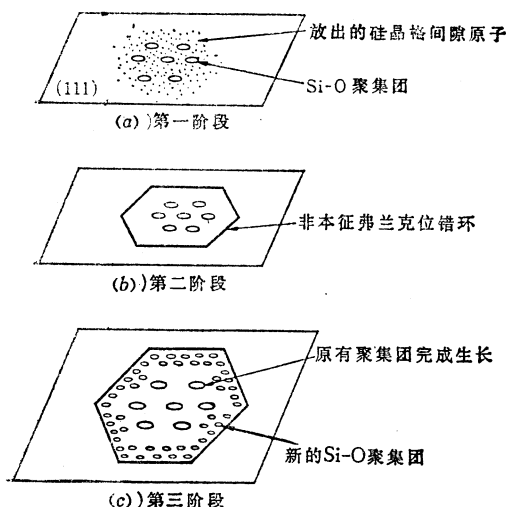


图9-21 有关OSF发生机理的Mahajan、Rozgonyi和Brasen模型<sup>[67]</sup>

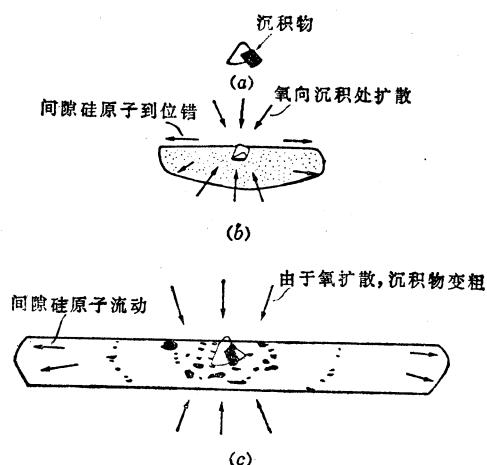


图9-22 有关OSF发生机理的Freeland等人的模型<sup>[68]</sup>

与氧化时情况不同，对于有过剩氧的单晶内部的堆垛层错成核及其生长，Freeland<sup>[68]</sup>等人提出了一个与前面 Mahajan<sup>[67]</sup>等人提出的模型相似的模型。他们根据堆垛层错的 TEM 观察结果，鉴于在堆垛层错的中心肯定存在带有位错的沉积或沉积团这一情况，提出了如图 9-22 所示的模型。亦即，在低温热处理下业已存在有核的地方会沉积氧化物。并且在沉积周围会产生畸变，因而发生位错。当氧向沉积物扩散，那么随着沉积会产生体积膨胀，使硅原子从沉积本体界面移开，于是产生晶格间隙原子。这些过剩的晶格间隙原子崩塌后便产生非本征弗兰克位错环。然而，用 TEM 观察，难以确定究竟是发生了完全位错分解，还是晶格间隙原子崩塌后形成了非本征型位错环。

以上叙述了最近提出的一些主要模型。然而，Sanders 和 Dobson<sup>[61]</sup>提出的解释 OSF 生长的空位模型不能说明氧化气氛中会加速杂质原子扩散这一现象<sup>[17]</sup>。目前一般都认为氧化或热处理导致了过剩晶格间隙原子的产生，就是这些间隙原子促成了堆垛层错的生长。但是关于这一点尚拿不出直接的证据。并且这种现象也与硅的自扩散机理有关，这就需要

去了解高温时晶格间隙硅原子的运动状态<sup>[69]</sup>。

在此附注了未能予以阐述的其它一些重要方案。

#### 9.4.6 有关成核、生长及收缩的理论研究

关于成核已在 9.4.4 节中谈及。但当这些缺陷局部存在于表面时，便成为一种与氧化有关的表面现象，使核生长和收缩情况更为复杂了。这就象金属中的过剩点缺陷变成二次缺陷那样，这种情况，严格地说是不好处理的。目前对此发表的论文为数很少。Hu<sup>[66]</sup> 以上述表面再生长模型为基础，提出了生长理论，从而导出了 OSF 系呈抛物线生长。

Yang 等人<sup>[48]</sup> 假设氧化膜的拉伸应力会在弗兰克位错环周围产生过剩晶格间隙原子，而这些间隙原子又被吸收到弗兰克位错环上，他们联系氧化膜生长速度计算上升速度得到了  $t^{3/4}$  规律。

有关单晶内过饱和氧导致堆垛层错的生长，Patel 等人<sup>[47]</sup> 根据上述 Freeland 等人<sup>[68]</sup> 的模型，分析了氧原子向沉积核扩散这一现象，导出了生长是遵循  $t^{3/4}$  规律的。并在理论上进一步导出了生长激活能等于硅自扩散激活能的  $3/4$ 。而且证明了该值与理论结果一致。此时的生长是受沉积本体界面的晶格间隙原子的形成和移动所支配的。

对收缩机理，几乎未做过任何理论上的探讨。如表 9-3 所示，在上升运动引起的收缩过程中，通过实验得到了与硅自扩散激活能相近的值。可认为这是一个可喜的开端。鉴于该值近似于硅自扩散的激活能，故认为在收缩中，硅原子的扩散是受限制的。

### 9.5 缺陷对器件特性的影响

本节以最近的研究成果为依据，叙述硅片内有源区产生的位错、堆垛层错、杂质沉积以及在硅片表面淀积的薄膜产生的应力等给器件电学特性所带来的影响。

一般说来，这些缺陷起着载流子产生、复合中心的作用，故明显降低了器件中少数载流子的寿命。另外，位错、堆垛层错等给杂质原子特别是给重金属和氧等的沉积提供了良好的场所。因而在缺陷处生长的沉积物附近很容易产生微等离子体，并且在发射结附近这些缺陷会引起所谓的“扩散管道”，从而引起电流短路<sup>[70]</sup>。

通过 SEM 的电子轰击感应电导率 (EBIC) 的模型以及 TEM 的观察，详细地研究了作为构成器件的最简单的 pn 结的反向特性与氧化诱生堆垛层错的相互关系<sup>[71]</sup>。图 9-23 示出了在 n 型外延晶体上进行硼扩散制成的 5 个二极管的反向 I-V 特性曲线。使用 SEM 能非破坏性地分析堆垛层错，即能够在阴极射线管上有选择地显示出引起过量漏电的堆垛层错。

图 9-23 各条曲线中间的数字表示具有电激活性的堆垛层错数，右边的数字则表示全部堆垛层错数。左下方示出的数字是最小阈值电压，它

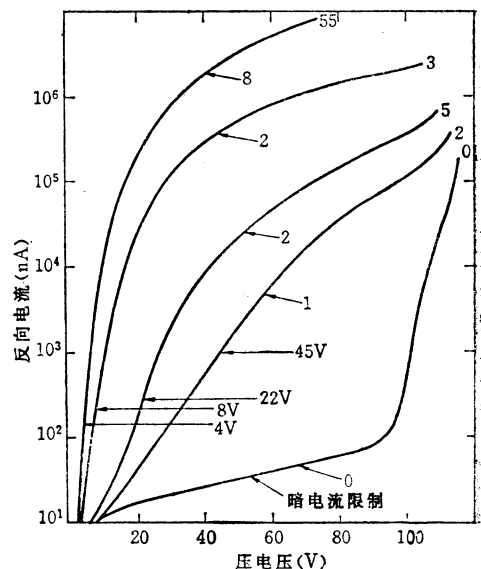


图9-23 5个二极管的 I-V 特性<sup>[71]</sup>

是在电活性缺陷处引起的电流增加所需要的偏压。从图中可以明显地看到，并不是所有堆垛层错都是电激活性的。反向漏电流与电活性堆垛层错的最小阈值电压有着密切的关系，与电激活性的缺陷数无明显的关系，并与总堆垛层错数无关。

进一步分析结果表明存在如下倾向，即堆垛层错的长度越短，阈值电压越小。据报道，根据 TEM 观察，发现在小的堆垛层错中，在层错面以及围绕该面的位错上有沉积物，而在大的堆垛层错中，仅在部分位错上有沉积物。据认为这些沉积物会产生畸变或者阻碍扩散，从而使结的形状紊乱，结果产生过剩漏电流。

由此可见，对电学特性的影响取决于缺陷由杂质缀饰的程度。表 9-4 汇集了已发表的一些结果<sup>[72]~[76]</sup>，如表所示，OSF 的电活性变化幅度很大，其范围在数 pA 至 100 $\mu$ A 之间。尽管目前尚不能确定究竟会产生什么样的杂质沉积，但一般认为与重金属元素和硅氧化物有关。并且这些杂质的混入与原材料硅单晶以及器件制造工艺有着很大的关系。已发表了有意识掺入各种重金属元素后分析二极管特性的研究结果<sup>[76]</sup>。

表9-4 OSF引起的平均漏电流的大小<sup>[72]</sup>

| 著者                          | 漏电流/堆垛层错       | 文献   |
|-----------------------------|----------------|------|
| Ravi 等 (1973)               | 15~500 $\mu$ A | [71] |
| Tanaka 等 (1974)             | 0.06~6 $\mu$ A | [73] |
| Rozgonyi and Kushner (1976) | 7~33pA         | [74] |
| Tanikawa (1976)             | ~10pA          | [75] |
| Ogden and Wilkinson (1977)  | 4~590pA        | [72] |

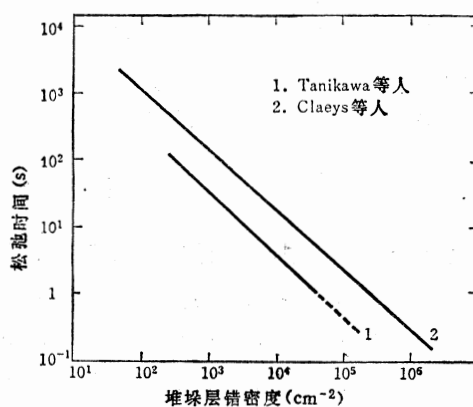


图9-24 MOS电容器电容量的松弛时间与OSF密度的关系，将文献[74]和[75]中的结果做了归纳

在双极器件中，由于存在 OSF 和位错，在浅发射区扩散晶体管的发射极-集电极之间会发生穿透<sup>[70]</sup>。这是扩散管道所引起的。这种有缺陷的晶体管在硅片上的分布可借电化学手段进行测绘<sup>[77]</sup>。这种方法是分析特性优劣的有效手段，已得到广泛应用。

下面叙述 MOS 器件。特别是 MOS 电容器，由于其结构最简单且受工艺的影响很小，目前常被用以评价单晶。有人使用 MOS 电容器研究单晶内的位错和单晶表面绝缘膜的应力对 MOS 界面特性的影响<sup>[78][79]</sup>，结果表明，这些特性对缺陷并不敏感，即使应力达到  $10^9$  达因/ $\text{cm}^2$  这样的程度也不影响  $V_{FB}$ ， $N_{ss}$ 。另外，报导了位错密度达到  $10^7/\text{cm}^2$  以上时， $V_{FB}$  开始出现增大的倾向。实际上，可认为这些因素几乎不会产生什么影响。

但是，将位错密度大的单晶热氧化生成氧化膜，其绝缘击穿电压和几乎无位错的单晶相比有降低的倾向。从位错密度为  $10^4/\text{cm}^2$  处起便可观察到这一现象<sup>[80]</sup>。其原因尚不清楚。

漩涡缺陷和 OSF 等微缺陷和位错线一样会降低少数载流子寿命，这是众所周知的事实。从图 9-24 可以看到，寿命有随缺陷密度呈反比例减少之倾向。这些结果是通过制作

MOS 电容器并根据 C-t 法测试得到的。在与寿命有关的存储器件中,其信息保持时间易受晶体内微缺陷的影响。为探明微缺陷对 MOS 特性的影响,有人做了把氩离子注入单晶,再对单晶热氧化使之产生微缺陷的实验<sup>[81]</sup>。微缺陷密度随离子注入剂量的变化而剧烈变化。同时也研究了剂量和氧化诱生缺陷发生情况的关系。这些研究结果表明:当超过某一临界剂量时,寿命便受到影响,而  $N_{ss}$  却几乎不受影响。栅氧化膜的缺陷也随氩离子剂量的增加而明显增加,其临界剂量接近于 OSF 发生的临界剂量。

早已有人指出,漩涡缺陷和 OSF 与硅光导摄像靶的亮点有关<sup>[82]</sup>,这些缺陷和 CCD 的暗电流不均匀性的对应关系已有报告发表<sup>[72]、[75]</sup>。

SEM 对探明结的电学特性极为有效。Kimerling 等人<sup>[83]</sup>在有 OSF 的单晶上制作了肖特基势垒,并用 SEM 的电荷收集方式,在 77K 的低温至室温范围内测量了缺陷引起的反差。发现在室温下,处在部分位错和堆垛层错的中央部分的沉积物上产生了反差,但在 82K 时,不仅在部分位错上,就连缺陷面也产生了反差。从这些反差与温度的相互关系来看,无缀饰的缺陷能级  $E_c$  为 0.1eV,而围绕堆垛层错的位错能级  $E_c$  则为 0.3eV。

最近有报导称,为了研究结构缺陷和器件特性的关系,采用了由 SEM 和 TEM 组合而成的 STEM(扫描透射电子显微镜)<sup>[84]</sup>。若样品较厚则有可能同时获得缺陷与结的图像,STEM 将有可能成为分析缺陷和特性的有效手段。

## 9.6 吸除工艺

如上节所述,由于晶体缺陷会使器件特性劣化,所以,积极开展了旨在把这类有害缺陷从晶体或晶体有源区中消除的工艺研究。用来钝化对器件特性有不利影响的碱金属和重金属的吸除工艺早已为人们所利用,然而,最近使用了广义的包括消除或钝化 OSF、漩涡缺陷、氧化物沉积等微缺陷工艺在内的吸除工艺。

吸除 OSF 及其核的方法有很多,其中有许多方法已得到了实际应用。表 9-5 示出了迄今已提出的主要吸除法。在吸除工艺中,往往具有能达到预期目的的长处,同时又存在有

表9-5 吸除法种类

| 吸除工序 | 吸除内容                          |                              |
|------|-------------------------------|------------------------------|
| 氧化前  | 硅片背面加工畸变                      | 喷沙法<br>划片磨<br>碰撞声应力          |
|      | 硅片背面处理                        | 失配位错<br>$Si_3N_4$ 层<br>氩离子注入 |
|      | 惰性气体退火<br>HCl处理<br>氧化物沉积造成的位错 |                              |
| 氧化中  | HCl氧化<br>TCE氧化                |                              |
| 氧化后  | 惰性气体退火                        |                              |

不足之处。因此,在各种吸除工艺中,必须掌握最佳条件。另外从整个器件制造工艺来看,在工序的哪一个阶段,实施何种吸除法乃是最充分发挥吸除效果之关键。

吸除效果与器件结构以及作为原材料的硅单晶控制方法有关。可以说标准的吸除法目前尚未确定下来。这是因为作为先决条件的硅单晶质量水平、采用的工艺以及工艺处理过程中发生的由有害杂质造成的沾污程度等不能一概而论。

吸除法通常根据吸除在氧化工艺前实施,还是在氧化过程中或是在氧化后实施来进行分类。氧化前实施的吸除法有二种:  
(1) 在非氧化气氛中对单晶进行热处理;

(2) 对硅片背面进行某种处理。后者采用的方法是机械加工单晶,一般会留下损伤层<sup>[23]</sup>。此时由于热循环的缘故,需把位错的发生限制在最低限度,为此要求能有效控制并导入所需缺陷的技术。对此已提出很多损伤导入法<sup>[86]</sup>。

对硅片背面进行处理的方法是:进行磷扩散、设置失配位错以吸收微缺陷。此外,用同样的方法对单晶进行吸除,然后再进行镜面加工的方法业已实用。

氧化过程中有效的吸除法是在氧化气氛中掺入百分之几的卤素,尤其是含氯的氯化氢(HCl)<sup>[87]</sup>、三氯乙烯<sup>[88]</sup>、三氯乙烷<sup>[45]</sup>等进行氧化。另外,还有人提出氧化之前在掺HCl的非氧化气氛中做短时间处理的方法<sup>[88]</sup>。

由HCl氧化制成的氧化膜具有低界面能级密度和高绝缘击穿电压。为了用HCl氧化消除OSF等微缺陷,高温处理的时间必须较长。一旦超过某一临界温度时间条件,氧化膜和晶体界面便会产生凹凸不平<sup>[90]</sup>。

图9-25示出将HCl掺入干氧中进行HCl氧化时,OSF长度随HCl浓度和氧化时间变化的曲线。图9-26示出HCl氧化时,OSF核生长或核消失的临界条件,同时也给出了硅表面产生腐蚀的临界条件。

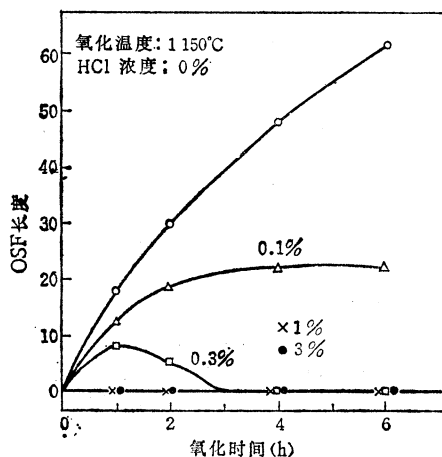


图9-25 HCl氧化时OSF长度与氧化时间之关系<sup>[91]</sup>

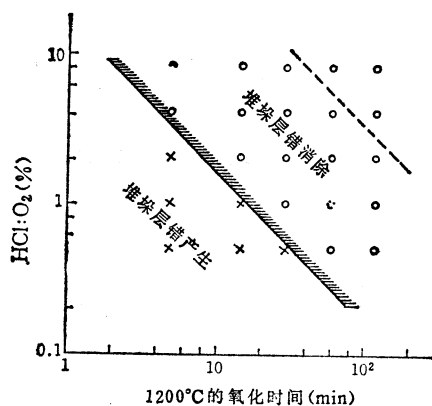


图9-26 使堆垛层错消失的HCl氧化条件(1200°C),此后的氧化中发生或不发生堆垛层错的场合分别用符号×和○表示。虚线表示硅在HCl氧化中被腐蚀的临界条件<sup>[90]</sup>

在含氯的吸除中,氯究竟起着何种作用尚无定论。有人解释说氯原子进入Si-SiO<sub>2</sub>界面,在那儿与形成OSF核的杂质团或沉积物作用,形成挥发性氯化物<sup>[88]</sup>。另外,也有人认为氯与硅反应,在界面上产生过剩空位,从而使OSF消失<sup>[91]</sup>。

如果已生成了OSF,那末通过其后的非氧化气氛中长时间高温热处理便会使之收缩直至消失。这样进行吸除亦是可行的<sup>[54][58]</sup>。详细情况已在第4节中作了介绍。

如上所述,采用吸除法能从硅片的有源区消除有害缺陷。大部分吸除法的特点是从晶体表面向内部形成无微缺陷的层。不过,有关该“剥蚀区”的定量数据目前尚不充分。



## 9.7 结 束 语

以上叙述了在工艺诱生缺陷中被认为是特别重要的由氧化或热处理所造成的堆垛层错和位错的产生, 以及有关这方面的基本情况和最近的进展。然而, 对堆垛层错来说, 并非一切都已明了, 目前仍有许多问题尚待解决。从控制缺陷的角度来看, 有必要以将来的器件为目标积极开展大幅度降低工艺诱生缺陷密度的研究。为此, 提高硅单晶的完整性、使工艺最佳化、低温化以及使洁净硅片免于损伤的硅片处理技术等, 将是今后研究的重要课题。

### 参 考 文 献

- [1] H.R. Huff and E. Sirtl, "Semiconductor Silicon 1977", The Electrochemical Society, Inc., Princeton, 1977
- [2] H. Föll, N. Görele and B.O. Kolbesen, "Swirl-defects in silicon", 文献 1), pp. 565-574 (1977)
- [3] J.R. Patel, "Oxygen in si silicon", 文献 1), pp. 521-545 (1977)
- [4] 高須新一郎, "Growth and process induced defects in silicon crystals", 日本結晶成長学会誌, 4 pp. 121-129 (1977)
- [5] T. Suzuki and H. Kojima, "Dislocation motion in silicon crystals as measured by the Lang x-ray technique", Acta Met., 14 pp. 913-924 (1966)
- [6] A.G. Milnes, "Deepimpurities in semiconductors" chapter 2, John Wiley & Sons, New York, (1973)
- [7] S. Dash and M.L. Joshi, "Diffusion-induced defects and diffusion kinetics in silicon" in "Silicon Device Processing" pp. 202-222, NBS Special Publication No. 337, Gaithersburg (1970)
- [8] T.H. Yeh and M.L. Joshi, "Strain compensation in silicon by diffused impurities", J. Electrochem. Soc., 116 pp. 73-77 (1969)
- [9] 渡辺, 西沢, "IV族添加による逆方向特性の改善", 東北大学電通談話会記録, 21, p. 101 (1952)  
K. Yagi, N. Miyamoto and J. Nishizawa, "Anomalous diffusion of phosphorus into silicon", Japan. J. Appl. Phys., 9, pp. 246-254 (1970)
- [10] M. Tamura, "Dislocation networks in phosphorus implanted silicon", Phil. Mag. 35 pp. 663-691 (1977)
- [11] W.A. Westdorp and G.H. Schwüttke, "Stress effects of silicon nitride films on silicon", Edited by F. Vratry "Thin Film Dielectrics", pp. 546-560, The Electrochemical Society, Inc., New York, 1969
- [12] 吉中 明, 杉田吉光, 未発表
- [13] K. Morizane and P.S. Gleim, "Thermal Stress and plastic deformation of thin silicon slices" J. Appl. Phys., 40 pp. 4104-4107 (1969)
- [14] S.M. Hu, "Temperature distribution and stresses in circular wafers in a row during radiative cooling" J. Appl. Phys., 40 pp. 4413-4423 (1969)
- [15] S. Timoshenko and J.N. Goodier, "Theory of Elasticity", p. 406, McGraw-Hill Book Co., New York, 1951.
- [16] E. Billig, "Some defects in crystals grown from the melt", Proc. Roy. Soc., A 235, pp. 37-55 (1956)
- [17] S.M. Hu, "Defects in silicon substrates" J. Vac. Sci., Technol. 14 pp. 17-31 (1977)
- [18] 小野・宮本・西沢・橋本, "シリコンの機械的応力による転位の発生", 東北大学電通談話会記録 35, No. 1, pp. 47-49 (1966)
- [19] K.G. Moerschel, C.W. Pearce, R.E. Reusser, "A study of the effects of oxygen content, initial bow, and furnace processing on warpage of three-inch diameter silicon wafers", 文献 1), pp. 170-181 (1977)
- [20] J.R. Patel and A.R. Chaudhuri, "Oxygen precipitation effects in the deformation of dislocation-free silicon", J. Appl. Phys., 33 pp. 2223-2224 (1962)
- [21] T.Y. Tan and W.K. Tice, "Oxygen precipitation and the generation of dislocations in silicon", Phil. Mag., 34 pp. 615-631 (1976)
- [22] S.M. Hu and W.J. Patrick, "Effect of oxygen on dislocation movement in silicon", J. Appl. Phys., 46 pp. 1869-1874 (1975)
- [23] S.M. Hu, "Dislocation pinning effect of oxygen atoms in silicon", Appl. Phys., Letters. 31 pp. 53-55 (1977)

- [24] E.W. Hearn, E.H. Tekaas and G.H. Schwuttke, "The closed boat: A new approach for semiconductor batch processing", *Microelectronics and Reliability*, 15 pp. 61-66 (1976)
- [25] Y. Seki, K. Tanno, J. Matsui and T. Kawamura, "Dislocation free silicon epitaxy", *Semiconductor silicon*, pp. 653-661, The Electrochemical Soc., Inc., New York, (1969)
- [26] L.D. Dyer, H.R. Huff, and W.W. Boyd, "Plastic deformation in central regions of epitaxial silicon slices", *J. Appl. Phys.*, 42 pp. 5680-5688 (1971)
- [27] 杉田吉充, "シリコンの酸化と格子欠陥" 応用物理, 46 pp. 1056-1068 (1977)
- [28] C.M. Melliar-Smith, "Crystal defects in silicon integrated circuits-Their cause and effect" in "Treaties on Material Science and Technology", Vol. 11, p. 47 Academic Press, New York (1977)
- [29] D.J.D. Thomas, "Surface damage and copper precipitation in silicon", *Phys. Stat. Solidi* 3 pp. 2261-2273 (1963)
- [30] G.R. Booker and W.J. Tunstall, "Diffraction contrast analysis of two-dimensional defects present in silicon after annealing" *Phil. Mag.*, 13 pp. 71-83 (1966)
- [31] C.M. Drum and W. van Gelder, "Stacking faults in (100) epitaxial silicon caused by HF and thermal oxidation and effects on p-n junctions" *J. Appl. Phys.*, 43 pp. 4465-4468 (1972)
- [32] D.I. Pomerantz, "Effects of grown-in and process-induced defects in single crystal silicon", *J. Electrochem. Soc.*, 119 pp. 255-265 (1972)
- [33] K.V. Ravi and C.J. Varker, "Oxidation-induced stacking faults in silicon. 1. Nucleation phenomenon", *J. Appl. Phys.*, 45 pp. 263-271 (1974)
- [34] M.L. Joshi, "Stacking faults in steam-oxidized silicon", *Acta Met.* 14 pp. 1157-1172 (1966)
- [35] Y. Sugita, T. Aoshima, K. Yoneda, and A. Yoshinaka, "The influence of oxidation-Sirtl etch condition on the stacking fault generation in (111) silicon wafers" *J. Electronic Materials*, 4 pp. 175-189 (1975)
- [36] J. Matsui and T. Kawamura, "Spotty defects in oxidized floating-zoned dislocation-free silicon crystals", *Japan. J. Appl. Phys.*, 11 pp. 197-205 (1972)
- [37] G.A. Rozgonyi and T.E. Seidel, "Surface versus bulk nucleated oxidation-induced stacking faults in silicon wafers" *J. Cryst. Growth*, 38 pp. 359-363 (1977)
- [38] H.J. Queisser and P.G.G. van Loon, "Growth of lattice defects in silicon during oxidation", *J. Appl. Phys.*, 35 pp. 3066-3067 (1964)
- [39] A.W. Fisher and J.A. Amick, "Defect structure on silicon surfaces after thermal oxidation", *J. Electrochem. Soc.*, 113 pp. 1054-1060 (1966)
- [40] A. Mayer, "Detection of damage on silicon surfaces: Origin and propagation of defects", *RCA Rev.* 31 414-430 (1970)
- [41] M. Conti, G. Gorda, R. Matteucci, and C. Ghezzi, "Oxidation stacking faults in epitaxial silicon crystals", *J. Material Sci.*, 10 pp. 705-713 (1975)
- [42] S.M. Hu, "Anomalous temperature effect of oxidation stacking faults in silicon", *Appl. Phys. Lett.*, 27 pp. 165-167 (1975)
- [43] K. Yang, G.H. Schwuttke, and H. Kappert, "Growth kinetics of stacking faults in oxidized silicon", IBM Technical Report (1976)
- [44] S.P. Murarka and G. Quintana, "Oxidation induced stacking faults in n- and p-type (100) silicon", *J. Appl. Phys.*, 48 pp. 46-51 (1977)
- [45] C.L. Claeys, E.E. Laes, G.J. Declerck, and R.J. van Overstraeten, "Elimination of stacking faults for charge-coupled device processing", 文献 1), pp. 773-784 (1977)
- [46] S.P. Murarka, "Oxygen partial-pressure dependence of the oxidation-induced surface stacking faults in (100) n silicon", *J. Appl. Phys.*, 48 pp. 5020-5026 (1978)
- [47] J.R. Patel, K.A. Jackson and H. Reiss, "Oxygen precipitation and stacking-fault formation in dislocation-free silicon", *J. Appl. Phys.*, 48 pp. 5279-5288 (1977)
- [48] Y. Sugita, T. Kato and M. Tamura, "Effect of crystal orientation on the stacking fault formation in thermally oxidized silicon", *J. Appl. Phys.*, 42 pp. 5847-5849 (1971)
- [49] C.M. Hsieh and D.M. Maher, "Nucleation and growth of stacking faults in epitaxial silicon during thermal oxidation", *J. Appl. Phys.*, 44 1302-1306 (1973)
- [50] K.V. Ravi, "On the annihilation of oxidation induced stacking faults in silicon", *Phil. Mag.* 30 1081-1090 (1974)
- [51] I.R. Sanders and P.S. Dobson, "Oxidation, defects and vacancy diffusion in silicon", *Phil. Mag.*, 20 881-893 (1969)
- [52] J. Friedel, "Dislocation" p. 158, Pergamon Press (1964)
- [53] J. Sibcox and M.J. Whelan, "Direct observation of the annealing of prismatic dislocation loops and of climb of dislocations in quenched

- aluminum", *Phil. Mag.* 5 1-23 (1960)
- [54] Y. Sugita, H. Shimizu, A. Yoshinaka, and T. Aoshima, "Shrinkage and annihilation of stacking faults in silicon", *J. Vac. Sci. Technol.*, 14 44-46 (1977)
- [55] 大倉五佐雄, 大森雅司, 鳥居 裕, "熱処理による積層欠陥の発生と消滅", 第36回応用物物理学学会学術講演会予稿集, 分2 p. 506 (1975)
- [56] H. Hashimoto, H. Shibayama, H. Masaki, and H. Ishikawa, "Annihilation of stacking faults in silicon by impurity diffusion", *J. Electrochem. Soc.*, 123 pp. 1899-1902 (1976)
- [57] H.J. Ruiz and G.P. Pollack, "High temperature annealing behavior of oxygen in silicon", *J. Electrochem. Soc.*, 125 pp. 128-130 (1978)
- [58] H. Shimizu, A. Yoshinaka and Y. Sugita, "Formation of a stacking fault-free region in thermally oxidized silicon", *Japan. J. Appl. Phys.*, 17 pp. 767-771 (1978)
- [59] 川戸清爾, "シリコンの熱酸化積層欠陥の構造変換", 日本学術振興会 結晶加工と評価技術第145委員会, 第3回研究会資料, pp. 61-71 (1978)
- [60] H.J. Hrostowski and R.H. Kaiser, "The solubility of oxygen in silicon", *J. Phys. Chem. Solids*, 9 pp. 214-216 (1959)
- [61] C.S. Fuller and R.A. Logan, "Effect of heat treatment upon the electrical properties of silicon crystals" *J. Appl. Phys.*, 28 pp. 1427-1436 (1957)
- [62] K. Tempelhoff and F. Spiegelberg, "Precipitation of oxygen in dislocation-free silicon" 文献 (1) pp. 585-595 (1977)
- [63] K. Graff, J. Hilgarth and H. Neubrand, "Process-induced defects in oxygen- and Carbon-rich silicon crystals" 文献 (1) pp. 575-584 (1977)
- [64] C.W. Pearce and G.A. Rozgonyi, "Sources of oxidation induced stacking faults in Czochralski silicon wafers: II. The influence of oxygen content", 文献 (1) pp. 606-615 (1977)
- [65] P.E. Freeland, K.A. Jackson, C.W. Lowe, and J.R. Patel, "Precipitation of oxygen in silicon" *Appl. Phys. Lett.*, 30 pp. 31-33 (1977)
- [66] S.M. Hu, "Formation of stacking faults and enhanced diffusion in the oxidation of silicon", *J. Appl. Phys.* 45 pp. 1567-1573 (1974)
- [67] S. Mahajan, G. A. Rozgonyi and D. Brasen, "A model for the formation of stacking faults in silicon", *Appl. Phys. Lett.*, 30 pp. 73-75 (1977)
- [68] P.E. Freeland, K.A. Jackson, D.M. Maher, J.R. Patel, and A.M. Staudinger, 未発表 文献 (46) から
- [69] A. Seeger, H. Föll and W. Frank, "Self-interstitials, vacancies and their clusters in silicon and germanium", in "Radiation Effects in Semiconductors, 1976" pp. 12-29, The Institute of physics, Bristol and London, (1976)
- [70] G.H. Plantinga, "Influence of dislocations on properties of shallow diffused transistors", *IEEE Trans, Electron Devices*, ED-16 pp. 394-400 (1969)
- [71] K.V. Ravi, C.J. Varker and C.E. Volk, "Electrically active stacking faults in silicon" *J. Electrochem. Soc.*, 120 pp. 533-541 (1973)
- [72] R. Ogden and J.M. Wilkinson, "Characterization of crystal defects at leakage sites in charge-coupled devices", *J. Appl. Phys.*, 48 pp. 412-414 (1977)
- [73] K. Tanaka, G. Nakamura, M. Amano, and Y. Yukimoto, "The influence of shallow etch pits on the planar diode leakage current in dislocation-free silicon", *Extd. Abstracts of Electrochemical Society Fall Meeting 1974*, pp. 472-473 (1974)
- [74] G.A. Rozgonyi and R.A. Kushner, "The elimination of stacking faults by preoxidation gettering of silicon wafers, III. Defect etch pit correlation with p-n junction leakage", *J. Electrochem. Soc.*, 123 pp. 570-576 (1976)
- [75] K. Tanikawa, Y. Ito and H. Sei, "Evaluation of dark-current nonuniformity in a charge-coupled device", *Appl. Phys. Lett.*, 28 pp. 285-287 (1976)
- [76] H.H. Busta and H.A. Waggener, "Precipitation-induced currents and generation-recombination currents in intentionally contaminated silicon p+n junctions", *J. Electrochem. Soc.*, 124 pp. 1424-1429 (1977)
- [77] S.M. Hu, "Cathodic mapping of leakage defects", *J. Electrochem. Soc.*, 124 pp. 578-582 (1977)
- [78] D. V. McCaughan and B.C. Wonsiewicz, "Effects of dislocations on the properties of metal SiO<sub>2</sub>-silicon capacitors", *J. Appl. Phys.*, 45 pp. 4982-4985 (1974)
- [79] B.C. Wonsiewicz and D.V. McCaughan, "Electrical properties of metal-SiO<sub>2</sub>-silicon structures under mechanical stress", *J. Appl. Phys.*, 44 pp. 5476-5479 (1973)
- [80] 杉田吉充, 青島孝明, 未発表
- [81] S. Prussin, S.P. Li, and R.H. Cockrum, "The effect of oxidation-expanded defects upon MOS parameters", *J. Appl. Phys.*, 48 pp. 4613-4617 (1977)
- [82] A.J.R. de Kock, "Microdefects in dislocation-

- free silicon crystals", Philips Res. Repts Suppl., No. 1 pp. 1-105 (1973)
- [83] L.C. Kimerling, H.J. Leamy and J.R. Patel, "The electrical properties of stacking faults and precipitates in heat-treated dislocation-free Czochralski silicon", Appl. Phys. Lett., 30 pp. 217-219 (1977)
- [84] T.G. Sparow and U. Valdre, "Application of scanning transmission electron microscopy to semiconductor devices", Phil. Mag., 36 pp. 1517-1528 (1977)
- [85] H. Shiraki, "Silicon Wafer annealing effect in loop defect generation", Japan. J. Appl. Phys., 13 pp. 1514-1523 (1974)
- [86] G.H. Schwuttke, K. Yang and H. Kappert, "Lifetime control in silicon through impact sound stressing", Phys. Stat. Solidi, (a) 42 pp. 553-564 (1977)
- [87] H. Shiraki, "Elimination of stacking faults in silicon wafers by HCl added dry O<sub>2</sub> oxidation", Japan. J. Appl. Phys., 14 pp. 747-752 (1975)
- [88] T. Hattori, "Elimination of stacking faults in silicon by trichloroethylene oxidation", J. Electrochem. Soc., 123 pp. 945-946 (1976)
- [89] S.P. Murarka, H.J. Levinstein, R.B. Marcus, and R.S. Wagner, "Oxidation of silicon without the formation of stacking faults", J. Appl. Phys., 48 pp. 4001-4003 (1977)
- [90] T. Hattori, "HCl oxidation conditions for stacking fault nuclei gettering and for silicon etching", J. Appl. Phys., 49 pp. 2994-2995 (1978)
- [91] H. Shiraki, "Stacking fault generation suppression and grown-in defect elimination in dislocation free silicon wafers by HCl oxidation", Japan. J. Appl. Phys., 15 pp. 1-10 (1976)

# 第十章 工艺最佳化

羽田 祐一

松倉 保夫

## 10.1 前言

IC工业的技术革新非常频繁，新产品一个接一个地被研制出来，并得到实际应用。与此同时，现有的工艺也在不断改进，研制出新的工艺，并使其达到实用化。例如，MOS存储器从1k位、4k位、16k位发展到64k位RAM，其集成度每二年提高四倍<sup>(1)</sup>。制造工艺技术也是从铝栅发展到硅栅，从单层布线发展到多层布线，进而发展到微细图形（布线线宽从7 $\mu\text{m}$ 缩小到2~5 $\mu\text{m}$ ）<sup>(2)</sup>。

最近，为了发展超LSI，正在对以电子束曝光为中心的微细加工技术<sup>(3)</sup>和浅结技术<sup>(4)</sup>进行多方面的研究，并使之达到实用化。在这种情况下所谓“工艺最佳化”究竟指的是什么呢？这是一个很难回答的问题。

所谓“工艺最佳化”，就是“在追求性能价格比的同时，使工艺不断改进，并实现标准化”。换句话说，应该是“能够以高的成品率按照设计进行生产的工艺”。也就是说，判断IC器件制造工艺的好坏要看该工艺是否能够经济地制造出所要求的IC器件。

在此探讨一下以MOS器件的制造为中心的工艺最佳化。

首先介绍制造MOS器件的工艺设计<sup>(5)</sup>，然后再讲一下在实际制造工艺中的工艺改进问题。

## 10.2 工艺设计

所谓工艺设计可以定义为：“有效地利用过去所具备的固有技术和国内外新技术情报，合理地组织4M(Material——材料；Method——加工方法；Machine——设备；Man——人员)，用经济的制造工艺达到设计质量”<sup>(6)</sup>。

在制造新的MOS器件时，要以目前本公司所具备的固有技术为基础，收集国内外新技术情报，进行基础实验，确定4M，然后再进行工艺设计。因此在制造工艺中窍门非常多，各公司都建立了具有各自特点的生产线。

下面介绍一下MOS器件制造的概况、制造工艺和4M。

### 10.2.1 MOS器件制造

目前具有各种功能的MOS器件已达到了实用化，同时正在急速向高密度、多功能方向发展<sup>(6)</sup>。

在制造新MOS器件时，基本上是按着图10-1的流程进行作业。

把用户要求或市场需要的器件功能转换成电路功能。根据电路功能来确定MOS器件

的结构（铝栅和硅栅等）和基本特性（ $V_T$ 、 $g_m$ 、 $R$ 、 $C$ 等）。作为基本特性设定资料来说，要以既定工艺所返回的资料为中心进行各种研究。看看既定的工艺是否能用，是否需要进行工艺改进，进而是否应该采用新的工艺等。

当基本特性确定以后，就要以此为基础进行电路设计，确定质量指标。然后在设计图形的同时，确定工艺参数。这时就决定了产品质量的90%。试制时是按照在设定基本特性时研究确定的工艺来进行制造。如有不合适的地方，就要重新返回，改进图形设计和电路设计。若基本上没有什么问题，就可以开始批量生产。根据需要，可以施行初期流动管理，改进工艺，以便使工艺达到最佳化。

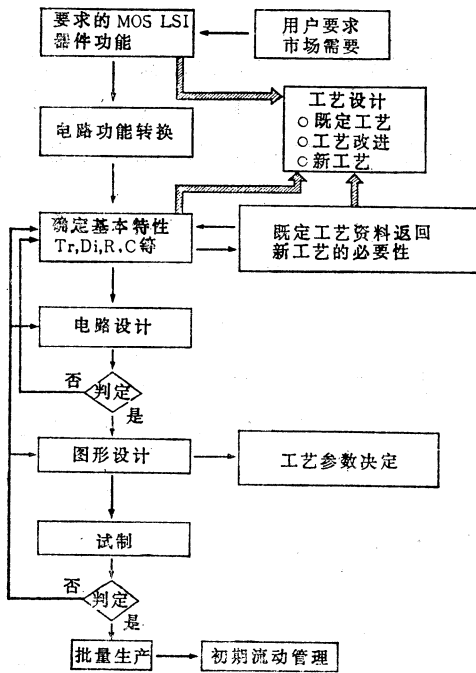


图10-1 器件制造中的基本流程

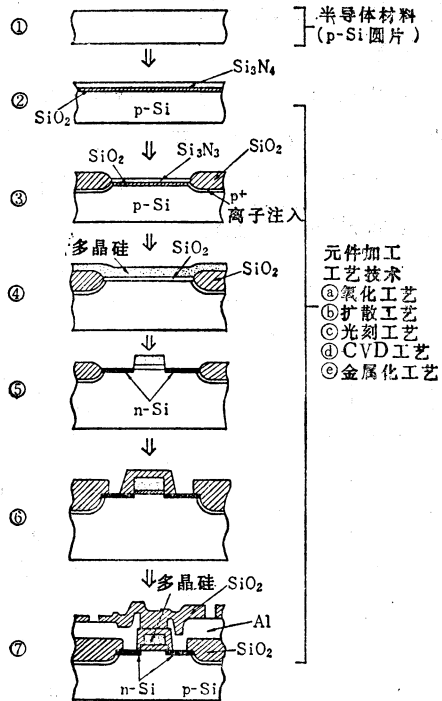


图10-2 硅栅MOS的制造工艺

### 10.2.2 MOS器件的加工工艺

现在，MOS结构大部分属于铝栅MOS和硅栅MOS。硅栅MOS比铝栅MOS容易实现高密度<sup>[7]</sup>，具有许多优点。图10-2是硅栅MOS器件加工工艺的概况。要制造出MOS器件，就要反复地进行氧化工艺、掺杂的扩散工艺、形成图形的光刻工艺以及生成 $Si_3N_4$ 、多晶硅、 $SiO_2$ 膜的CVD工艺和形成电极布线的金属化工艺。

在这种情况下，如果工艺是最佳的，那么，生产出来的MOS器件的质量应该和当初设计的质量相同。

### 10.2.3 工艺设计和4M

IC行业越被说成是设备行业，设备对制造工艺的影响也就越大。而只有合理的组织好4M，才可能达到工艺最佳化。

即使买进了先进的设备，但如果材料、加工方法和使用设备的人不行的话，就不能够充分发挥设备的效能。对于材料、加工方法和人员来说也是同样。所以必须要使4M达到一定的水平。

下面讲述一下4M。

1) 材料

材料的选择非常重要，需要充分考虑到工艺以选用适当的材料。主要材料有硅片、试剂、气体、纯水、掩模版、组装材料（管壳、管帽、管座、模制树脂、金线和铝线等）。一定要确定这些材料的质量，从而就需要进行各种实验和评价。当然要想都很满意是不可能的。尽管在实验室里确定了质量，但一到了批量生产线上也会出现许多问题，这就需要重新确定质量。

当对基本材料——硅片进行研究时，首先要确定硅片的尺寸，然后根据硅片尺寸来研究工艺设备。图10-3表示硅片尺寸逐年向大直径（以英寸为单位）发展的情况。硅片尺寸的大小标志着制造工艺的一种技术水平。从图10-4可以看出硅单晶中缺陷密度在逐年减少，因此可以实现高性能器件。

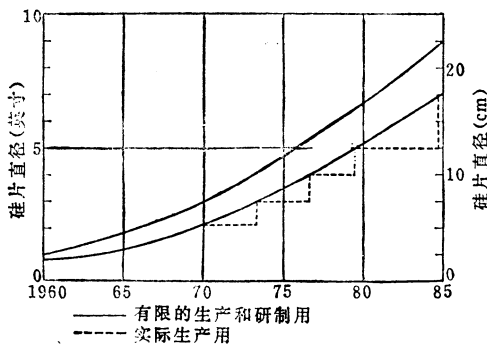


图10-3 硅片大直径化的进展情况

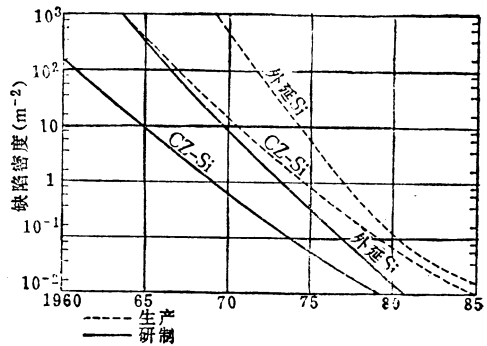


图10-4 硅片缺陷密度的减小情况

硅片向大直径发展，MOS器件加工的基本工艺仍不变，但在实用方面却出现很大差异。特别需要注意以下几点。

- (1) 在扩散、氧化工艺中硅片的翘曲和膜厚的均匀性；
- (2) 在腐蚀工艺中硅片内腐蚀速度的均匀性；
- (3) 在CVD工艺中的膜厚均匀性；
- (4) 在各工艺间硅片的处理。

这些问题如不能通过基础实验得到完全解决，就不能进行批量生产工艺的工艺设计。因为即使基本问题完全解决了，但在批量生产阶段也会出现许多问题，即在按比例扩大的阶段开始出现的问题，例如硅片与硅片之间、批与批之间的分布不均等。

图10-5表示4英寸硅片在各工艺中的翘曲情况，硅片的翘曲程度随经过的处理工艺而变化。当在硅片上生长 $Si_3N_4$ 时，便要翘曲成凹面；当对 $Si_3N_4$ 进行选择腐蚀，再生长一层多晶硅时，硅片就会变成凸面。翘曲与晶片厚度也有关，如果厚度大，当然会减小翘曲。图10-6是硅片最初翘曲状态与工艺流程的关系，从中可以看出初期的翘曲对以后的影响。

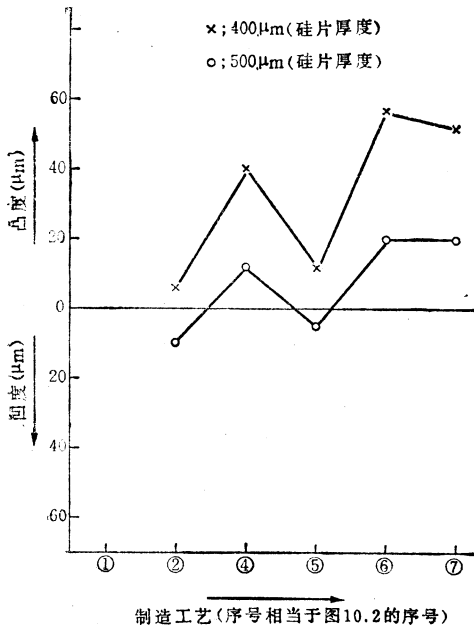


图10-5 硅片翘曲和制造工艺的关系

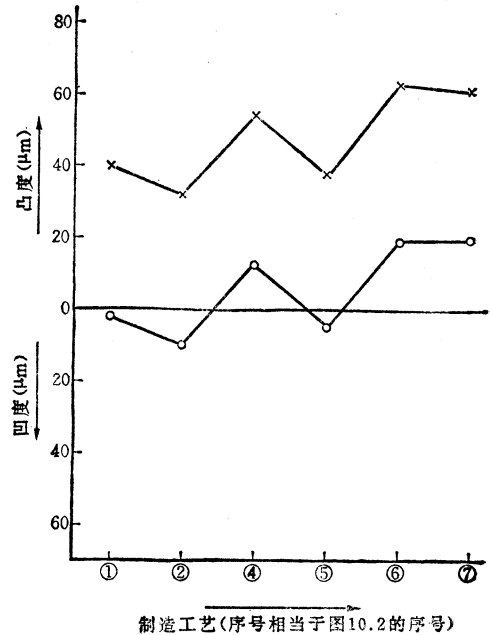


图10-6 硅片翘曲和工艺流程的关系

所以在购入硅片时，其厚度和翘曲程度都必须根据制造工艺来确定。表10-1是硅片尺寸和厚度的标准规格。硅片尺寸如果增大，当然厚度也要增大。

下面简单讲一下试剂。在硅片加工工艺中需使用许多试剂。在腐蚀 SiO<sub>2</sub> 时使用 HF 和 NH<sub>4</sub>F；在清洗硅片时使用 H<sub>2</sub>SO<sub>4</sub>、H<sub>2</sub>O<sub>2</sub> 和 NH<sub>4</sub>OH 等试剂。而在去掉光刻胶时，则使用有机溶剂。所用试剂的纯度非常重要，特别是钠离子等碱金属和铁等重金属，必须在 1 ppm (百万分之一) 以下，一般都使用市售的半导体级的试剂。表10-2是某试剂厂家的试剂纯度。在使用 HF 时必须特别要注意，如果混入微量的硝酸，硅片就会被沾污。另外在处理试剂时，要充分考虑到公害问题，必须实施安全的处理。

表10-1 硅片尺寸与厚度和翘曲的关系

| 硅片尺寸 |     | 厚度(μm) | 硅片翘曲(μm) | 硅片斜度(μm) |
|------|-----|--------|----------|----------|
| 英寸   | mm  |        |          |          |
| 2    | 51  | 280±25 | 38.1     | 12.7     |
| 3    | 76  | 380±25 | 50       | 25       |
| 3.5  | 90  | 475±25 | 55       | 45       |
| 4    | 100 | 625±25 | 60       | 50       |

(资料：由半导体设备和材料协会提供)

表10-2 在MOS器件制造中所用试剂的纯度

(单位：ppm)

| 主要杂质 | 冰醋酸   | 硫酸    | 氢氟酸  | 过氧化氢 |
|------|-------|-------|------|------|
| 砷    | 0.005 | 0.005 | 0.03 | —    |
| 铝    | <0.1  | 0.5   | 0.05 | 0.5  |
| 钡    | 0.5   | 0.5   | 0.5  | 0.5  |
| 硼    | 0.1   | 0.01  | 0.01 | 0.05 |
| 钙    | 0.5   | 0.5   | 0.5  | 0.5  |
| 铜    | 0.1   | 0.1   | 0.05 | 0.02 |
| 铁    | 0.2   | 0.2   | 0.5  | 0.5  |
| 锂    | 1     | 1     | 1    | 1    |
| 镁    | 0.5   | 0.5   | 0.05 | 0.1  |
| 镍    | 0.1   | 0.1   | 0.1  | 0.02 |
| 钾    | 1     | 1     | 1    | 1    |
| 钠    | <1    | <1    | <1   | <1   |
| 锶    | 0.5   | 0.5   | 0.5  | 0.5  |

此外在气体 (H<sub>2</sub>、O<sub>2</sub>、N<sub>2</sub> 等) 和纯水方面也要求达到高纯度。

2) 加工方法和设备



下面将 MOS 制造工艺中的加工方法和设备的特征, 按图10-2所示的器件加工工艺(氧化工艺、扩散工艺、光刻工艺、腐蚀工艺、CVD 工艺和金属化工工艺)的顺序讲述一下。

### a) 氧化工艺

氧化工艺是形成 MOS 器件的栅区  $\text{SiO}_2$  和场区  $\text{SiO}_2$  的重要工艺, 与 MOS 器件基本特性之一——阈值电压 ( $V_T$ ) 值有关。即如下面公式所示,  $V_T$  直接受  $\text{SiO}_2$  的膜厚和  $\text{SiO}_2$  的质量的影响。

$$V_T = \phi_{MS} - Q_{SS}/C_{ox} + 2\phi_F + Q_B/C_{ox} \quad (10-1)$$

式中,  $\phi_{MS}$  是栅材料和衬底间的功函数差;  $Q_{SS}$  是 Si-SiO<sub>2</sub> 界面的固定电荷;  $C_{ox}$  是栅绝缘膜静电电容;  $\phi_F$  是衬底的费米电位;  $Q_B$  是表面耗尽层区域的电荷。由于  $C_{ox}$  与栅绝缘膜的厚度 ( $t_{ox}$ ) 有关,  $Q_{SS}$  又与绝缘膜 ( $\text{SiO}_2$ ) 的质量有关, 所以  $t_{ox}$  的控制和  $\text{SiO}_2$  的纯度便成了关键问题。

作为氧化方法, 有像热氧化<sup>[8]</sup>和阳极氧化<sup>[9]</sup>那样靠硅本身氧化形成  $\text{SiO}_2$  膜的方法, 和像气相生长及溅射那样在硅表面淀积一层  $\text{SiO}_2$  膜的方法。热氧化法主要用来制作杂质扩散的掩膜、保护元件表面的钝化膜和 MOS 的栅绝缘膜。CVD 用来制作元件的钝化膜。在这里所说的氧化工艺指的是热氧化。

作为热氧化法有水汽氧化法、湿氧化法、干氧化法、HCl 氧化法和高压水汽氧化法。

水汽氧化法和高压氧化法生长  $\text{SiO}_2$  膜的速度快, 因而用于形成 MOS 器件场区  $\text{SiO}_2$  膜。高压水汽氧化是热氧化中生长速度最快的, 一般被用于低温氧化。图10-7是在10个大气压下的高压氧化同在1个大气压下的水汽氧化的  $\text{SiO}_2$  膜生长速度<sup>[10]</sup>的比较, 可以实现  $100^\circ\text{C}$  以上的低温化。但由于设备操作复杂, 目前作为批量生产工艺, 还没有达到实用化。如果微细图形技术和浅结继续发展的话, 就会进一步要求低温氧化, 高压氧化作为批量生产工艺, 通过改进后可以达到实用化。湿氧化法是在水汽中加入  $\text{O}_2$ , 进行热氧化的方法,

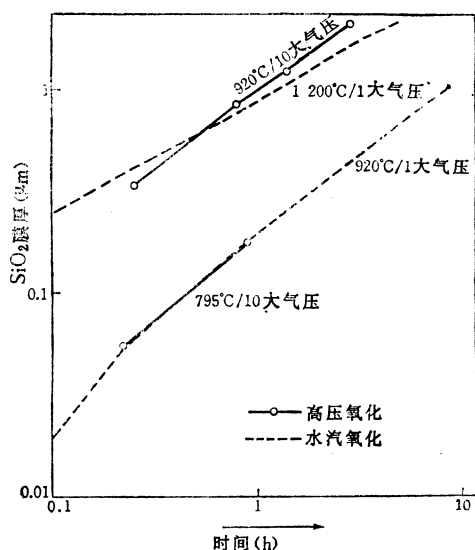


图10-7 采用高压氧化法的  $\text{SiO}_2$  膜的生长速度

随着  $\text{O}_2$  的流量不同,  $\text{SiO}_2$  膜的生长速度也不一样, 所以从形成栅区  $\text{SiO}_2$  膜到形成场区  $\text{SiO}_2$  膜都很方便, 在批量生产工艺中用得最多。图10-8是在  $1000^\circ\text{C}$  下采用水汽氧化和干氧

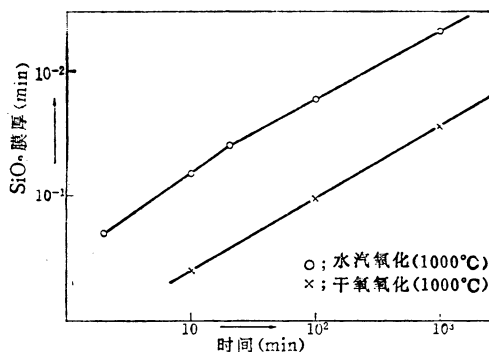


图10-8 在水汽氧化和干氧化中  $\text{SiO}_2$  膜的生长速度

氧化时的 $\text{SiO}_2$ 膜生长速度，湿氧氧化法处于两者之间。 $\text{HCl}$ 氧化<sup>[11]</sup>是在干 $\text{O}_2$ 中掺入百分之几的 $\text{HCl}$ 、 $\text{Cl}_2$ 、 $\text{C}_2\text{HCl}_3$ 等来形成 $\text{SiO}_2$ 膜的方法，在MOS结构中，用这种方法可使 $\text{Si-SiO}_2$ 界面的表面电荷密度变小，并且电气特性也稳定，已经用于形成栅绝缘膜。特别是可使公式(10-1)中 $Q_{ss}$ 的偏差变小，这是其优点。

作为热氧化设备，一般使用氧化炉。就氧化炉的基本性能来说，首先要尽可能把恒温区作的长一些，以便可同时处理大量硅片；其次能够放进大直径硅片也是重要的条件。在使用大直径硅片（3英寸以上）的情况下，放入或取出硅片的速度必须快，否则由于硅片内承受的温度变化不均匀而产生应力，引起晶体缺陷，如果严重的话，硅片会产生塑性变形，造成翘曲。此外，反应管直径和硅片直径的相互关系也是重要的因素。最近发展起来的可以自动控制炉子的温度分布、气体流量和氧化时间的微型计算机，已经达到了实用阶段。通过微型计算机的控制，可以考虑提高 $\text{SiO}_2$ 膜厚精度的问题。在 $\text{SiO}_2$ 膜厚度控制方面，重要的是氧化时的石英管和舟的形状，而硅片的间隔等也是问题。对于这些需要进行各种实验求得解决。

### b) 扩散工艺

向硅片中扩散杂质时应该注意的事项是进入硅中的杂质的密度( $N_s$ )和深度( $x_j$ )。 $N_s$ 和 $x_j$ 由于对MOS器件的结电容( $C$ )、耐压( $V_B$ )以及电阻( $R$ )等有影响，所以必须控制在器件设计规格内，并选定与此相适应的扩散方法。

杂质扩散方法分热扩散法和离子注入法两种。热扩散法适用于形成MOS器件的源、漏或电阻，而离子注入法适用于沟道阻止区、阈值电压控制、电阻和一般低浓度扩散。

下面介绍一下热扩散法(开管法)。表10-3是在热扩散(开管法)中各种杂质的扩散方法<sup>[12]</sup>。作为杂质扩散源，有液体、固体和气体三种，根据它们的性能、能否批量生产和经济性等，来确定使用哪一种。一般形成p型区时使用硼(B)，形成n型区时使用磷(P)。最近，用砷(As)形成浅结也已经达到实用化。扩硼时多使用气体( $\text{BCl}_3$ 、 $\text{B}_2\text{H}_6$ )，扩磷时多使用气体( $\text{PH}_3$ )和液体( $\text{POCl}_3$ )。

扩散设备和氧化设备使用同样的炉子，除杂质供给部分之外，其基本性能也相同。由于反应管和放硅片的舟的形状不同，将会造成硅片内杂质浓度不均匀，所以需要制作各种形状的舟，经过实验找出最合适的形状。能使硅片处于反应管中央的舟为最好。

### c) 光刻工艺

光刻工艺是为了能在硅片上有选择性地腐蚀、氧化和扩散等所进行的必要的开口工艺。这是要求精度较高的工艺。光刻工艺由涂胶→前烘→对准曝光→显影→坚膜的曝光工艺和腐蚀→去胶的腐蚀工艺所组成。随着MOS器件向多功能化、高速化和高密度化的发展，光刻所要求的加工精度也越来越高了，并开始要求加工到 $1\mu\text{m}$ 以下的精度。

光刻工艺中最重要的是开窗口的精度，即按照掩模图形尺寸开窗口。为此需要选择适合于光刻胶材料的工艺条件。为了能够在硅片上均匀地涂上光刻胶，最好是能够求出滴下的光刻胶量和硅片转数的关系，找出最佳值。光刻胶的固化度和曝光条件微妙地影响着通过对准曝光和显影所开的窗口，是技术性最强的工艺。作为曝光时与掩模版紧密接触的方法有：①硬接触；②软接触；③近接触；④投影。接触方式的紧密性好，所以光刻的精度

表10-3 各种杂质和扩散方法

| 杂质扩散源         |                          | 扩散气氛   | 优点                                | 缺点  |   |
|---------------|--------------------------|--|-----------------------------------|---|---|
| 液体            | P                        | POCl <sub>3</sub><br><br>PCl <sub>3</sub><br>PBr <sub>3</sub>        | 氧化性(预淀积) + 非氧化性(主扩)<br>同上<br>非氧化性 | • 浓度范围比较宽, 也容易控制<br>• 在衬底表面上的 P <sub>2</sub> O <sub>5</sub> 不凝结(浓度误差小, 无管状物)                        | • 每次都必须测量与扩散炉反应管的尺寸和衬底样品的排列相对应的条件   |
|               | B                        | BBr <sub>3</sub><br>BCl <sub>3</sub>                                 | 氧化性<br>氧化性                        | • 同上  | • 高浓度时, 在Si上和SiO <sub>2</sub> 上产生一种难溶性膜   |
| 固体 I          | P                        | P <sub>2</sub> O <sub>5</sub>  | 氧化性或非氧化性                          | • 容易得到高的表面浓度  | • 衬底内和衬底之间的浓度偏差大<br>• 在表面容易产生P <sub>2</sub> O <sub>5</sub> 凝结, 会出现被称作“管状物”(pipe)的缺陷<br>• 工艺条件对气体中的水分敏感    |
|               | B                        | H <sub>3</sub> BO <sub>3</sub><br>B <sub>2</sub> O <sub>3</sub>      | 氧化性或非氧化性                          | • 同上  | • 在扩散源溶解时容易发生突然沸腾<br>• 样片盘(扩散舟)容易和石英管沾在一起(P <sub>2</sub> O <sub>5</sub> 也同样)                              |
|               | Ga                       | Ga <sub>2</sub> O <sub>3</sub>                                       | 还原性(H <sub>2</sub> 或CO)           | • 适合比较低浓度的扩散  | • 由于采用H <sub>2</sub> , 所以要注意安全  |
|               | Sb                       | Sb <sub>2</sub> O <sub>4</sub>                                       | 非氧化性                              | • 用气体中含水分的量来控制表面浓度比较容易  |   |
| 固体 II (掺杂氧化物) | P<br>As<br>B<br>Sb       | 掺杂氧化物  | 非氧化性或氧化性                          | • 表面浓度控制范围非常宽(约10 <sup>16</sup> 个/cm <sup>3</sup> ~固溶限度)<br>• 完全不受反应管形状、衬底排列和气体流量等的影响<br>• 扩散层的均匀性好 | • 受在掺杂氧化物-Si衬底边界产生的自然氧化物的影响(B的情况下)<br>• 进行高浓度扩散时, 会产生特有的表面缺陷(在As的情况下)<br>• 进行高浓度扩散时除掉掺杂氧化物比较困难(在B和As的情况下) |
| 固体 III        | P                        | 以 P <sub>3</sub> N <sub>5</sub> 为主要成分的陶瓷                             | 氧化性或<br>非氧化性                      | • 不需要特殊的掺杂设备  | • 在高温下, 扩散源物质不稳定  |
|               | B                        | 以 BN 为主要成分的陶瓷  | 氧化性或<br>非氧化性                      | • 同上  | • 在使用扩散源物质之前必须要细致地进行检查, 提出条件  |
| 气体            | P<br>As<br>B             | PH <sub>3</sub><br>AsH <sub>3</sub><br>B <sub>2</sub> H <sub>6</sub> | 氧化性或<br>非氧化性                      | • 掺杂设备的设计简单<br>• 浓度控制比较容易   | • PH <sub>3</sub> 、AsH <sub>3</sub> 和B <sub>2</sub> H <sub>6</sub> 都是剧毒品, 使用时要注意                          |
| 离子            | P<br>B<br>As<br>Sb<br>其它 | —  | 非氧化性或<br>氧化性                      | • 不需要扩散炉这样的掺杂设备<br>• 均匀性非常好<br>• 浓度控制范围非常宽<br>• 对衬底表面状态的影响小<br>• 作为预淀积的掩膜可以使用光刻胶和金属膜等               | • 在高浓度情况下, 会产生由离子辐射损伤所带来的缺陷, 引起异常扩散   |

高。但硅片会粘到掩模版上取不下来，出现所谓滞胶现象，损坏掩模版或硅片，造成成品率下降。近接触是使掩模版和硅片之间相距几微米进行曝光的方式，如果硅片有翘曲等现象，就达不到足够的精度。投影方式是利用高性能透镜，把掩模图形放大或缩小，并投影到硅片上，这种方法的掩模版可以半永久地使用。目前该方法已达到了实用化，但设备非常贵。一般认为，由于投影方式对提高成品率有很大作用，所以今后将会逐渐在制造工艺中采用。

对于显影来说，可采用喷雾方式。只要控制喷雾时硅片旋转速度、显影液和冲洗液量，就不会有什么问题。所以说主要依赖于设备的精度（喷嘴等）。

坚膜是为了使涂在硅片上的光刻胶膜具有足够的耐腐蚀性，进一步固化光刻胶。坚膜烘烤的温度要适宜，温度高（200°C）时，光刻胶就会塌边，破坏了窗口形状；温度低时，光刻胶就不能充分固化，从而在腐蚀工艺中会造成过腐蚀。这个温度取决于光刻胶材料，一般为150°C左右。

曝光工艺中的一系列设备都非常重要，设备厂家进行了各种研究，给市场提供了先进的设备。最近所谓的“联机系统”，就是可以连续地处理从涂胶→前烘→对准曝光→显影一直到坚膜的方式，这一方式已达到了实用化。在联机系统中，必须充分考虑到处理能力的平衡、设备的可靠性和遇到故障时的处理方法。在对准曝光方面为了进一步实现微细图形化，正在研制电子束曝光，并使之达到实用化。

所谓腐蚀工艺，就是高精度地腐蚀掉在曝光工艺中所开的窗口部分，有采用腐蚀液的方法（湿法）和等离子体腐蚀的方法（干法）。采用腐蚀液的方法分浸渍方式和喷雾方式两种。被腐蚀的材料有硅片表面的 $\text{SiO}_2$ 膜、 $\text{Si}_3\text{N}_4$ 膜、多晶硅膜、PSG（磷硅玻璃）膜和铝膜等。过去由于浸渍方式操作简单，使用简单等，被广泛采用，但该法很难提高腐蚀精度。随着器件图形向微细化发展，喷雾方式和等离子体方式正在达到实用化。喷雾方式具有侧向腐蚀少，也没有残留气泡等优点，是比较好的方式。但腐蚀液温度难以控制。该方式适合于腐蚀铝膜。等离子体腐蚀方式作为无公害的腐蚀方法受到人们重视，并已达到实用化。此外它的侧向腐蚀小，适合于加工微细图形。但由于等离子体会损伤硅片，所以需要进行热处理。表10-4表示了浸渍方式、喷雾方式和等离子体方式各自的特点。

作为腐蚀设备来说，是手工操作多，自动化程度低的工艺。不过最近象喷雾腐蚀设备已发展到了自动化。

表10-4 腐蚀方式及其特点

| 腐蚀方式   | 优点                         | 缺点            |
|--------|----------------------------|---------------|
| 浸渍方式   | 操作简单<br>温度容易控制             | 腐蚀微细图形困难侧向腐蚀大 |
| 喷雾方式   | 侧向腐蚀小<br>没有残留气泡<br>容易作到自动化 | 控制液体温度困难      |
| 等离子体方式 | 是无公害的方式<br>侧向腐蚀小           | 会给硅片带来损伤      |

## d) CVD 工艺

CVD 工艺最初是为了进行铝布线的钝化而采用的, 现在已用于制作多层布线之间的绝缘膜 (CVD 的  $\text{SiO}_2$  膜、PSG 膜)、栅电极 (多晶硅膜)、以及采用  $\text{Si}_3\text{N}_4$  膜进行局部氧化, 从而成为非常重要的工艺。CVD 工艺的水平可以说是衡量 MOS 器件制造技术高低的标准之一。

对该工艺的要求有以下几项:

- 1) 高纯度的膜 (膜质均匀);
- 2) 膜厚的均匀性要好 (在设计值以内);
- 3) 没有针孔和凸起。

对于 CVD 膜来说, 根据其性质不同, 腐蚀速度也会发生变化, 所以要求有均匀的膜质。CVD  $\text{Si}_3\text{N}_4$  膜和  $\text{SiO}_2$  膜容易成为富硅膜, 所以在设定工艺条件时必须特别注意。需要设定使批间、片间和片内的偏差达到最小的条件。在膜的厚度方面也同样。即使得到了膜质和膜厚的最佳值, 如果存在针孔和凸起, 也会出现使器件成品率下降的问题。那么要想求出这些最佳值, 就需要变换各种工艺条件, 采用实验计划法有效地进行实验, 设定出条件。表10-5是目前已实用的 CVD 膜和反应系统及其用途。最近作为  $\text{Si}_3\text{N}_4$  膜的低温生长, 人们很重视等离子体  $\text{Si}_3\text{N}_4$  生长, 它作为铝布线后钝化, 它已达到实用化。

表10-5 CVD中的物质种类和用途

| 种 类                     | 反应系统                                   | 生长温度      | 用 途                        |
|-------------------------|--|-----------|----------------------------|
| $\text{SiO}_2$          | $\text{SiH}_4\text{-O}_2$              | 350~450°C | 铝布线后的钝化<br>在多层布线中布线间的绝缘    |
| PSG                     | $\text{SiH}_4\text{-O}_2\text{-PH}_3$  | 350~450°C | 同 上                        |
| $\text{Si}_3\text{N}_4$ | $\text{SiH}_4\text{-NH}_3$             | 750~850°C | 局部氧化法, 铝布线前的钝化<br>硬绝缘膜的一部分 |
|                         | 等离子体 $\text{SiH}_4\text{-NH}_3$        | 350~450°C | 铝布线后的钝化                    |
| 多 晶 硅                   | $\text{SiH}_4 + \text{N}_2$            | 700~850°C | 布线                         |
|                         | $\text{SiH}_2\text{Cl}_2 + \text{N}_2$ | 800~900°C | 栅电极                        |

作为 CVD 设备, LPCVD(低压化学汽相淀积) 在处理能力和膜厚的均匀性上, 都优于过去的常压平板型, 目前已达到实用化。但是 LPCVD 存在操作复杂、真空系统漏气和真空泵油变质等问题, 需要充实设备维修体制。

## e) 金属化工艺

MOS 器件对金属化工艺的要求如下:

- 1) 膜质 (与  $V_T$  特别是  $Q_{ss}$  有关);
- 2) 膜厚 (与加工性有关)。

另外作为金属化材料来说, 要满足以下各项要求:

- 1) 同硅的欧姆接触容易;
- 2) 与绝缘膜的粘附性好;

- 3) 电阻率小;
- 4) 电性能稳定;
- 5) 腐蚀等加工容易。

满足这些条件并广泛采用的材料是铝。用铝作 MOS 器件的金属布线和栅电极时也 存在膜质问题,重要的是铝的纯度和使用方法。一般要求铝的纯度在99.999%以上,并要充 分将它清洗后再使用。清洗时不能用有机溶剂,而必须用无机试剂。因为在有机溶剂里含 有许多钠离子等金属离子。

金属化方式有采用钨丝的电加热方式,以及电子束方式和溅射方式等。而由于电子 束方式在生产能力和膜质上都比较好,所以使用的较多。但存在由电子束产生的二次 X射 线损伤硅片的问题。用磁控管溅射的方式是无损伤的方式,最近受到人们的重视。

对于设备来说,分批方式的较多,而随着硅片的大直径化,设备本身也发展到大型化, 这就给处理能力带来了限制。最近正在研究将由分批方式改成连续方式,并使之达到实用 化。特别是对磁控管溅射的连续方式进行了许多研究。

### 3) 人员

决定材料、加工方法和设备的是人。所以说在 MOS 器件制造的所有阶段中人的作用 最大。工艺的最佳化,在很大程度上也会受到本部门领导的方针的影响。而要想确定方针, 就需要各有关人员提供确切的资料。根据有关人员的能力和技术水平的不同,资料内容也 不一样,所以教育是非常重要的,特别是当进入工艺设计后的生产阶段时,技术人员的教育 尤为重要。技术人员的能力和熟练程度是左右工艺水平的重要因素。

目前,在各阶层都必须更充分地进行以 OJT (工作训练) 为中心的教育训练工作。

## 10.3 工艺改进

当工艺设计完成,进入实际工艺建设和操作时,一般在实验室或试制时没有弄明白的 问题,很多是在按比例扩大和大量生产阶段才能搞清楚,并且很多工艺都是在操作管理阶 段进行修改后所完善的。在操作管理阶段最重要的事情是调查工艺能力。在此讲一下有关 工艺能力和工艺改进。

### 10.3.1 工艺能力

所谓工艺能力可定义为“所给出的工艺在一定期间处在统计的管理状态时的能力”<sup>[18]</sup>。 作为掌握工艺能力的一种办法有工艺能力指数 $C_p$ ,用下式表示。

$$C_p = \frac{\text{规格宽度}}{6\sigma} \quad (\text{在两例规格的情况下})$$

式中, $\sigma$ 是标准偏差。

在这里 $C_p$ 是按表10-6进行划分的。在工艺设计时,各工艺所给出的规格值和实际值 的比 $C_p$ 大于1,则该工艺就应该是满足要求的,可以认为已达到了工艺最佳化。在 $C_p$ 小 于1的情况下,特别是处在D级时,需要对该工艺进行彻底分析和改进。这种分析如果按 4M的层次进行是有效的。

表10-6  $C_p$ 值和等级划分

| $C_p$ 值                | 等 级 | 备 考         |
|------------------------|-----|-------------|
| $C_p > 1.67$           | 特级  | 特别好         |
| $1.67 \geq C_p > 1.33$ | A级  | 足够好, 需要简化抽查 |
| $1.33 \geq C_p > 1.0$  | B级  | 比较好, 最好进行抽查 |
| $1.0 > C_p > 0.67$     | C级  | 稍微出现不好的情况   |
| $0.67 \geq C_p$        | D级  | 极差          |

## 10.4 结 束 语

有关工艺最佳化, 以 MOS 器件为中心讲述了其操作方法。而在技术革新频繁的今天, 今天的技术到了明天就有可能变成过时的东西, 所以必须要经常改进工艺。

IC器件的发展方向, 将是低功耗器件和巨型器件(多功能、高集成度、高速度), 这一点大体上是无疑的。这些器件必须适合于器件的工艺实用化。

合理地组织 4 M, 力求实现工艺的最佳化, 决定着 IC 行业的发展。

## 参 考 文 献

- [1] G.E. Moore, "Progress in Digital Integrated Electronics" IEDM p 11 (1975)
- [2] G.R. Madland "The Future of Silicon Technology" Solid-State Tech., p 91 (1977)
- [3] P.R. Schroeder "Prospects for the 64 k RAM" COMPCON Spring p 114 (1977)
- [4] B.J. Masters, J.M. Fairfield, J. Appl. phys., 40, 2390 (1969)
- [5] 朝香, 石川, 木暮, 水野編, 「計画と品質」第11回品質管理シンポジウム報文書) 日科技連出版社 1970
- [6] H.G. Rudenbarg "Approaching minicomputer on a silicon chip" Proc. SJCC p 755 (1972)
- [7] L.L. Vadasz, A.S. Grove, T.A. Rowe, G.E. Moore, IEEE Spectrum p 28 (1969)
- [8] R.M. Burger, P.R. Donovan, "Fundamentals of Silicon Integrated Device Technology" Prentice-Hall (1967)
- [9] A.G. Revesz, J. Electrochem. Soc., 114, 629 (1967)
- [10] R. Champagne and M. Toole, "High-Pressure-Pyrogenic Oxidation In the Production Environment" Solid-State Tech., p 61 (1977)
- [11] B. Deal "Thermal Oxidation Kinetics of silicon in Pyrogenic  $H_2O$  and 5% HCl/ $H_2O$  Mixtures" J. Electrochem. Soc., 125, 576 (1978)
- [12] 半導体ハンドブック (第2版) p 260 オーム社
- [13] J.B. Lounsbury, D.L. Klein "Electronic Packaging and Production" 59 (1974-3)
- [14] D.L. Spears, H.I. Smith, Solid-state Tech., p. 21 (1972)
- [15] A.K. Sinha, H.J. Levinstein, T.E. Smith, G. Quintana and S. Haszho. "Reactive Plasma Deposited SiN Films for MOSLSI Passivation" J. Electrochem. Soc., 125, 601 (1978)
- [16] Western Electric Co. 著(住友電気工業訳), "統計的品質管理ハンドブック" p 66 日科技連出版社

## 《特约稿件》

# 薄膜外延生长

本庄五郎

### 1. 前言

对于某一种晶体在其它晶体上受到其制约而以特定的方向进行生长的外延现象, 从上一世纪起就引起了人们的注意, 最初注意到的是矿物的平行生长。“排列”(arrangement on) 这个词乃是 Royer 于 1928 年提出的<sup>[1]</sup>。他通过用光学显微镜进行形态观察, 研究由溶液生成的晶体的平行生长, 发现在这种条件下衬底-生长晶体之间的界面晶格不一致(晶格失配,  $\eta = (a_d - a_s)/a_s$ ,  $a$  为晶格常数,  $d$  为淀积,  $s$  为衬底) 程度较小。从三十年代初期开始采用高能电子衍射(HEED) 进行这方面的研究, 结果表明, 由氧化和硫化产生的固体表面生成物质、电解膜和蒸发膜有着显著的外延特征, 这一发现引起了该领域研究人员的极大兴趣。到五十年代中期, TEM(透射电子显微镜) 开始普及, 由于当时迅速发展起来的外延薄膜广泛地应用于电子器件, 所以采用 TEM 对薄膜的研究便迅速发展起来。近来又相继采用了 LEED(低能电子衍射)、AES(俄歇电子能谱学) 和 UHV·R-HEED(超高真空反射高能电子衍射) 等方法, 从而大大加快了研究的步伐。多年来的这些研究成果业已归纳在若干综述或说明中, 但最新的和最全面的还是由 Mattheue 主编的“外延生长”一书。该书分为 A、B 二卷, A 卷继 Pashley 做出的历史性的预言之后<sup>[1]</sup>, 阐述了从原始的电解和蒸发到目前的液相外延法的各种薄膜制造法和 HEED、TEM<sup>[2]</sup> 和 LEED-AES<sup>[3]</sup> 等薄膜鉴定方法。B 卷则分别论述了薄膜生长机理、结构和组分<sup>[4]~[7]</sup>, 书后附有便于查阅的图表<sup>[8]</sup>, 这是对将近三千篇文章加以整理后列出大约 300 种膜物质, 并将其中的每一种都按不同的种类、性质分别与十多种衬底物质组合而成的体系。

在这本书中读者可以看到, 薄膜外延生长机理的研究主要是就真空蒸发膜开展的。这是因为, 其条件和控制过程较其它方法简单, 生长的各种形态也是最典型的。而且, 其主要研究手段是 TEM 法。虽然采用 LEED, R-HEED 和 AES 可以搞清单原子层甚至更细小的构造和组分, 但所获得的只是一定范围内的平均结果, 对于薄膜生长中的主要问题, 如微细晶粒子的形态和分布、或者位错等缺陷组织(即形貌), 则得不到什么有益的启示。

外延薄膜的生长有两种基本的形式<sup>[1]</sup>。一种是核生长(nucleation and growth), 它的生长过程是: 附着在衬底表面的膜物质的原子或分子, 在膜上移动的过程中汇合, 汇合的原子或分子一旦超过某一临界值, 便形成能够稳定生长的核。分布在衬底面上为数很多的核在生长过程中相互结合为一体, 最后形成一致的膜。对水汽凝结于壁面这一过程, Volmer 和 Weber 等于 1926 年提出的异质成核理论是适用的<sup>[4][5]</sup>。另一种是逐层生长(monolayer-by-monolayer overgrowth), 其生长过程是: 原子或分子均匀地纷纷降落到整个衬底面上, 并直接附着在衬底之上, 于是, 膜的原子或分子面就一层又一层地堆积起



来<sup>[6][7]</sup>。目前认为在膜-衬底之间的相互作用即界面力弱时会发生核生长,反之,强的时候则会发生逐层生长。但在试图用单一的机理来解释外延现象的初期,曾围绕着提出二种生长形态是否适当而发生争论。Pashley于1956年<sup>[9]</sup>和1965年<sup>[10]</sup>所作的综述和Matthews于1967年<sup>[11]</sup>所作的综述分别是这一期间划时代的里程碑,其意义是深远的。Finch和Quarrell<sup>[12]</sup>认为,之所以发生外延乃是逐层生长的膜采取完全适合于衬底晶格的假同晶结构的缘故。Frank和Van der Merwe<sup>[13]</sup>则提出了这样一个理论,即在膜尚薄时采取的是假同晶结论,但一旦超过了一定的厚度便会在界面形成位错(失配位错——MD's)以缓和畸变,其密度随着膜厚的增加而增大,最后膜便恢复了其固有的结构。他们认为这种机理在膜和衬底晶格之间的固有晶格失配的某一限度内是可能的,因而能够解释Royer所提出的外延条件。然而,甚至在当时,采用HEED所获得的结果中,在晶格不一致超过这一理论限界时发生外延者也为数不少,此外,经过重新研究,还否定了Finch-Quarrell及其它采用HEED所获得的假同晶结构的报告。在1956年Pashley的综述中——这一综述乃是集HEED时代开始之前所有研究成果之大成的——主张以下二点:(1)晶格失配程度小并不是外延的必要条件;(2)在直观上易于理解的逐层生长并没有实例,而核生长乃是一般性的现象。这种说法,在当时欧美对薄膜开始重视的时期起了启蒙的作用。而在日本是上田<sup>[14]</sup>先生通过“现场观察”等研究确立了核生长的理论。上田在观察中发现,在HEED设备中,在辉钼矿(MoS<sub>2</sub>)等的矿物晶体解理面上蒸发的金属,几乎在开始蒸发的同时就呈现有相当于晶粒直径(远远大于其平均膜厚)的清晰衍射斑点。在这一时期,以上田的理论作为基础开展研究的科研人员相继获得了许多成果。如饲沼发现<sup>[15]</sup>,在MoS<sub>2</sub>上生长的Au和Ni晶粒在衬底表面第二层原子的影响下,大多有所谓双向性(double positions);而高木就低熔点金属蒸发微粒的熔点下降现象也进行了研究<sup>[16]</sup>,等等。进入TEM时代后,Bassett<sup>[17]</sup>和Sella等人<sup>[18]</sup>提出了这样一个方法,即将蒸发在碱卤化合物上的金属晶粒内部加非晶质炭膜,然后从衬底起用水加以剥离来进行观察。很多研究人员反复观察了从核刚形成后直径 $\leq 10$  Å的晶粒直到成为连续膜的生长过程,这样便以直观的方式确认了核生长。而Bassett的“现场观察”<sup>[19]</sup>进一步彻底搞清了这一现象。这是Bassett从神谷和上田研究的成果发表之前所展示的照片中得到启示而搞出来的。神谷和上田<sup>[20]</sup>直接观察了蒸发在薄MoS<sub>2</sub>上的Ag,发现由于Ag和MoS<sub>2</sub>的双重衍射效应而出现的莫尔条纹详尽地展示了晶向关系、Ag膜中位错和晶粒间界的构造。然而,对同样条件下的生长过程进行连续“现场”观察的结果,结合不同视野的静态观察展示了不能想象的动态过程,从而发现生长的Ag晶粒在温度远比起其熔点低的MoS<sub>2</sub>和石墨上,如同液体各晶粒相互之间那样,在外形急剧变化的同时进行聚结,并且从最初形成的核开始生长之后,在此期间还会相继出现二次成核。Pashley在Bassett由他的研究室转到其他单位去之后,和助手们一起对Au/MoS<sub>2</sub>进行连续观察,发现液滴状聚结(Liquid-like Coalescence)乃是由金属原子在表面快速自扩散造成的<sup>[21]</sup>,并对聚结时在晶粒间界形成位错后又消失,结果被蓄积起来,最终形成具有很多缺陷的膜这一过程做了分析<sup>[22]</sup>。这些“现场”TEM观察的结果是Pashley在1956年所作的综述的主要组成部分。

另一方面,Matthews<sup>[23]</sup>于1961年将在岩盐上双层蒸发的PbSe/PbS和Pd/Au用水剥下,通过TEM观察,发现其界面明显地出现了MD's,于是他和Jesser<sup>[24]~[25]</sup>又对

Au/Ag、Pt/Au、Fe/Cu 等进行了同样的观察，从此，逐层生长又受到人们的重视。在此之前，Cabrera<sup>[32]</sup>曾预料到初期假同晶结构的形成和 MD's 造成的失配得到缓和的情况在核生长的情况下也可能发生。Matthews 等人认为，他们在 PbSe/PbS、Pd/Au、Co/Cu 等中看到的 MD's 就是这种 Cabrera 型核生长的产物。这些观察和见解是 Matthews 在 1967 年所写的综述的中心内容。

于是，初期见解上的混乱便大致上得到了解决，基本的生长形式的概念也已经明确了，此后引入了由于超高真空技术的进步所带来的更先进的条件和方法，使研究更趋活跃，但是所获得的结果不但无助于理解外延薄膜生长机理，反而造成复杂的问题和混乱。譬如，LEED、R-HEED、AES 指出在表面和蒸发初期的吸附层里存在有独特的长周期结构<sup>[8][33]</sup>，另外，Stranski 和 Krastanov<sup>[34]</sup>提出了在形成一层乃至数层的假同晶结构膜之后引起核形成的所谓第三种生长形式<sup>[3][35]</sup>。然而，这种独特结构与随后的膜生成究竟有着何种关系，以及在界面力强、且膜畸变能量大的情况下所产生的第三种生长形式同已知的核生长和逐层生长应该如何对比等，具体的做法还不清楚。另外，在后来关于核生长和逐层生长研究中，Bassett-Pashley 等和 Matthews 等人在观察中所遇到的难点和问题仍然存在，而且具有许多难点和疑点的报告不断增加，这是实际状况。造成这种情况的原因之一，大概是由于薄层生长现象常常受难以检测和控制的微妙因素所支配，本来就很难捉摸的缘故。而在这项研究中起着主要作用的 TEM 法技术，后来并无本质上的进步，只是对极其有限的体系反复进行同质的观察，并过分地进行一般性的推论，这种原因也不能忽视。

鉴于这种观点，我们在近十年来<sup>[36][37]</sup>用电子显微镜对薄膜生长过程进行了“现场”观察。本节叙述了研究的结果，下节则介绍实验方法的概况，在 1.3 节中介绍采用电子显微镜所观察到的典型的核生长和逐层生长情况，说明基本特征，同时指出由于 Bassett-Pashley 等人和 Matthews 的错误认识或轻率地判断，导致后来薄膜生长理论方面的混乱。1.4 节和 1.5 节中分别提出了逐层生长和核生长中的更具体的问题。在逐层生长方面，由于是从与衬底晶格完全匹配的假同晶结构来加以分析的，故发生外延的过程是清楚的，问题在于，其匹配究竟是怎样由于 MD 的形成破坏的，也就是 MD's 在缓和膜-衬底晶格间晶格失配方面所起的作用及其生成机理。在核生长中，直观地看来也认为界面的晶格匹配是重要的，并且核形成时的取向排列的好坏决定膜的外延。这一见解一度被视为指导原理，但这是一个错误。认为在生长过程中相当大的粒子并进、旋转，并进行取向调整是重要的，也就是外延取决于“核形成后的过程”，这是最近的定论<sup>[4][5]</sup>。1.5 节的主题是对这种说法和 Cabrera 型核生长理论作了批判，最后简单叙述一下蒸发微粒的熔点下降，以及同该效应及薄膜生长有关的衬底表面缺陷的问题。实际上这是关于外延方面的最关键的问题，但事实上尚有很多未能写入文章。打算作为概括性的结论预先提出的是：以前采用 TEM 对薄膜所开展的研究由于技术上的限制而偏于一些特殊的系，而且研究是不完全的，因此，在 Matthews 等人的著作中，一些结论性的观点有不少根本性的错误。

我们曾就本章的内容写过一些说明和综述<sup>[38]~[45]</sup>。但由于篇幅所限或语言上的原因，说明和议论中有不足之处，在此拟尽可能地予以补充。

## 2. 超高真空电子显微镜“现场”观察法

在采用 TEM 对薄膜开展的研究中, 迄今已有大量的文献<sup>[8]</sup>, 但其中大多数只局限于观察已形成的膜。而多少也系统地观察整个生长过程的, 只有上节所提到的极少数的情况, 即 (1) 在碱卤化物, 特别是 NaCl 上的 Au 和 Ag, 和 (2) 在 MoS<sub>2</sub> 和石墨上的 Au 和 Ag 的核生长, 以及 (3) PbSe/PbS 和几种金属的组的逐层生长和核生长等。膜-衬底物质选择面这样窄是因为采用 TEM 观察, 样品必须薄得能让电子束穿透, 而制造这样的薄的样品一直十分困难。

就是在上述这些观察中, 也有以下几个困难之处。在观察采用其它蒸发设备制造样品的 (1) 和 (3) 中, 在一个视野只能观察到一个生长阶段, 需要同在另一视野的观察结合起来推测生长“过程”。Bassett 和 Pashley 等人对 (2) 进行的“现场”观察与上述情况不同, 乃是直接的, 是在 10<sup>-5</sup> 托左右的“污染的”真空室中进行的。也就是说, 以往的研究只是针对极其有限的系而且是以不完全的形式进行的。Pashley 在上述历史性展望<sup>[1]</sup>的总结中指出, 过去的研究过于集中在碱卤化合物上的金属方面, 他说: “应该认识到起步太迟了, 而现在是从这种小范围的过细的研究朝着浅显但范围广泛的体系进行“战略性”转移的时候了。”

就衬底-膜物质而言, 碱卤化合物和金属是一种有代表性的组合。不过所以乐于采用它, 主要原因是由于它容易做成供 TEM 观察的样品, 也就是从方便的角度来考虑的。而且, 采用相同的方法反复进行同样的观察未必就是深入细致的研究。据说碱卤化物的表面极不稳定, 即使在超高真空中它的结构也易发生变化<sup>[46]</sup>。由于实验方法上的限制, 以前的研究“战线”始终脱离不开这种体系。这种弱点与其说是出于战略上的错误, 不如说是战术上的贫困所致。笔者重视“现场”观察法是因为这种方法是摆脱这一困境的有效方法。

电子显微镜是一种结构复杂的设备, 一般要在 10<sup>-5</sup> 托左右的真空下操作。而且照射电子使残留碳化物分解淀积, 容易污染样品。为了在超高真空的洁净气氛中对蒸发膜的生长过程进行“现场”观察, 各研究单位于 1965 年开始推行改善电子显微镜真空度的计划, 并发表了若干篇真空度达到 10<sup>-8</sup>~10<sup>-10</sup> 托的报告<sup>[2][47]</sup>。但提出实际观察成果的并不多。一个原因大概是由于要想达到超高真空, 就必须舍弃样品的倾斜装置和交换机构。研究衍射对比度随样品方位的变化乃是探求晶体学知识的必要条件<sup>[48]</sup>, 微小的条件变化便会给薄膜生长带来严重影响, 所以在研究中必须经过反复实验, 才能确认结果。另一个原因是由于尚无作衬底用的薄的表面洁净的晶体的制备技术。据说 Bassett 和 Pashley 在制备衬底用的薄 MoS<sub>2</sub> 和石墨晶体时, 用溶剂来清洗使用赛洛带 (Cellotape) 劈开的晶体, 这种方法从表面洁净度的角度来看简直就是胡闹。原封不动地照搬这种方法, 并且只用层状解理的 MoS<sub>2</sub> 和石墨作为衬底, 这就给“现场”观察造成了困难<sup>[47]</sup>。我们在解决了这些问题后研究出一种可对各种衬底-膜物质在 10<sup>-8</sup>~10<sup>-10</sup> 托的超高真空中进行“现场”观察的技术。详细情况可参阅原著[49]、[50]和介绍[51], 现将要点简述如下。

我们所采用的电子显微镜, 在严格遵守市售品组装时的规定的情况下, 把整机本底真空度提高到  $2 \times 10^{-7}$  托的水平, 这比普通的电子显微镜约高出二个数量级。这样一来, 整个系统的设计就要比其它方式简单得多, 因为其它方式要对 10<sup>-5</sup> 托的本底真空施行大规

模的差动排气才能使整个系统成为干式超高真空系统。双蒸发源装入上部样品室，该室已利用超高真空泵差动排气达到  $1 \times 10^{-8}$  托的真空度，衬底晶体安放在侧面的样品台顶端，该样品台是由用液 He 或  $N_2$  致冷的低温片围绕着的，晶体周围的真空度保持在  $1 \times 10^{-8}$  或  $1 \times 10^{-10}$  托左右。物镜等的孔径驱动通过密封的膜盒来实现，样品位置和方向调整的驱动则是通过构成双重 O 型密封环并在中间进行差动排气来实现，这两种驱动方式都能达到超高真空，和普通的电子显微镜一样，能进行细致的微调。双蒸发源物质、衬底晶体和图像记录照相胶片均采用气塞方式予以装、取。装、取后，在几分钟内便可以恢复到上述的工作真空。样品室内部二个月要进行一次清扫。清扫后，则需进行一昼夜的预排气以恢复工作真空。除此之外，工作效率和性能与普通的电子显微镜不相上下。此外，这种电子显微镜还装有摄像系统，这种系统用比普通照相记录低一个数量级的照射电子便能进行 30 帧/秒的高速摄影。

用作衬底晶体的有：(1) 在空气中用针劈开、并经  $800^\circ\text{C}$  的烘焙、去除了表面吸附气体的  $\text{MoS}_2$  和石墨；(2) 经化学研磨至很薄、再用电子束弧光劈开的  $\text{MgO}$  和硫硒碲化合物；(3) 在 (1)、(2) 制得的薄衬底晶体上蒸发的金属及硫硒碲化合物等，这些物质都是在膜物质蒸发前放在超高真空电子显微镜的样品位置上进行最后精加工的。我们观察了衬底晶体上的各种金属、硫硒碲化合物和碱卤化合物的蒸发过程。碱卤化物的薄晶体也是采用电子束弧光法制备的，但由于经长时间电子照射会引起损伤，故未用作“现场”观察的衬底。在研究这种蒸发膜时应注意减弱照射并缩短照射时间。最近我们研制了供上述电子显微镜使用的溅射研磨离子枪<sup>[62]</sup>和电子束加热蒸发源<sup>[63]</sup>。利用这些便可将化学研磨的薄 Si、Ge 以及各种金属晶体的表面，放在电子显微镜样品位置上进行清洁处理，然后用作衬底晶体，并且由于也能蒸发 W、Mo、Zr 和 Nb 等高熔点金属，因而更进一步扩大了“现场”观察的应用范围。

观察用其它真空设备蒸发的样品的普通方法，是将晶块暴露在空气中并使用水等剥离，而后做成电子显微镜样品，因此衬底和膜物质的选择范围很小，而“现场”观察法就没有这种限制。另外，与每制备一次样品就要重新进行长时间的超高真空排气的方法相比，该法实验效率也要高得多。

### 3. 核生长和逐层生长的基本特征

图 1-1 的一组电子显微镜照片<sup>[45]</sup>，是对于在所说明的条件下的 Au/ $\text{MoS}_2$ 、即  $\text{MoS}_2$  解理面上 Au 的核生长过程的录像。从照片上可以看到已成核的 Au 颗粒一边生长，一边反复聚结的成膜过程。所有的颗粒上都沿着 a) 图中长箭头所指方向出现间隔  $17 \text{ \AA}$  的莫尔条纹，这种条纹乃是由 Au 的 (220) 反射和  $\text{MoS}_2$  的 (11, 0) 反射的双重衍射效应造成的。引人注目的是伴有明显外形变化的液滴状聚结，这种变形体从 d) 图的  $C_1$ 、 $C_2$  颗粒起到 e) 图和 f) 图的 C，从在 d) 图中能看到余象的  $D_1$ 、 $D_2$  颗粒起到 D，从 g) 图的  $E_1 \sim E_4$  颗粒起到 k) 图的 E 到处都有。在此期间莫尔条纹未消失表明这种聚结是以固体状态的形式发生的。另外，颗粒的接触部分形成的颗粒间界完全消失，聚结后的颗粒形成单晶并迅速恢复成规则的晶斑，这一现象也引起人们的重视。k) 图的 E 颗粒由于与周围的许多颗粒重叠聚结，在 l) 图便形成了大的单晶颗粒 F。a)、b) 图中以小箭头标

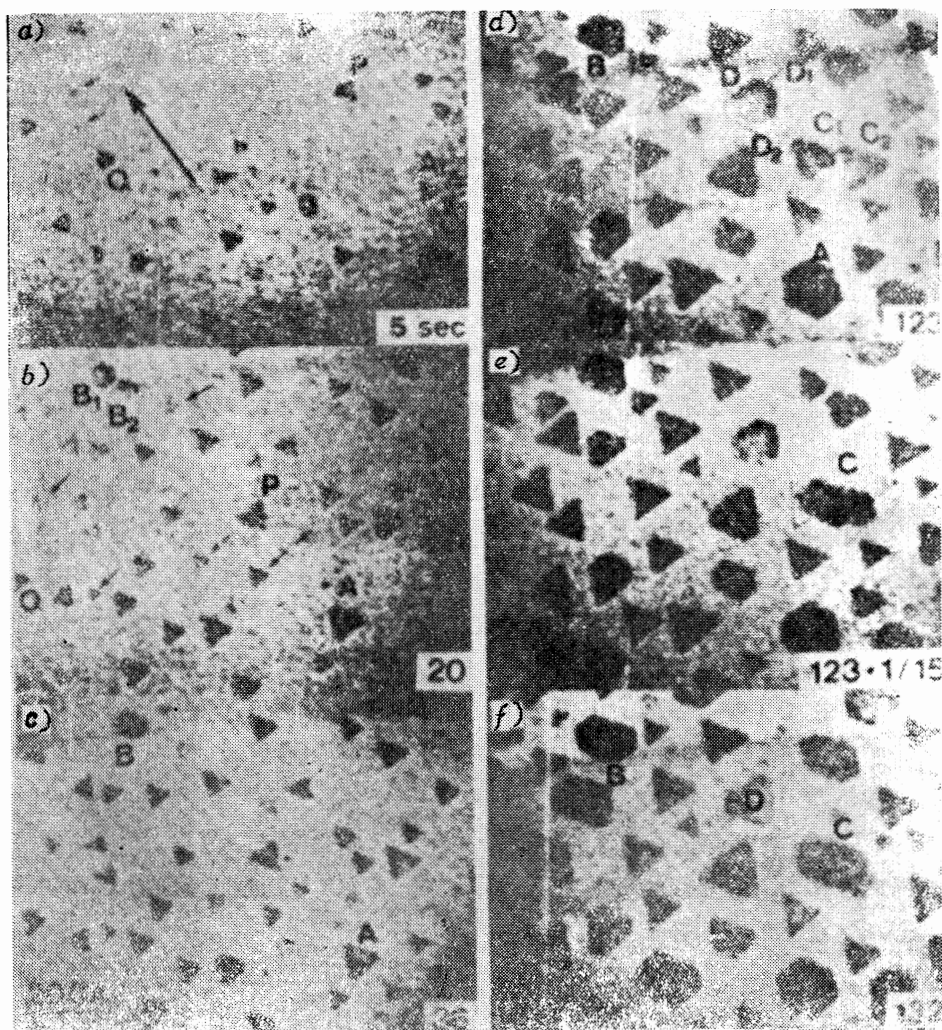
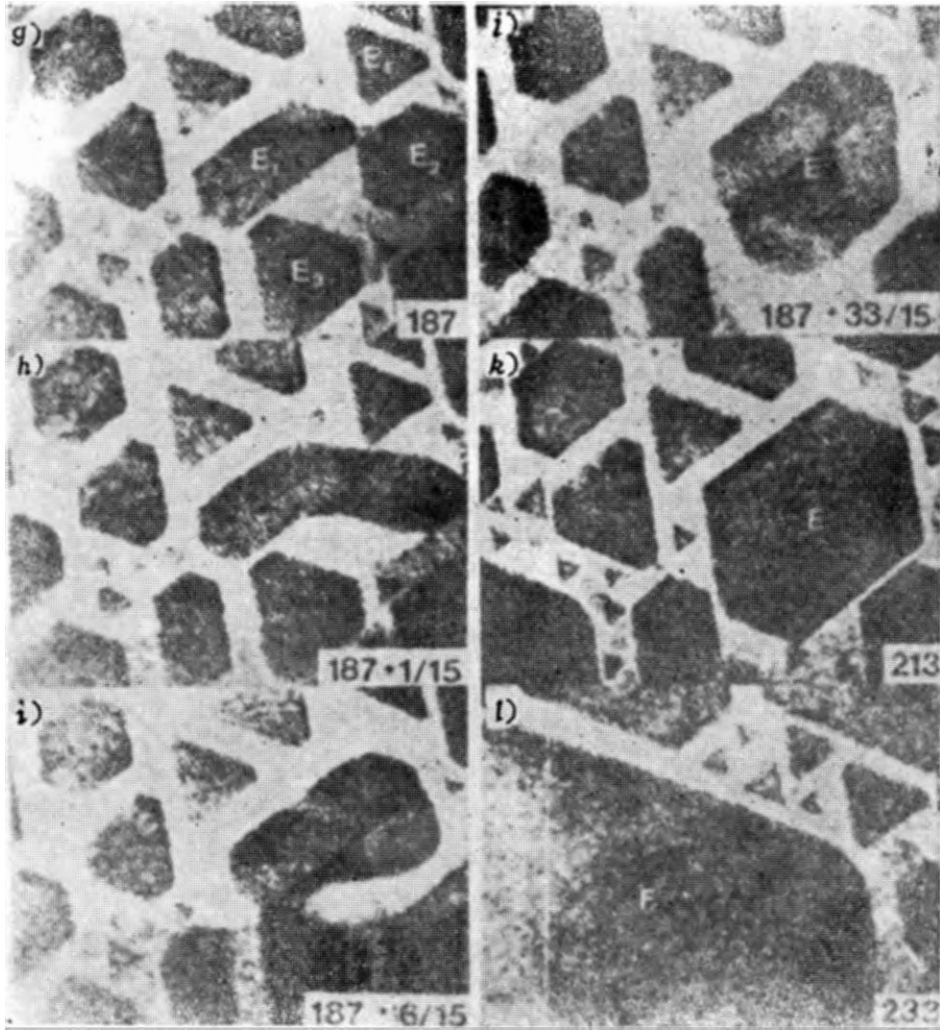


图1-1 Au/MoS<sub>2</sub> 的  
(真空度约  $1 \times 10^{-8}$  托, 衬底温度  $T_s = 300^\circ\text{C}$ , 平均蒸发速度  $R = 20 \text{ \AA}/\text{min}$ , 各图中的数字是蒸发

出的颗粒及在其后的大颗粒间所看到的小颗粒乃是二次成核所产生的。在第1节中已经讲过, 这种二次成核和液滴状聚结体就是 Bassett 当初所注意到的, 我们在石墨和 MgO 等上的各种金属的蒸发过程中观察了不同的一般现象。

Bassett 的报告说, MoS<sub>2</sub> 上 Ag 的莫尔条纹的方向在颗粒之间的偏移达十几度, 而且每个颗粒大体上以相同的时间幅度变动。Pashley 等也在 Au/MoS<sub>2</sub> 上发现了同样的情况, 他们强调说, 由于颗粒本身能够将方向改变几度, 使颗粒和液滴状聚结体中颗粒间的方位获得一致, 因而虽然全部颗粒的方向在一开始是相当紊乱的, 但随着生长便逐渐得到了改善<sup>[1][10]</sup>。然而在图 1-1 中, 莫尔条纹方向的偏移和变动却始终一点也看不到。这种莫尔条纹由于把方位关系放大了约 10 倍, 因此可以说经此过程方位排列是完好的, 达到  $1/10^\circ$  以上。Bassett 和 Pashley 等人所发现的方位紊乱乃是他们的衬底晶体遭到污染和真空度不高所造成的。

Bassett 对于在石墨上所作的观察只做了简单的报导, 但他强调指出, 石墨上的 Ag 颗



### 核生长过程

开始后的时间 (s)。视野从 (a) 图到 (b) 图朝右上方移动了大约  $200 \text{ \AA}$  后就没有再变化)

粒特别容易移动，直径在  $200 \text{ \AA}$  以下的颗粒能在数百  $\text{ \AA}$  的距离内游动<sup>[19]</sup>。Reiss<sup>[54]</sup> 对此以及上面所说的  $\text{MoS}_2$  上方位变动的报告表示相信，他认为这种并行和旋转运动可能是由于颗粒的有限底面晶格处于周期与其不同的衬底表面势垒之上时的“配重效应 (Counterweight effect)”引起的。这种说法成了近期核生长外延中二次成核理论或 Kern 派的核生长粒子布朗运动学的重要依据 (参照第 5 节)。在我们的观察中也发现石墨上各种金属颗粒呈现明显的并行运动。然而这是一种在石墨的  $[10, 0]$  或  $[1\bar{1}, 0]$  方向不时出现的、并且从出现时起就在相同的两点之间不断重复的奇异运动<sup>[44]</sup>。图 1-2 表示的是前后共重复十几次的这种运动的一个小片断。当照射电子减弱时，这种运动便减弱，所以很明显这是照射电子造成的，而不是 Kern 等人所说的那种颗粒的自发的布朗运动。

Pashley 等人<sup>[10][21]</sup> 采用烧结理论分析了液滴状聚结。根据该理论，半径为  $r$  的二个颗粒从开始聚结起到其连接部分的半宽度为  $x$  止的时间，可以用各种扩散系数的值来计算。他们指出，在  $400^\circ\text{C}$  的温度下，在  $r = 100 \sim 150 \text{ \AA}$  的 Au 颗粒之间于  $1/10$  秒的时间内就能

完成的快速聚结,只有考虑到表面扩散后才能加以解释。我们的电子显微镜甚至能够在低温中进行观察而用不着担心会有污染,通过录像可以进行半定量的分析。表 1-1 给出了在  $r \approx 120 \text{ \AA}$  的颗粒之间到  $x/r = 0.3$  和  $0.6$  为止的时间的实测值和计算值<sup>[44]</sup>。根据 Pashley 等人使用的 choi 和 shewmon 的表面扩散系数,在  $160^\circ\text{C}$  只能得到比实测慢几个数量级的聚结速度。要解释实测值,就必须把激活能  $Q$  减低到 choi 和 shewmon 值的  $1/3$  以下。通过分析在淀积停止后大颗粒之间的“狭窄运河”仍继续存在的过程也证实了上面的结果。聚结速度会因不同的金属而有很大的差别,例如 Fe,在  $400\sim 500^\circ\text{C}$  下,直径  $200\sim 300 \text{ \AA}$  的颗粒完成聚结大约需一秒钟的时间。

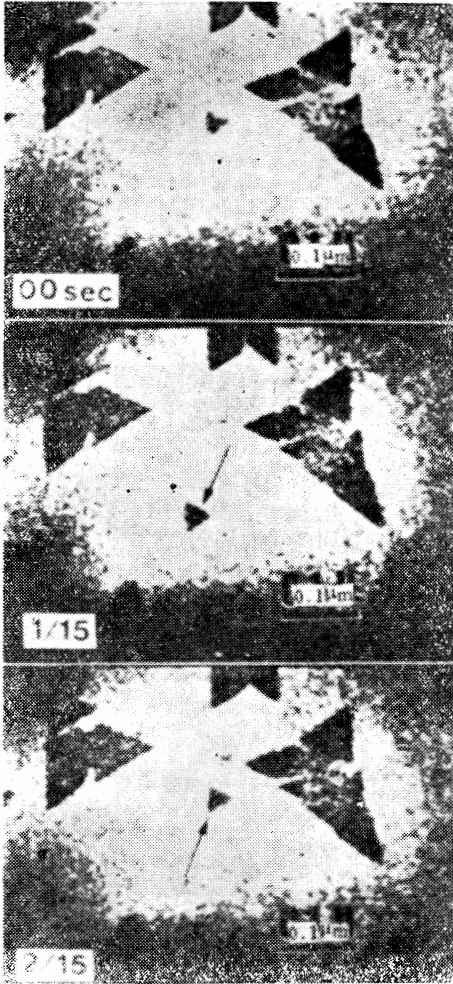


图1-2 150°C石墨上的Au颗粒的并行运动 (大的Au颗粒与在超高真空中劈开的石墨上的情况相同,进行树枝状生长,故认为这种石墨表面是十分洁净的)

由于激起了  $(220) \text{ PbSe}$  和  $(200) \text{ MgO}$  的反射,所以在R取向的颗粒中,在与  $[100]_a$ 、 $[010]_a$  方向的边缘呈  $45^\circ$  角的方向上出现了间隔为  $70 \text{ \AA}$  的莫尔条纹。P取向的粒子也和R取向的粒子相同,显示出具有  $[100]_a$  和  $[010]_a$  方向的边的正方形晶斑。在初期的  $a) \sim c)$  图中形成某一密度的核并开始生长后,再不会形成新的核。另外,生长中的颗粒即使互相接触也不会发生剧烈变形,而是一个一个地保持着原有的形态不断扩大并聚结。劣势方位

表1-1 Au颗粒的聚结速度

|       | $x/r$ | 实测值(s)               | 计算值(s)               |                      |
|-------|-------|----------------------|----------------------|----------------------|
|       |       |                      | 目前                   | C. & S.              |
| 160°C | 0.3   | $1 \times 10^{-1}$   | $5 \times 10^{-2}$   | $3 \times 10^{-4}$   |
|       | 0.6   | 4.4                  | 5.3                  | $7 \times 10^{-6}$   |
| 300°C | 0.3   | $7 \times 10^{-2}$   | $3.5 \times 10^{-3}$ | $2.9 \times 10^{-1}$ |
|       | 0.6   | $3.5 \times 10^{-1}$ | $3.7 \times 10^{-1}$ | 38                   |
| 400°C | 0.3   | —                    | $1.5 \times 10^{-4}$ | $2.0 \times 10^{-1}$ |
|       | 0.6   | $3 \times 10^{-2}$   | $1.6 \times 10^{-2}$ | $2.5 \times 10^{-2}$ |

$$\text{扩散常数 } D = D_0 \exp[-Q/RT]$$

$$D_0 (\text{cm}^2/\text{s}) \quad Q (\text{kcal/mol})$$

$$\text{目前} \quad 2.3 \times 10^{-7} \quad 14.4$$

$$\text{Choi \& Shewmon} \quad 2.1 \times 10^{-6} \quad 51.1$$

(Pashley等人)

图 1-3 表示  $\text{PbSe}/(001) \text{ MgO}$  的核生长过程<sup>①</sup>。可以看到具有如下两种取向的颗粒P<sub>n</sub>和R<sub>n</sub>正在生长。

$$P: (001)_a // (001)_s, [100]_a // [100]_s,$$

$$R: (001)_a // (001)_s, [100]_a // [110]_s,$$

① 该图和图1-4乃是我们在一开始的“现场”观察中拍摄的电影胶片,当时的真空度还只有  $1 \times 10^{-6}$  托<sup>[37][41]</sup>。硫硒碲化合物耐污染,这种程度的真空度不会有残留气体的影响。实际上,后来在  $10^{-8}$  托的真空度下进行观察也没有发现根本性的差别。

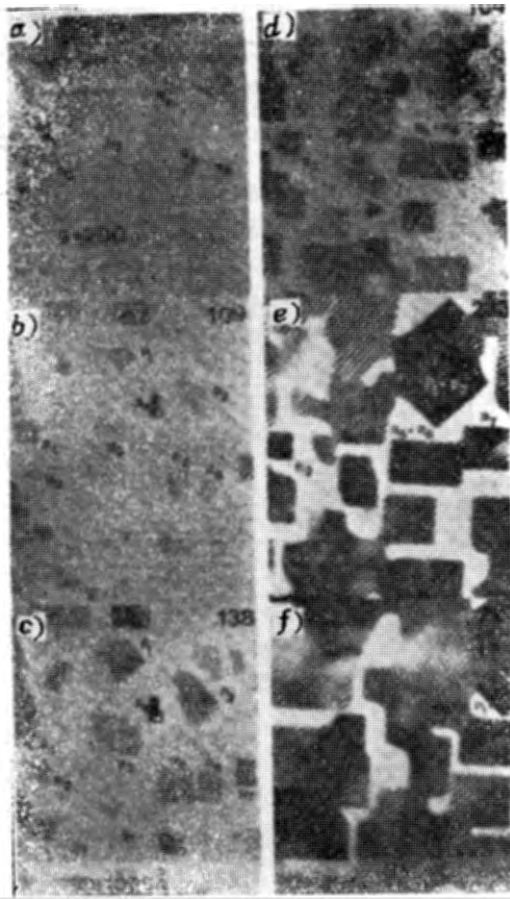


图1-3 PbSe/(001)MgO的核生长过程  
(真空度约  $1 \times 10^{-6}$  托,  $T_s \sim 200^\circ\text{C}$ ,  $R \sim 20 \text{ \AA}/\text{min}$ )

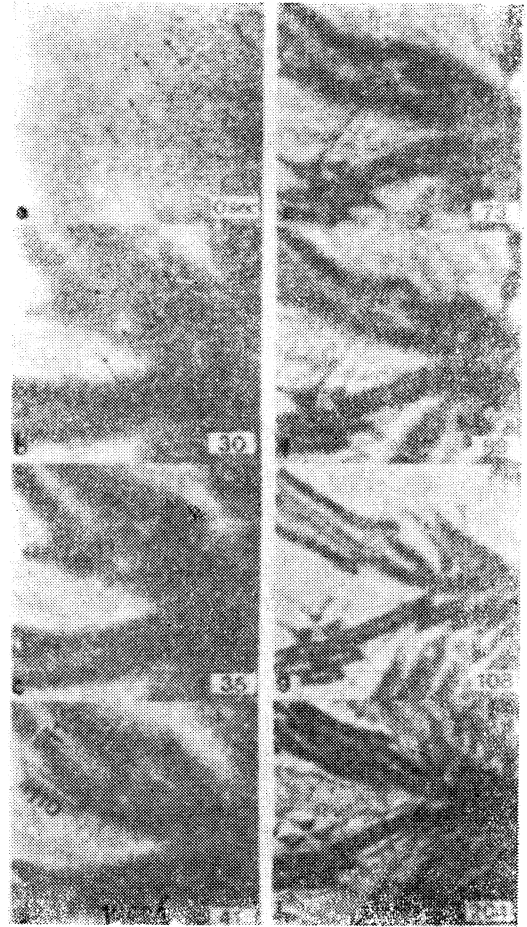


图1-4 PbSe/(001)PbS的逐层生长过程  
(真空度 =  $1 \times 10^{-6}$  托,  $T_s = 230^\circ\text{C}$ ,  $R = 20 \text{ \AA}/\text{min}$ )

的P颗粒即使与优势方位R(参照5.2)的颗粒接触,在该方位上再结晶的过程也只是极其缓慢地进行,就象b)图箭头处的位错那样,在颗粒的接触部分一度形成的缺陷几乎都不会消失。也就是说不会出现二次成核,聚结过程也不像液滴那样。这是在硫硒碲化合物和碱卤化合物核生长中通常见到的特点,其所以与金属的情况不同,据认为是化合物晶体的各向异性强,蒸发分子在衬底表面的扩散比金属原子扩散快,因而颗粒的淀积就来得慢的缘故。

图1-4表示PbSe/(001)PbS的逐层生长过程。可以看到无论是哪一个图都没有出现图1-1和图1-3中所看到的那种粒状反差。在衬底PbS上,与表面基本垂直的位错在a)图中箭头所指的位置上。在b)图中,由于厚度约为 $10 \text{ \AA}$ 的PbSe膜带有畸变,故整个膜略有一些弯曲,出现了较宽的等倾角干涉条纹,这些位错的反差略有增加。不过,除此之外,b)图与a)图基本相同。这是因为,PbSe膜在这样的厚度下还处于假晶格状态,并且膜面方向的晶格具有与衬底PbS晶格相同的周期。在c)以下的各图中,出现了 $[110]$ 和 $[\bar{1}\bar{1}0]$ 方向的二组失配位错(即MD's),其密度亦随膜厚而增加。膜再加厚便会形成间隔约为 $150 \text{ \AA}$ 的规则MD's网格(见图1-3a)。这种MD's乃是具有与界面平行的Burgers



矢量  $lb = a/2 \cdot [1\bar{1}0]$  和  $a/2 \cdot [110]$  的刃状位错 (即表 1-3、图 1-6 的  $A_0$  型)。这可以根据在  $[110]$  方向的 MD 线与  $(220)$  反射结合拍摄的 TEM 图像中失去了反差等情况得到证实。这是因为位错的局部畸变发生在  $(220)$  反射晶格面方向, 也就是设反射的倒晶格矢量为  $g$ , 则  $g \cdot b = 0$  的缘故。图 1-4 中, 这种刃状 MD's 是在该线方向逐渐延伸的, 这显然是攀升运动。

如上所述, 逐层生长的特点是: 膜在一开始取假晶格结构期间, 不会产生附加的反差, 一超过一定的厚度便会出现 MD's 的线状反差。其密度亦随膜厚的增加而增加。在此期间, 由于取假晶格结构而出现的膜的畸变在 MD's 的作用下消除, 这种情况已为根据衍射图形进行的晶格常数测定所证实 (见图 1-5)。显示有这种特征的逐层生长多见于 NaCl 型或膜的畸变较少的硫硒碲化合物 (见表 1-2) 的组合和 *fcc* (面心立方晶格) 金属组合<sup>[37]~[43]</sup>。表 1-3 列出了上述例子和研究 MD 性质 (位错线的方向  $l$  和 Burgers 矢量  $b$ ) 及其形成机理等的结果。图 1-6 表示了在  $(001)$ 、 $(110)$  和  $(111)$  界面上常见的 MD's 的性质。

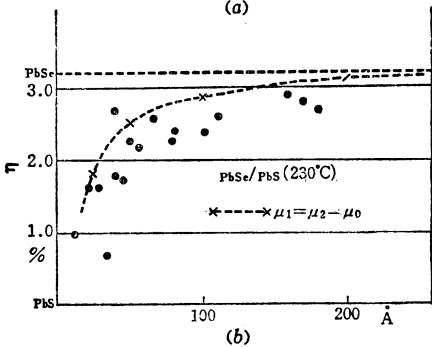
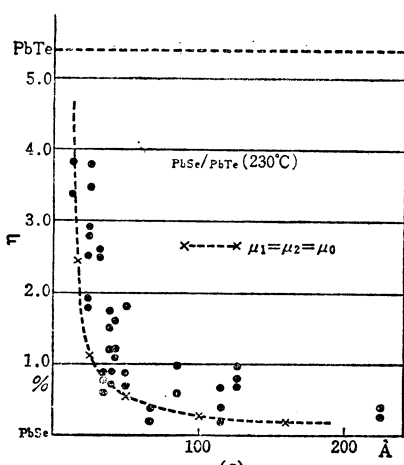


图1-5 PbSe/(001)PbTe和PbSe/(001)PbS 膜的晶格常数随厚度的变化 (虚线是采用Van der Merwe的公式<sup>[6]</sup>的计算值)

表1-2 碱卤化合物的晶体结构

|      |                                      |   |
|------|--------------------------------------|---|
| PbS  | NaCl 型                               | $a = 5.936 \text{ \AA}$   |
| PbSe | NaCl 型                               | $a = 6.143 \text{ \AA}$   |
| SnTe | NaCl 型                               | $a = 6.313 \text{ \AA}$   |
| PbTe | NaCl 型                               | $a = 6.454 \text{ \AA}$   |
| SnSe | 正交(晶)系                               | $a = 11.57 \text{ \AA}$<br>$b = 4.19 \text{ \AA}$<br>$c = 4.46 \text{ \AA}$ |
| GeTe | NaCl型<br>( $T > 390^\circ\text{C}$ ) | $a = 5.992 \text{ \AA}$   |
|      | 菱形的<br>( $T < 390^\circ\text{C}$ )   | $a = 5.986 \text{ \AA}$<br>$\alpha = 88.35$                                 |

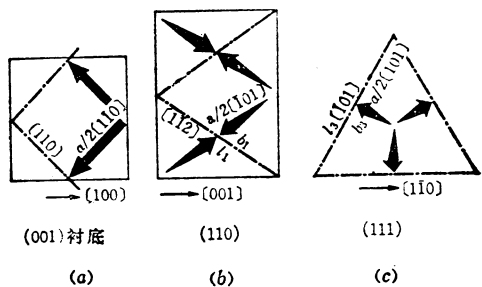


图1-6  $A_0$ ,  $B_1$ 和 $C_1$ 型MD的线方向  $l$  (虚线) 和Burgers矢量  $b$  (箭头)

Matthews 在 MD's 的形成和生长机理上只考虑了一个滑移运动<sup>[7][11]</sup>。在能滑移的系中, 滑移运动起着重要的作用, 而在无滑移的系中, MD's 也能以攀升的形式形成, 一般来说, 在 MD's 的形成和生长中, 攀升要比滑移更重要。在均匀地覆盖整个衬底表面的膜形成之后, 具有与界面平行的  $b$  矢量的 MD's 向界面攀升的机理是很难想象的。因此,

表1-3 发生逐层生长的系和失配位错 (MD's) 的特性等

| 淀积/衬底     | E <sub>p</sub> | η (%)      | A <sub>1</sub> | G <sub>1</sub> | 300                 |
|-----------|----------------|------------|----------------|----------------|---------------------|
|           |                |            | MD             |                | T <sub>r</sub> (°C) |
|           |                |            | 性质             | 机理             |                     |
| PbSe/PbTe | a              | -4.8       | A <sub>0</sub> | Cl.            | 50~200              |
|           | b              | -4.8       | B <sub>1</sub> | Cl.            | 230                 |
|           | c              | -4.8       | C <sub>1</sub> | Cl.            | 230                 |
| PbTe/PbSe | a              | 5.1        | A <sub>0</sub> | Cl.            | 230                 |
|           | a              | -3.1       | A <sub>0</sub> | Cl.            | 20~230              |
| PbS/PbSe  | a              | 3.1        | A <sub>0</sub> | Cl.            | 230                 |
| PbS/PbTe  | a              | -8.0       | A <sub>0</sub> | Cl.            | 100~200             |
|           | a              | 8.7        | A <sub>0</sub> | Cl.            | 20~230              |
| SnTe/PbSe | a              | 2.0        | A <sub>0</sub> | Cl.            | 230                 |
| Pd/Au     | a              | -4.6       | A <sub>0</sub> | Cl.            | 200~300             |
|           |                |            | A <sub>1</sub> | Gl.            |                     |
|           |                |            | A <sub>2</sub> | (Cl. 或 Gl.)    |                     |
|           | C <sub>0</sub> | Cl., Gl'.  |                |                |                     |
|           | C <sub>1</sub> | Gl'.       |                |                |                     |
| Au/Pd     | a              | +4.8       | A <sub>0</sub> | Cl.            | 200~300             |
|           |                |            | C <sub>0</sub> | Cl.            | 200~300             |
|           | c              | +4.8       | C <sub>0</sub> | Gl.            |                     |
| Au/Ag     | a              | -0.2       | A <sub>0</sub> | Cl.            | 300                 |
|           | a              | -3.8       | A <sub>1</sub> | Gl.            |                     |
| Pt/Au     | a              | -3.8       | A <sub>2</sub> | (Cl. 或 Gl.)    | 300                 |
|           |                |            | A <sub>1</sub> | Gl.            | 300                 |
| Pt/Cu     | a              | 8.5        | A <sub>2</sub> | (Cl. 或 Gl.)    | 300                 |
| Pt/Ag     | a              | -4.0       | A <sub>1</sub> | Gl.            | 300                 |
|           |                |            | A <sub>2</sub> | (Cl. 或 Gl.)    | 300                 |
|           |                |            | A <sub>2</sub> | (Cl. 或 Gl.)    | 300                 |
| GeTe/SnTe | a'             | -3.6, -6.3 | A <sub>0</sub> | Cl.            | 20~250              |
|           | b'             | -5.0, -6.3 | B <sub>1</sub> | Cl.            | 200                 |
|           | c'             | -6.3       | C <sub>1</sub> | Cl.            | 200                 |
| GeTe/PbSe | a'             | -1.6, -4.5 | A <sub>0</sub> | Cl.            | 20~200              |
| GeTe/PbTe | a'             | -5.8, -8.5 | A <sub>0</sub> | Cl.            | 20~200              |
|           | b'             | -7.3, -8.5 | B <sub>1</sub> | Cl.            | 200                 |
|           | c'             | -8.5       | C <sub>1</sub> | Cl.            | 200                 |
| SnSe/PbSe | a''            | -3.5, 2.7  | A <sub>0</sub> | Cl., Gl'.      | 230                 |
| SnSe/SnTe | a''            | -6.1, -0.1 | A <sub>0</sub> | Cl., Gl'.      | 230                 |

E<sub>p</sub>: 外延关系

a: (001) 平行取向

b: (110) 平行取向

c: (111) 平行取向

a', a'', b' 和 c': a、b 和 c 关系的变态。

η: 配错 = (a<sub>d</sub> - a<sub>s</sub>) / a<sub>s</sub> × 100MD Char.: MD的特性或MD's的线方向 *l* 和 Burgers矢量 *b*A<sub>0</sub>: *l* = <110>, *b* = a/2 · <110̄>

刃型

A<sub>1</sub>: *l* = <110>, *b* = a/2 · <101̄>

刃型

A<sub>2</sub>: *l* = <100>, *b* = a/2 · <111̄>

混合型

B<sub>1</sub>: *l* = <112̄>, *b* = a/2 · <101>, a/2 · <011>

混合型

C<sub>0</sub>: *l* = <112̄>, *b* = a/2 · <110̄>

刃型

C<sub>0</sub>': 弯曲的, *b* = a/2 · <112̄>

局部的

C<sub>1</sub>: *l* = <110̄>, *b* = a/2 · <110>

刃型

MD Mech.: MD's的形成机理

Cl.: 攀升

Gl.: 在与界面有倾角的平面上的滑移

Gl': 当该衬底对另一衬底倾斜时, 沿界面的滑移

(Cl. 或 Gl.): 微交叉滑移或攀升

T<sub>r</sub>: 进行观察时的衬底温度

Matthews 认为, 他最初发现的 PbSe/(001)PbS 和 Au/(001)Pb 的  $A_0$  型 MD's, 不是在逐层生长, 而是在 (abrera 型核生长过程中出现的。然而如图 1-4 所示, PbSe/(001)PbS 呈典型的逐层生长, 而 MD's 则总是仅以攀升的形式出现。在硫硒碲化合物系中, 除 4-2 节中所述的 SnSe 外, MD's 几乎不滑移。PbSe/(110)PbTe 的  $B_1$  型 MD's (图 1-6(b)) 并不在被称为可能的攀升面即 {100} 面上出现。在 Pd/Au 系中也能进行完全的逐层生长<sup>[41]</sup>。在具有 (111) 面的 Au 岛状颗粒上蒸 Pd 时,  $C_0$  型 MD's 容易从岛的边缘开始攀升, 而仅以攀升的形式也能形成, 并且在连续 Au 膜上总是以攀升的形式形成的。

Matthews 就 Au/(100)Ag 观察了 [110] 和  $[1\bar{1}0]$  方向曲折变化的直线状 MD's, 提出了如图 1-7 所示的机理<sup>[11][24]</sup>。也就是说, Ag 衬底内部的  $b = a/2 \cdot [101]$  的位错延伸, 正是这种位错从一面向另一面交叉上升形成了曲折的  $A_1$  型 MD's。

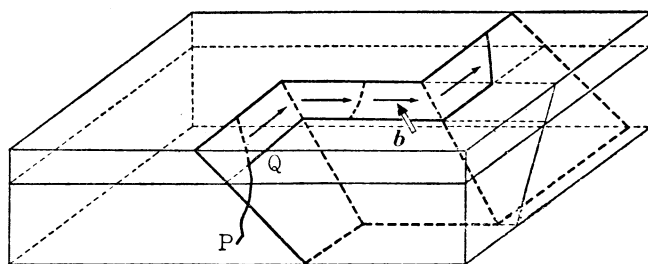


图1-7 Matthews提出的Au/(001)Ag的MD的形成机理

然而, 图 1-8 中的 MD's, 一部分是  $A_1$  型, 另一部分是  $A_0$  型, 在与 (220) 反射结合起来拍摄的 (b) 图中,  $A_0$  型的反差消失了<sup>[55]</sup>。

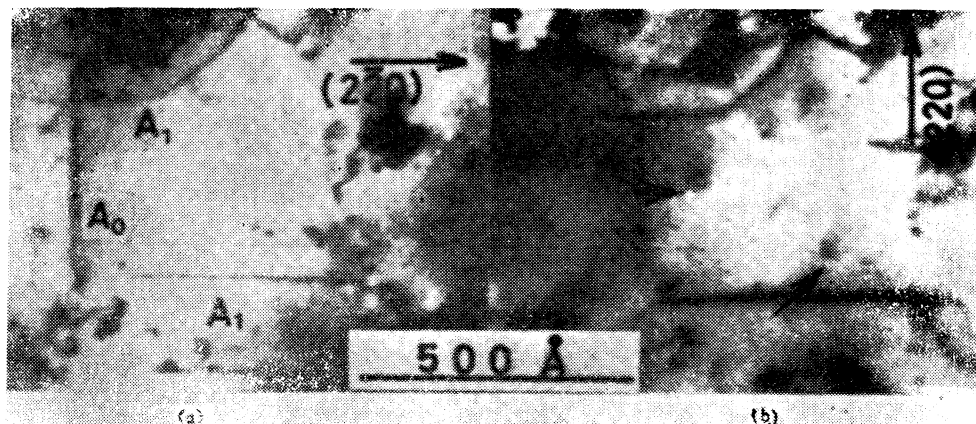


图1-8 Au/(001)Ag的 $A_0$ 和 $A_1$ 型MD's在(b)中, $A_0$ 型MD的反差消失了  
( $g = 220 \rightarrow g \cdot b = 0$ )

图 1-9 表示在室温下蒸发而成的 PbSe/(001)PbTe 的 TEM 图像及其衍射斑点。断裂成无数小短段的  $A_0$  型 MD's 没有互相交叉, 只在一个方向上形成了狭窄区域, 呈表面麻坑样。在各区域中, 假晶格畸变只在与 MD 线垂直的方向上得到缓和, 因而晶格畸变呈菱形。因此, PbSe(200) 的斑点分裂成为 2 个。这是由于衬底温度低, 使 MD's 的攀升运动没有被充分激励, 从而难以互相交叉所致。当把该样品加热至 200°C 时, MD's 便延伸并相互交叉而形成规则的十字网格, 与此同时, 分裂了的衍射斑点又变成了一个。在 PbSe/(001)PbTe 中, 即使在室温下也能形成交叉的 MD's 十字网格。MD's 开始形成的临界厚度在晶格失配为  $\eta = 8.7\%$  的 PbS/PbTe 中为 4 Å; 在  $\eta = 3.2\%$  的 PbS/PbSe 中则为 13 Å。

临界厚度较薄时就开始形成的 PbS/PbTe 的 MD's 是在室温下相互交叉形成的。Matthews<sup>[26]</sup>发现在室温下 NaCl 上形成的、并用水剥下的 PbS/(001)PbSe 双重膜出现了 L 形的裂纹,他认为 MD's 便是从这个拐角处攀升的(文献[7]的图 13、14)。我们的样品是在衬底晶体上连续二次蒸发而成的,没有出现裂纹,倒是看到 MD's 总以攀升的形式形成。Matthews 所看到的裂纹乃是由于 MD's 的形成造成在互相直交方向上菱形畸变区域的拐角处应力集中所引起的,他把结果和原因都搞错了。

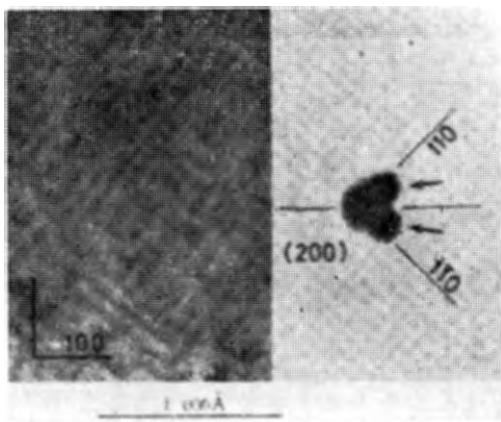


图1-9 PbSe/(001)PbTe(室温)的表面麻坑区域及其衍射斑点的分裂

#### 4. 逐层生长的几个问题

上节已就逐层生长的基本情况以 Matthews 在对蒸发后的样品的观察中遗漏或判断错误的部分为中心,介绍了“现场”观察的结果。本节将介绍关于在 Matthews 及其以后的研究中未给予足够重视或仔细斟酌的 MD's 和莫尔条纹的对应关系、逐层生长的种种变形及 MD 产生机理。

##### 4.1 MD's 和莫尔条纹——有理数对应关系<sup>[40][41][48][44][65]~[67]</sup>

图 1-10 是 PbS/(001)PbSe (固有晶格失配  $\eta = 3.2\%$ )、PbSe/(001)PbTe ( $\eta = 5.8\%$ ) 和 PbSe/(001)PbTe ( $\eta = 8.7\%$ ) 的三帧明视场 TEM 图像,由照片可以看到膜的生长都很完好。在标 A 的区域,由于膜和衬底晶体充分满足了 (200) 反射的布拉格条件,故只呈现莫尔条纹。在标 B 的区域,则因偏离了该条件,所以  $\langle 010 \rangle$  方向的莫尔条纹在各图中都出现了如下的间隔:(a) 图为  $150 \text{ \AA}$ , (b) 图为  $100 \text{ \AA}$ , (c) 图为  $55 \text{ \AA}$ ,它们都是在  $[110]$  和  $[1\bar{1}0]$  方向的网格线上间断的。连接这种“间断”的线条便是 MD's。在 (c) 图中,只显示出间隔狭窄的勉强可看到 MD's 的“间断”,而在图 1-11 所示的 (200) 反射的暗视场图像中,在远远偏离布拉格条件的 B 区,即“弱反射条件”(weak beam condition<sup>[58]</sup>)处,出现有明显的线条。以有规则的间隔产生的 MD's 形成了一种超晶格,在衍射图形的箭头处可以看到由超晶格造成的斑点。

在逐层生长中,初期的假晶格膜与衬底晶格完全匹配,之后只是由于形成了 MD 才出现了上下晶体之间的不匹配,即出现了晶格间隔的差异。每一个 MD 都引起与其矢量  $\mathbf{b}$  在界面畸变缓和方向上的有效成分相等的晶格间隔差。因此,由于膜与衬底晶体的二次衍射效应,使得随着其间的晶格差异而出现的莫尔条纹和 MD's 之间常常有一定的关系——有理数对应关系。例如,在图 1-11 的 B 区,  $[110]$  和  $[1\bar{1}0]$  方向上的 MD's 交叉的每一个拐角处都出现有一条  $[100]$  方向的莫尔条纹。

另一方面,当把二片晶体简单地重叠起来的时候,也是只要有二次衍射便会出现莫尔条纹,因此,看到莫尔条纹并不意味着界面上就出现了 MD's。MD's 的固有反差是由界面处的 MD 位错芯周围的局部畸变所引起的,而莫尔条纹则是界面上下晶体未畸变的部分

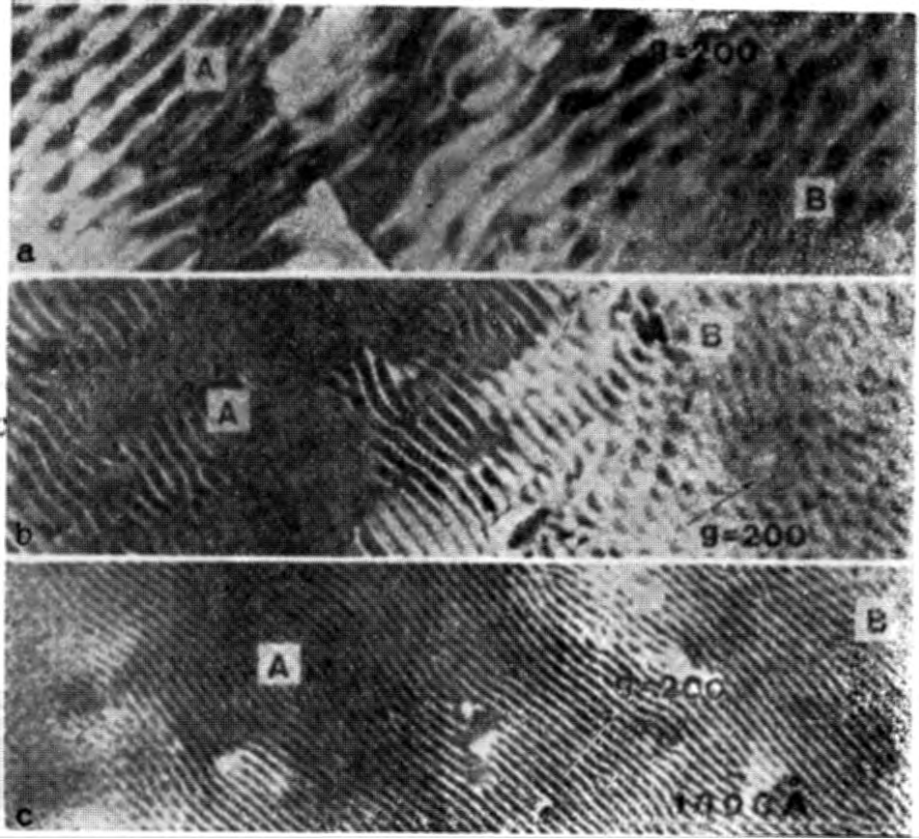


图1-10 三帧明视场图像：(a) PbS/(001)PbSe (晶格失配  $\eta = 3.2\%$ )；  
(b) PbSe/(001)PbSe ( $\eta = 5.8\%$ )；(c) PbS/(001)PbTe ( $\eta = 8.7\%$ )

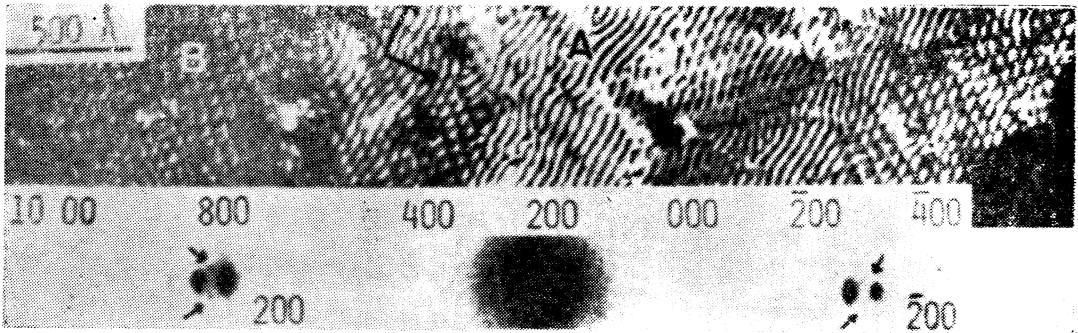


图1-11 PbS/(001)PbTe的(200)暗视场图像和衍射图形(箭头为间隔规则的MD's造成的超晶格反射)

产生的。位错芯附近畸变部分的体积一般远小于上下晶体无畸变部分的体积。因此，一旦这两个部分在同样的程度上满足布拉格条件，则 MD's 的弱对比度便会隐匿在强莫尔条纹后而看不见。图 1-10 和 1-11 的 A 区就是这种状态。在“弱反射条件”的 B 区，无畸变的部分未满足布拉格条件，而 MD 位错芯附近的畸变部分接近布拉格条件，因而 MD's 的反差与莫尔条纹相比是得到了加强。膜-衬底晶体间的晶格失配一大，MD 间的间隔便会变窄，从而导致 MD 位错芯周围的局部畸变范围也随之变窄。因此，正如在图 1-10 所看到

的那样，MD's 的反差越来越难以看到了。

以往的文献中并未充分考虑到这种 MD's 与莫尔条纹的关系，而大多是不加考虑地便议论逐层生长和 Cabrera 型核生长及其 MD's。例如，Matthews 和 Jesser<sup>〔11〕〔27〕</sup> 尽管指出了 Pt/(001)Au 这样一个有代表性的逐层生长例子，但他们只注意到那儿以 200~500 Å 的间隔直线延伸的 A<sub>1</sub> 型 MD's，而其间出现的间隔 20~50 Å 的形状略微不规则的莫尔条纹却被看作是一些界面失配所造成的，实际上这种莫尔条纹是 A<sub>2</sub> 型的 MD's 所造成的。在 (200) 反射的弱反射条件下拍摄的 Pt/(001)Au、Pt/(001)Ag、Pt/(001)Cu 暗视场图像 (见图 1-12) 里可以看到 A<sub>2</sub> 型 MD's 的反差与 A<sub>1</sub> 型 MD's 几乎相同。只是在这种反射条件下，一组具有垂直于反射矢量  $g$  的  $b$  矢量的 A<sub>2</sub> 型 MD's 失去了反差。根据这些样品的衍射图形计算出来的膜-衬底晶体之间的晶格差有 70% 是由 A<sub>2</sub> 型所造成的，A<sub>1</sub> 型只不过占剩下的 30% 而已。也就是说，在这些逐层生长中，起主要作用的是 A<sub>2</sub> 型 MD's。还有一些例子同样也是遗漏了隐匿在莫尔条纹后面的 MD's 而仅凭看到的莫尔条纹就马上断定为 MD's，这将在后面予以介绍。

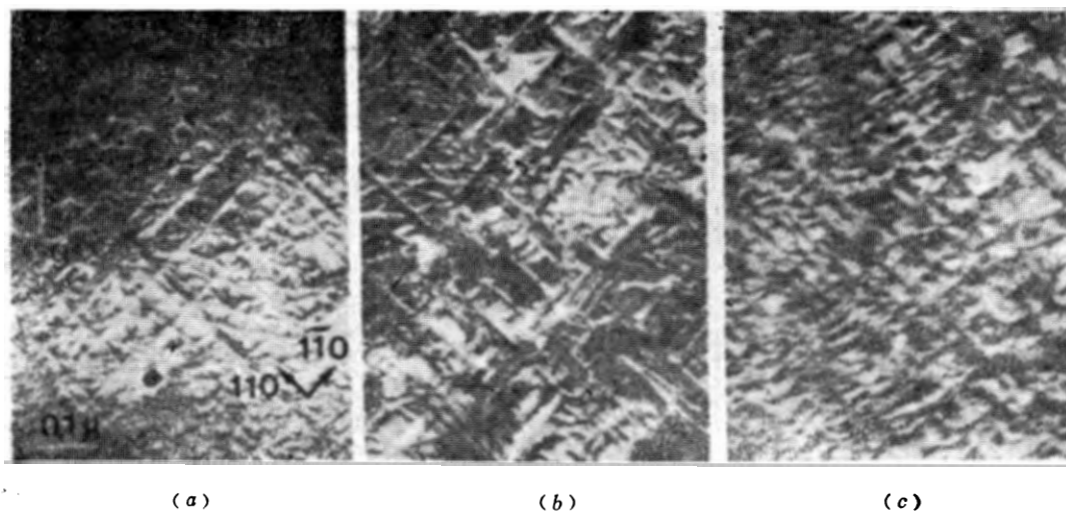


图1-12 Pt/(001)Au, (001)Ag, (001)Cu的A<sub>1</sub>和A<sub>2</sub>型MD's

#### 4.2 MD形成引起的晶格转变<sup>〔42〕、〔56〕</sup>

SnSe 和 GeTe 具有稍微变形的 NaCl 型晶格的结构 (见表 1-2, 图 1-13)。这些物质在其它 NaCl 型硫硒碲晶体上进行的逐层生长在以下几点很有意义。其机理本质上与同类 NaCl 型组合时的情况并无不同，但在现在的情况下，最初与衬底晶格适配而取 NaCl 型假晶格的膜，当厚度增加时，便肯定会转变为其固有的晶格形式。这种转变是由于不同方向上形成不同间隔的 MD 所造成的。如表 1-3 所示，取向和 MD's 特性如果用对应的 NaCl 型晶格指数来表示的话，则与 NaCl 型晶格的情况相同。

图 1-14 (a) 和 (b) 分别是结合 (220) 和 (2 $\bar{2}$ 0) 反射拍摄的 SnSe/(001)SnTe 的 TEM 图像 (部位相同)。可以看到形成了 A、B 二个区域，(a) 图中，在 A 区可看到间隔很窄的莫尔条纹，在 B 区则可看到间隔宽的莫尔条纹，(b) 图中的情况则与 (a) 图相反。从衍射图可以看到，这种 SnSe 膜已经形成斜方晶格，A 区和 B 区对于衬底表面的

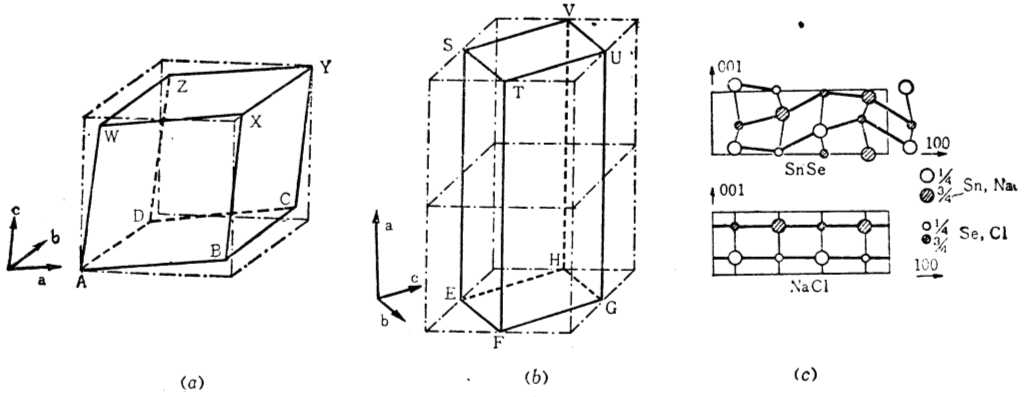


图1-13 (a) GeTe和 (b) SnSe的晶格与NaCl型晶格的关系, (c) SnSe与NaCl型晶格的原子排列

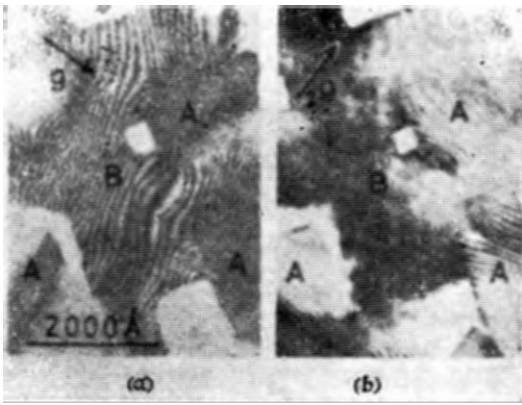


图1-14 SnSe/(001) SnTe的TEM图像  
(a)  $g = (220)$ ; (b)  $g = (220)$ 。

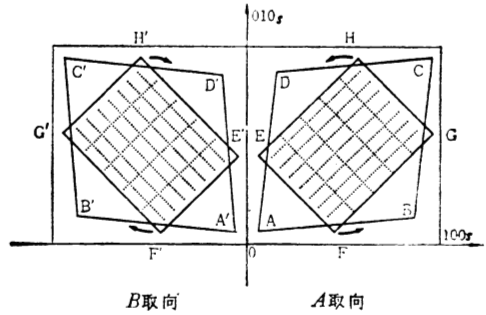


图1-15 NaCl型(001)面上的斜方SnSe矩形底面晶格EFGH,  $F'F'G'H'$ 和菱面体GeTe的菱形底面晶格ABCD,  $A'B'C'D'$  (虚线表示在不同方向上以不同的间隔形成的MD's。箭头表示在SnSe的A、B区边界附近的晶格旋转)

正方晶格分别取与图 1-15 的矩形晶格 EFGH 和  $E'F'G'H'$  对应的 A 取向:  $(100)_a // (001)_s$ ,  $[010]_a // [1\bar{1}0]_s$  及 B 取向:  $(100)_a // (001)_s$ ,  $[010]_a // [110]_s$ 。根据弱反射条件可以看到沿图 1-14 ( $g \cdot b = 2$ ) 的莫尔条纹形成了间隔为其 2 倍的  $A_0$  型 MD's。

据图 1-13(c) 中的原子配列, SnSe 的场合不同于其它硫硒碲化合物的场合, MD's 极易攀升。虽然如此, 起初仍以攀升的形式无规律地从各处形成, 待到膜厚增加, MD 的数量增多, 便将迅速攀升, 并重新排列, 如图 1-14 所示, 便在  $[100]$  以及  $[010]$  方向的边界上划分出了有限的 A 区和 B 区。这种莫尔条纹 (亦即 MD's), 在区域内部具有  $[110]$  和  $[1\bar{1}0]$  方向, 但当其逐渐地靠近边界时, 间隔宽的弯曲而垂直于界面, 间隔窄的则弯曲而平行于边界 (图 1-16)。这样, 具有螺旋成分的 MD's 就会使边界附近的 SnSe 膜的晶格绕膜面法线旋转, 使之在边界线上相互匹配, 形成双晶结。图 1-17 是边界附近的高倍率 TEM 图像, 可以看到, 这种匹配结不仅莫尔条纹, 就连晶格图像也是连续的。这是最初假晶格与衬底晶体完全匹配接触和这种体系的 MD's 极易攀升所造成的明显结果。

在 GeTe/PbSe、GeTe/SnTe 中也会出现不同间隔的 MD's, 并形成图 1-14 中所示的那种 A、B 区。然而, 在这种情况下, 由于 MD's 不能攀升, 故两个区域便形成了不规则且复杂的形态。

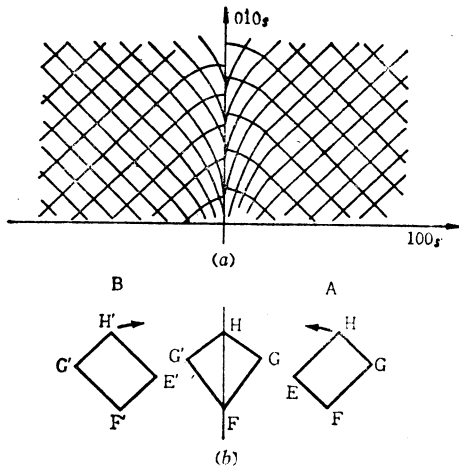


图1-16 SnSe/(001)SnTe的AB区边界附近的MD's的形状及SnSe晶格在AB区边界附近旋转而形成的匹配双晶结

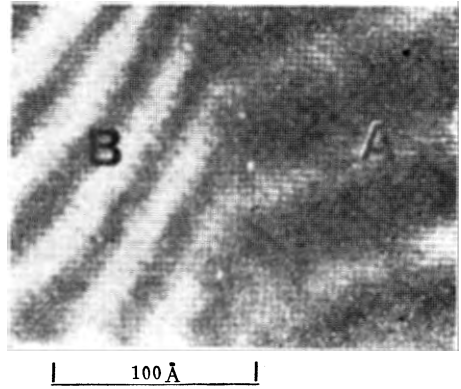


图1-17 SnSe/(001)SnTe的AB区边界的高倍率TEM图像  
(莫尔条纹和晶格图像在边界处相连接, 显示出完好的匹配双晶结)

4.3 局部的 MD 形成——GeTe/PbTe<sup>[42][56]</sup>

GeTe/PbTe 具有与 GeTe/PbSe、SnTe 相同的取向关系, 形成相同性质的 MD's。在取假晶格结构的最初的潜伏期之后开始形成 MD 这点上, 也与其它逐层生长一样。不过在其它的逐层生长中, MD's 是相互之间毫无关系地从各处开始出现的, 而在 GeTe/PbTe 的情况下, 密集的短 MD's 束以散布“小岛”的形式开始形成 (见图 1-18)。衬底温度越高则岛的密度越低。在开始形成 MD's 的同时, 在衍射图形中, 在相当于其固有晶格常数的位置上出现 GeTe 斑点, 莫尔条纹间隔 (亦即 MD's 间隔) 从开始形成时起就不再发生

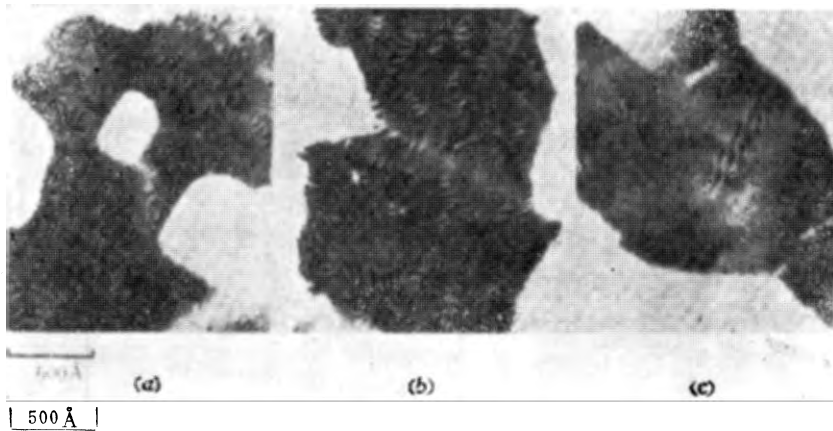


图1-18 在GeTe/(001)PbTe中形成的短MD's的岛状束  
(a) 125°C; (b) 150°C; (c) 240°C。

变化。乍一看来, 使人觉得这些特点是伴随MD 的形成而出现的核生长。然而, 图 1-19中所示的情况, 即箭头所指, 束状 MD's 中的一条单独地以攀升的形式向[110]或[110]方向延伸, 在其前端P和Q又产生了新的束, 这种状况就很难当作核生长来解释。在逐层生长中, 当在整个表面形成的假晶格和衬底晶体的匹配由于 MD 的形成而遭破坏时, 把这种破



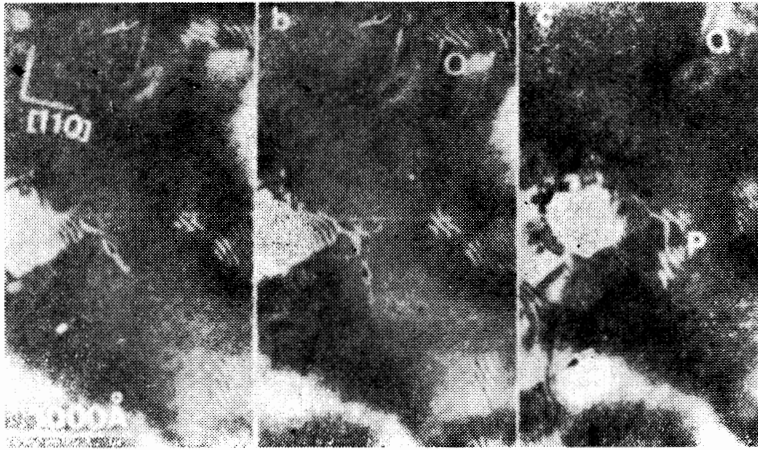


图1-19 GeTe/(001)PbTe(200°C) 的生长过程  
(箭头处束状MD's中的一条单独以攀升的形式向[110]或 $[\bar{1}\bar{1}0]$ 方向延伸, 在其尖端P和Q处又形成新的束)

坏解释成系由一条 MD 的攀升所引起并逐渐扩大的特殊情况是颇为妥当的。

如果采用 AES 法, 根据衬底及膜中所含原子的 AES 峰值随膜厚变化的差异可以判定究竟是核生长还是逐层生长。GeTe/PbTe 显示有与其它逐层生长相同的 AES 峰值变化<sup>[59]</sup>。

Matthews 和 Jesser 根据形成局部 MD 这一情况便断定  $\beta$ -Co/Cu, Cu/Ni, Fe/Cu (400°C) 等是 Cabrera 型核生长<sup>[28], [30]</sup>。然而局部 MD 的形成并不就意味着核生长。

#### 4.4 Fe/fcc 金属

该系由于与 Fe 的  $\gamma \rightarrow \alpha$  转变有关而一直受到重视。Wasserman、Jablonski<sup>[60]</sup> 及 Guegen 等人<sup>[61]</sup> 和 Matthews、Jesser<sup>[28]</sup> 分别就 Fe/(111)Au 和 Fe/(001)Cu ( $\leq 350^\circ\text{C}$ ) 发表文章说, 逐层生长假晶格的  $\gamma$ -相 Fe 膜由于 MD 的形成而转为  $\alpha$  相。然而在这些文章中, 还是与 4-1 中所谈及的 Pt/Au 的情况一样, 都只注意到了因攀升而形成的间隔为数百 Å 的直线状 MD's, 而对其中的莫尔条纹全然未加注意。

##### 1) Fe/(111)Au(280°C)<sup>[44]</sup>

图 1-20(a) 中厚度  $d = 3 \text{ \AA}$  的 Fe 尚属假晶格的  $\gamma$  相, 故未显示出什么特别的反差。在  $d = 5.2 \text{ \AA}$  的 (b) 图和  $d = 5.5 \text{ \AA}$  的 (c) 图中出现了  $l_1, l_2, l_3$  方向的三叉状 MD's, 根据反差与反射的关系, 可以知道这些 MD's 的  $l_1, l_2, l_3$  分枝分别是表 1-4 中所示的部分位错对。这种 MD's 的密度随膜厚  $d$  的增加而增加, 到  $d = 15 \text{ \AA}$  时便形成了间隔为 20~40 Å 的网格。(d) 图是籍 bcc (体心立方晶格) 即  $\alpha$  相 Fe 的 (1 $\bar{1}$ 0) 反射拍摄的暗视场图像, (e) 图则是与 Au 的 (2 $\bar{2}$ 0) 反射合在一起拍摄的明视场图像。在 (d) 图和 (e) 图中分别可以看到显示间隔约为 18 Å 的白色莫尔条纹和间隔约为 70 Å 的黑色莫尔条纹的带状区域。这些莫尔条纹分别是由 (2 $\bar{2}$ 0) bccFe 和 (2 $\bar{2}$ 4) Au 反射以及 (002) bccFe 和 (2 $\bar{2}$ 0) Au 反射所造成的。bccFe 反射和具有莫尔条纹的带状区在  $d \approx 15 \text{ \AA}$  时便开始出现。显然, Fe 膜在带状区内变成了  $\alpha$  相, 在其它区域则仍为  $\gamma$  相。如箭头所指的 Z 型区那样,

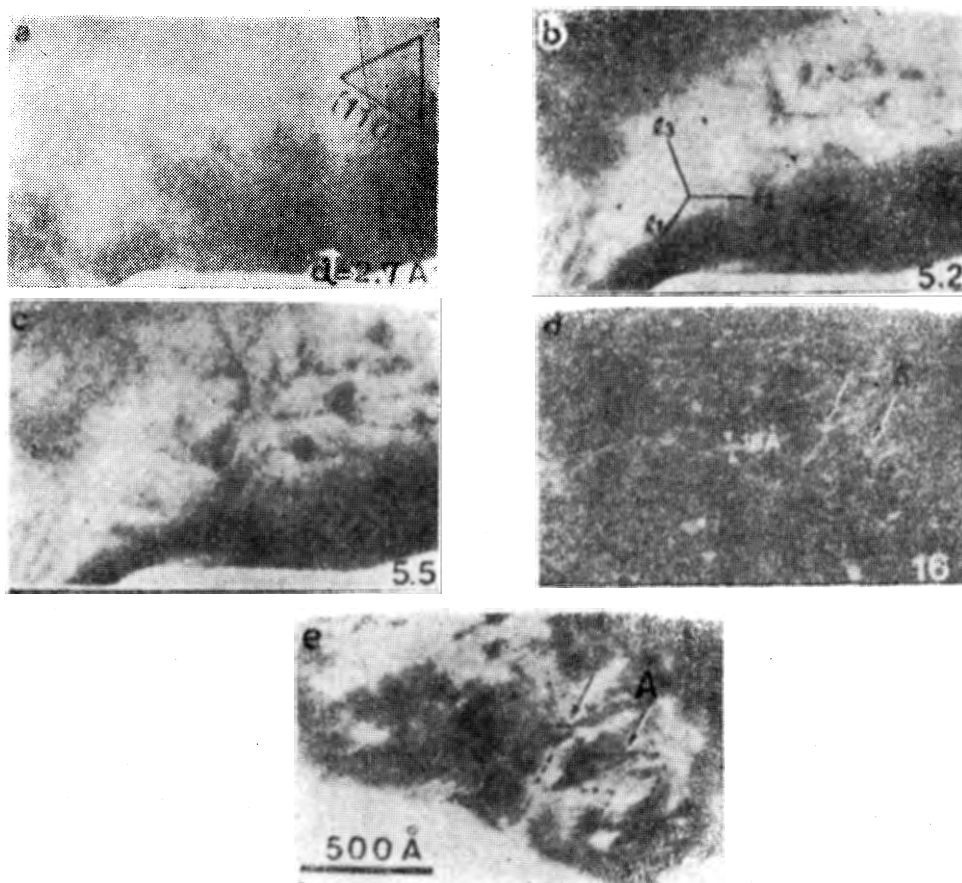


图1-20 Fe/(111)Au(280°C) 的生长过程各图的  $d$  是Fe膜的厚度 (Å)

表1-4 Fe/(111)Au的部分失配位错反差与反射的关系

| 部 分<br>方 向        | MD<br>B. V.                 | $g \cdot b$       |                         | MD 的反差            |                         |
|-------------------|-----------------------------|-------------------|-------------------------|-------------------|-------------------------|
|                   |                             | $g = (2\bar{2}0)$ | $g = (\bar{1}\bar{1}1)$ | $g = (2\bar{2}0)$ | $g = (\bar{1}\bar{1}1)$ |
| $l = [11\bar{2}]$ | $b_{13} = \frac{a}{6}[121]$ | -1                | $\frac{1}{3}$           |                   |                         |
|                   | $b_{12} = \frac{a}{6}[211]$ | -1                | $-\frac{1}{3}$          |                   |                         |
| $l = [1\bar{2}1]$ | $b_{21} = \frac{a}{6}[211]$ | 1                 | $\frac{1}{3}$           |                   |                         |
|                   | $b_{23} = \frac{a}{6}[112]$ | 0                 | $\frac{2}{3}$           |                   |                         |
| $l = [\bar{2}11]$ | $b_{32} = \frac{a}{6}[112]$ | 0                 | $-\frac{2}{3}$          |                   |                         |
|                   | $b_{31} = \frac{a}{6}[121]$ | 1                 | $-\frac{1}{3}$          |                   |                         |

带延伸的方向与 MD's 的分枝方向是一致的。这表明向  $\alpha$  相转变的部分是在有 MD's 的地方先发生的。图 1-21 表示图 1-20(e) 的 Z 型区附近的  $(2\bar{2}0)$ -Au 和  $(002)$ -bccFe 衍射斑点。图中分成了三部分的 Fe 斑点与图 1-22 的  $\alpha$  Fe-Au 晶格间的三种关系  $A_1, A_2, A_3$  对

应，根据这种对应关系，可望得到的莫尔条纹与图1-20(e)中看到的莫尔条纹是一致的。也就是说，Z型区被划分成这样三个晶向的分区域。A<sub>1</sub>、A<sub>2</sub>和A<sub>3</sub>取向在晶态铁的马丁体转变中被称为 Kurdjumov-Sachs 和西山取向。在这种取向关系的变化中，原子的位移基本上与不全位错的 *b* 矢量平行。在初期假晶格  $\gamma$  相状态下，晶格常数比由高温时的值用外插法得到的 280°C 时的值大约减小 10%。在开始向  $\alpha$  相转变的  $d = 15 \text{ \AA}$ 、MD 间隔为 20~40  $\text{\AA}$  的状态下，这种畸变的 35~70% 得到缓和。 $\alpha$  相从形成时起就不发生畸变。 $\alpha$  相的形成使残留的  $\gamma$  相畸变不断得到缓和。亦即，Fe 在 (111)Au 上的生长是在以 Frank-van der Merwe 型逐层生长的形式进行的过程中向 Fe 固有的马氏体变态的转化。

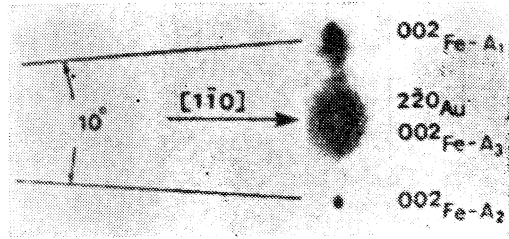


图1-21 从图1-19的Z型区域附近 (002) Fe衍射斑点开始分裂

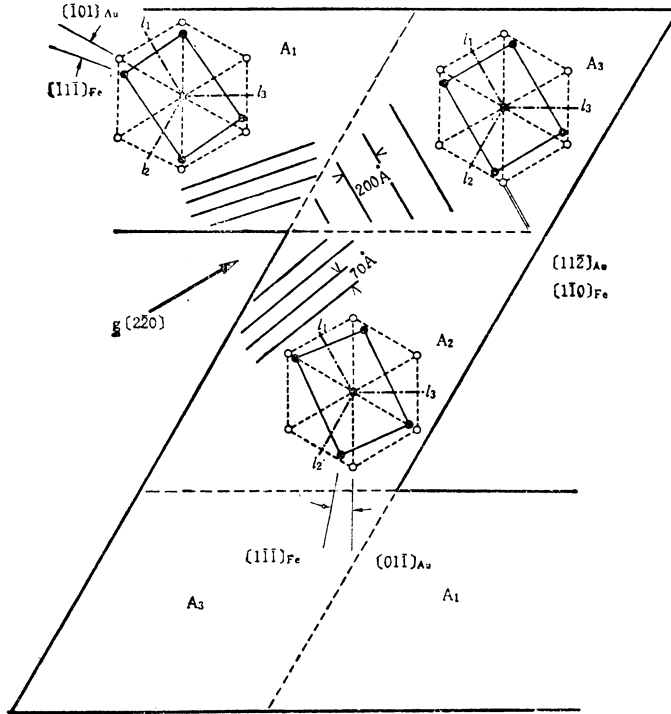


图1-22 Z型区域划分结构的莫尔条纹和  $\alpha$  Fe-Au晶格的取向关系

2) Fe/(001)Cu<sup>[45]</sup>

图 1-23(a) 中， $d = 5 \text{ \AA}$  的 Fe 膜未显示有任何附加的反差，故属假晶格的  $\gamma$  相。在  $d = 20 \text{ \AA}$  的 (b) 图中，形成了在  $[1\bar{1}0]_{Cu}$  方向的边界上被划分开的带状组织。这种组织从  $d \approx 10 \text{ \AA}$  时开始形成，同时出现了 bcc Fe 的衍射斑点。这种斑点表明，带状组织对于衬底 Cu 晶格乃是一种处在上述 Kurdjumov-Sachs 的关系、Pitsch 的关系 ( $(110)_{Fe} // (001)_{Cu}$ ,  $[1\bar{1}1]_{Fe} // [110]_{Cu}$ ) 和 Bain 的关系 ( $(001)_{Fe} // (001)_{Cu}$ ,  $[110]_{Fe} // [100]_{Cu}$ ) 中的  $\alpha$  Fe 的双晶组织。在  $\alpha = 25 \text{ \AA}$  和  $40 \text{ \AA}$  的 (c)、(d) 图中，上述带状组织中出现了更加细

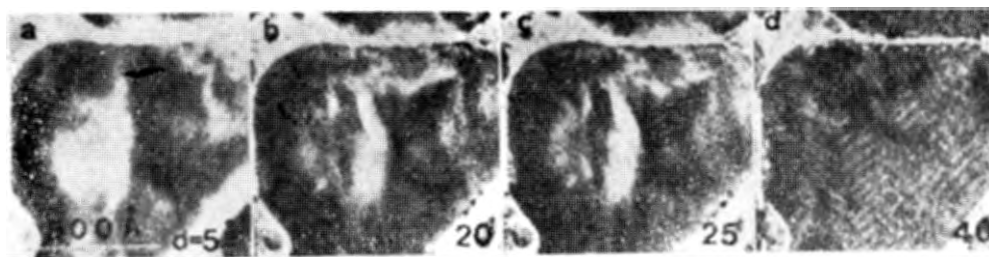


图1-23 Fe/(001)Cu (室温) 的生长过程

(未形成核生长粒子和MD's, 初期假晶格结构 $\gamma$  Fe膜形成双层带状组织并向 $\alpha$ 相转化)

小的带状组织, 该组织是被 $[110]\text{Fe} // [010]\text{Cu}$  方向的白线条 (间隔约为  $45\text{\AA}$ ) 分开的。其衍射图形与以前一样。在以上的任何一个阶段中都完全看不到由核形成的晶格及 MD's, 故搞不清楚  $\alpha$  相和带状组织形成的具体过程。可以肯定的是, Fe 在 (001)Cu 上的生长始于假晶格  $\gamma$  相膜的形成, 待到厚度达  $10\text{\AA}$  以上时, 便向  $\alpha$  相转化。与 Fe/(111)Au 的情况相同,  $\alpha$  相的形成缓和了残余假晶格  $\gamma$  相膜的畸变。即使到  $400^\circ\text{C}$ , 除了细带状组织的宽度扩大到大约  $65\text{\AA}$  以外, 其余仍与室温时的状态一样, Matthews 和 Jesser<sup>[20]</sup> 所报告的那种成核现象根本就没有出现。

我们在观察中, 无论在 Au 上还是 Cu 上都未发现有一向为人们所重视的那种间隔宽的、长长地延伸成直线状的 MD's。这大概是在蒸发中衬底形成无位错颗粒的缘故。以前所发表的认为是由衬底晶体位错造成的直线状 MD's 的密度要比我们所发现的低一个数量级。因此, 这种 MD's 大概只不过缓和了极少一部分的假晶格膜畸变, 仅仅是生长过程中的副产物而已。Cu 和  $\gamma\text{Fe}$  的晶格失配仅为  $1.2\%$ , 与此相应的 MD 形成的临界厚度按 Jesser 和 Kuhlmann-Wilsdorf 的公式<sup>[6]</sup>则是  $50\text{\AA}$ 。在 Fe/(001)Cu 中, 在达到这一厚度之前就发生  $\gamma \rightarrow \alpha$  转化。

#### 4.5 MD's 的发生机理

MD's 的形成多数是衬底晶体的位错以攀升或上升的形式延伸所致。不过一般来说, 衬底晶体中的位错数量, 要远少于使膜-衬底晶体的固有晶格失配完全缓和所需要的 MD's 数量。图 1-4(a) 中 PbS 的位错不到 10 条, 但最终在这个视场里必然形成 60 条左右的 MD's 网格 (图 1-10(a))。即使是无位错硅单晶上的同质外延, 为了缓和杂质质量的差异所造成的晶格常数差也须形成  $10\text{条}/\mu\text{m}^2$  左右的 MD's<sup>[2]</sup>。这种情况多见于衬底晶体边缘、颗粒界线或双晶界面, 另外也要考虑到生长过程中的增殖, 但本质上, 在图 1-19 的情况下, 重要的乃是新出现的机理。过去由于上述种种现象都隐匿在二次发生机理中, 对这种基本的发生机理观察得不够全面。不久前, Cherns 和 Stowell<sup>[68]</sup> 对 Pd/(111), (001)Au 上的 MD 发生过程做了细致的“现场”观察, 并做了详尽的分析。他们发现, 在 Pd/(001)Au 中, 具有与 (111) 上升面和界面的交线垂直的  $b$  矢量的 Shockley 不完全位错在 Pd 膜的自由表面上发生, 并且就是这种位错变成了具有与界面平行的  $b$  矢量  $a/2 \cdot \langle 110 \rangle$  的完全刃状位错, 他们推定这是 Frank 不完全位错继 Shockley 不完全位错之后在上升面上升, 由两种位错结合而成的。他们发现 Shockley 不完全位错是在 (111) 面上上升, 而在界面形成的完全 MD's 的延伸则总是由攀升造成的。他们还观察到 Pd/(111)Au 进行了观察,

发现形成了分成具有  $b = a/2 \cdot \langle 110 \rangle$  的三个分枝的完全刃状位错组 (trigons), 它在界面上具有三重对称的节点, 终端有很少一部分突出于表面, 并且也总是以攀升的形式延伸的。他们认为这种位错扩大成不完全位错这一事实, 表明 Frank 不完全位错有从表面经由 Pd 膜而向上攀升的可能性, 但由于最早的三叉结构用 TEM 也难以确定, 故很难作出定论。图 1-20 中的三叉位错更加明确地表明了其向不完全位错扩大的情况。

向不完全位错扩大的现象在 fcc 金属中很常见, 但在硫硒碲化合物中可能不会发生。因此在硫硒碲化合物中, 重要的大概是完全位错的初始形成机理。不仅是在类似的系之间, 就是相同系, 只要界面状态不同, 就会产生不同性质的 MD's。在蒸发后的 (001)Au 上直接生成 Pd 时, 一般是形成  $A_0$  型 MD's, 但对 (001)Au 面只要稍加离子研磨, 多数会出现  $A_1$  和  $A_2$  型的 MD's。在 Pt/Au, Pt/Cu, Pt/Ag 中, 迄今为止尚未出现过  $A_0$  型的 MD's。这些问题都有待今后更深入的研究。

## 5. 有关核生长的几个问题

### 5.1 外延成核后过程论

如读者所知, 这一理论的背景是, 从多年来所积累的取向关系方面的数据看不出与界面上的晶格适合度有规律性的关系, 以及 Bassett-Pashley 等人所作的关于对颗粒的旋转和并进更具体地进行“现场”观察的报告。在此后又陆续补充了以下几个依据。

1) 井野等人<sup>[64]</sup>发现在超高真空中解理面上, NaCl 上的各种金属膜外延情况要劣于在  $10^{-6}$  托的真空中解理面上的外延情况。Matthews 和 Grünbaum<sup>[65]</sup>对此结果重新做了验证, 结果还发现初期直径为  $10 \text{ \AA}$  左右的颗粒由于真空度的优劣引起的取向紊乱并不怎么大。他们得出的结论是: 要想得到好的外延膜就需要有“适当的污染”。也就是说在各种取向的核中, 污染能遏制主取向以外的其他取向的生长。

2) 人们注意到在非金属衬底上蒸发的小 fcc 金属颗粒, 在高真空中, 尤其在超高真空中大多具有复合的结构而不是单晶<sup>[66][67]</sup>。这种复晶粒的大多数具有规则的正十面体或正二十面体的外形, 分别由 5 个和 20 个相互为双晶的正四面体所构成。这是井野和小川通过 TEM 进行详细地观察而搞清的<sup>[68]~[70]</sup>。据认为, 这种多重双晶颗粒 (multiply twinned particles-MTP's) 对膜生长有着相当大的影响, 而且, 它们越过稳定界限而消失时的可动性也引起了人们的重视<sup>[6]</sup>。

3) 在水汽凝结的情况下, 倘只注意到成核速度发生急剧变化的临界条件, 则只能泛泛地议论一下凝结发生与否, 而在蒸发的情况下, 通过 TEM 观察计算出超过临界尺寸后直径很快达到  $10 \text{ \AA}$  左右的颗粒数, 可以找出成核速度同温度及蒸发速度的依赖关系, 进而还能够仔细观察此后的生长过程。鉴于此, Pound 一派便结合蒸发进一步发展了自 Volmer-Weber 以来的古典界面现象理论 (classical capillarity theory), 这个古典理论是以表面能量为参数的<sup>[71]</sup>。该理论认为普通蒸发在过饱和度极高的条件下, 临界核的原子或分子数最多只有几个, 而其表面能量的定义就模糊不清了。Walton 注意到了这点, 并提出了新的原子理论<sup>[72]</sup>。根据这个理论他预言: 在衬底温度或蒸发速度的某值附近临界核的原子或分子数发生变化时, 成核速度和取向也将发生急剧变化。他还和助手一起报告了如下情况: NaCl 上的 Ag 生长情况与这种预测完全相符<sup>[78]</sup>。例如, 当临界核原子数从 2

个变成3个时，(111)面便会转为(001)面。在这一发现的鼓舞下，核生长动力学的研究从六十年代后期开始盛行起来，进而还发展了速度论(rate process)的理论，同时进行了许多实验<sup>[4][48][74]</sup>。在此后的研究数据中，大多数情况下的临界核的原子数变成了与取向无关的1乃至0(0意味着存在有特殊的成核中心)。试图根据动力学来说明取向选择性的Walton构想，最终并没有实现。这就使取向问题退出了研究这种关系的舞台。此后根据对包括由结合引起的变化在内的颗粒分布的观察来决定吸附能和表面扩散的激活能，便成了人们研究的中心<sup>[4][74]</sup>。Venables等人原来将石墨上的稀有气体晶格生成看作是核生长，而他们发表的说服力很强的分析报告认为，在比较洁净的石墨上的生长为逐层生长，这是他们作了修正<sup>[4]</sup>。这方面的研究可以说尚未得出最后的结论，因此，目前一致强调的是颗粒的可动性。Venables分析了Robinson和Robins在观察300°C NaCl上的Au时所获得的数据，并得出结论，认为在2000秒的生长时间内，具有外延取向的颗粒平均起来要移动600~2000 Å<sup>[74]</sup>。

Kern、Masson和Métois等人的马赛研究集团，以更为确实的证据提出了颗粒可动性的主张<sup>[75]~[80]</sup>。他们根据常温下在KCl上蒸发10~50 Å Au后未加处理的样品和在常温下蒸发后经20~30分钟热处理(100~300°C)的样品中，铝颗粒的分布取向不同这一事实，认为未取外延方向的颗粒，譬如在100°C以200~300 Å/min的迁移率作布朗运动直至稳定在外延方向为止，在这一期间，当它们靠近时是互相排斥的。似乎他们深信在核生长中所以发生外延是由于可能出现这种布朗运动。

5.2 界面晶格适配和外延取向

对于核生长膜的取向，尤其是对碱卤化合物上的金属蒸发膜，已做了大量的观察，并已成为界面晶格适配在决定取向方面并不重要这一结论的主要依据。然而，对碱卤化合物而言存在着表面稳定性问题，正如井野所见，真空度不同，其结果明显不同。因此我们研究了据认为有比较稳定的表面的(001) MgO上的各种蒸发物质的取向，获得图1-24所示的结果<sup>[81]</sup>。图中按蒸发物质和衬底晶体的晶格常数比 $\rho (=a_a/a_s)$ 值的大小排列出所观察到的取向。P、R是在第3节中提到过的取向，S、T则是下列取向。

- S:  $(1\bar{1}0)_a // (001)_s, [11\bar{2}]_a // [100]_s$
- T:  $(111)_a // (001)_s, [1\bar{1}0]_a // [110]_s$

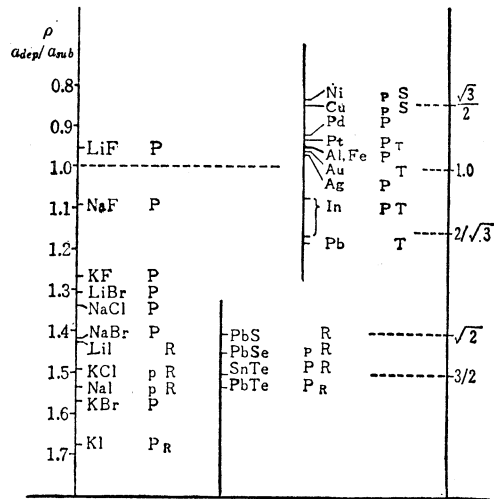


图1-24 (001) MgO上的各种碱化合物、硫硒碲化合物和金属的外延取向 (bcc Fe的取向表示了它的面心晶格)  
 P:  $(001)_a // (001)_s, [100]_a // [100]_s$   
 R:  $(001)_a // (001)_s, [110]_a // [100]_s$   
 S:  $(1\bar{1}0)_a // (001)_s, [11\bar{2}]_a // [100]_s$   
 T:  $(111)_a // (001)_s, [1\bar{1}0]_a // [110]_s$

图中取向符号的大小表示了取向优劣的程度(见图1-25、1-26、1-27和文献[81]中的照片)。在碱卤化合物的情况下，为避免照射损伤，在常温下蒸发20~200 Å厚的膜以后再进行观察。对硫硒碲化合物和金属则是在蒸发过程中进行连续观察，以及在蒸发到一定的厚度再进行观察，观察是在衬底温度 $T_s$ 从室温起到300°C和550°C、蒸发速度 $R$ 在1~20 Å/min

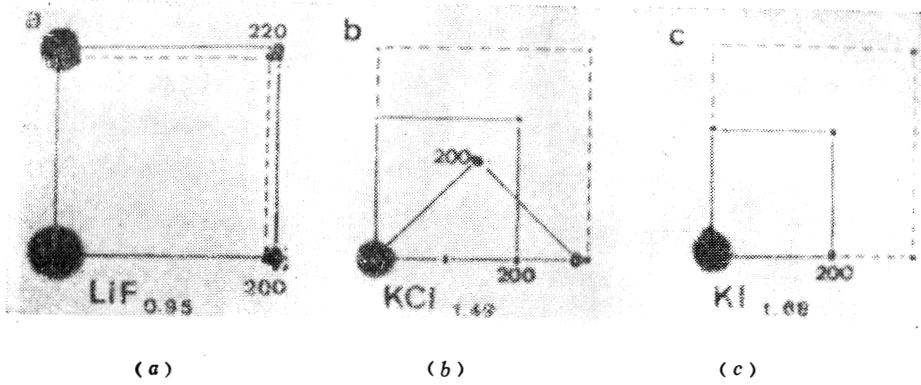


图1-25 表示生长初期的 (a) LiF/MgO的完整的P取向, (b) KCl的P、R取向, (c) KI的P、R取向的衍射图形  
(虚线和实线所连接的斑点分别是由LiF、KCl、KI和MgO引起的)

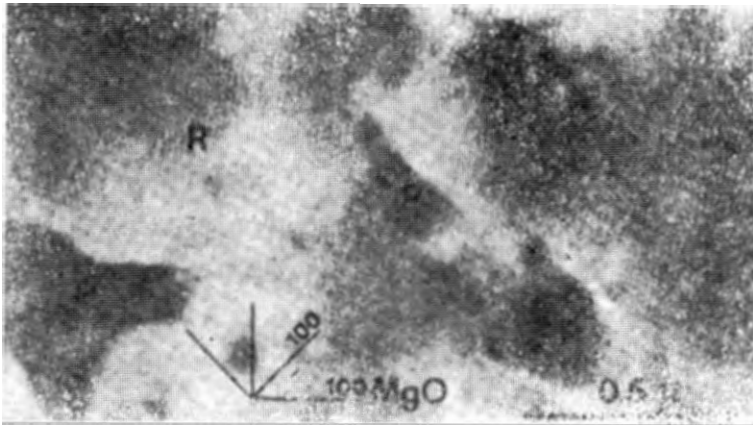


图1-26 直至生成连续膜为止的KCl/MgO的TEM图像  
(与图1-3的情况相同, 可看到莫尔条纹的区域是R取向, 看不见莫尔条纹的为P取向, 而R取向占优势, 区域广)

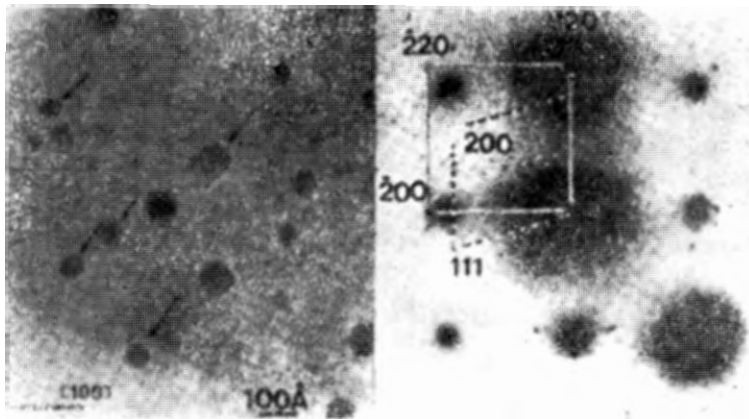


图1-27 Cu/MgO的TEM图像和衍射图, 在结合 (020) MgO反射而拍摄的TEM图像中, P取向的颗粒显示有间隔为1.27 Å的横向莫尔条纹, 箭头所指的S取向的颗粒示出了 (111) 和 (200) 衍射斑点 (用虚线围成方框)

的范围内进行的。然而只要一涉及到图 1-24 的取向关系就断定不了是否有差别。

在图 1-24 的结果中，引人注目的是各种蒸发物质都按照  $\rho$  值有规律地取其特征方向——P、R、S、T，这里只有一个例外，即Au的情况不在此例。显然，对于  $\rho = 1$ 、1.5 及  $\rho = \sqrt{2} \approx 1.4$ ，P和R取向给出了界面上完全的二维晶格匹配。对于  $\rho = \sqrt{3}/2 = 0.87$  和  $\rho = 2/\sqrt{3} = 1.15$ ，S和T也分别会在  $[111]_d // [010]$ ，和  $[11\bar{2}]_d // [110]$ ，方向上形成完全的一维晶格匹配，与这两个取向垂直方向上的晶格失配较小。S取向  $[111]_d$  方向上的失配可用  $\eta[111] = 2\rho/\sqrt{3} - 1$  表示，在  $\rho = 0.858$  的Cu中仅为 0.93%，在  $\rho = 0.836$  的Ni中也只有 3.35%。与其垂直的方向失配可用  $\eta[112] = \sqrt{6}\rho/2 - 1$  表示，Cu和Ni分别为 5% 和 2.5%。这些一维失配远比P取向的二维失配  $\eta(001) = \rho - 1$  (Cu: 14%，Ni: 16%) 小。对于  $\rho > 2/(2\sqrt{3} - 1) = 0.928$  来说， $\eta[111] > \eta(001)$ ，在  $\rho = 0.92$  的Pd中，P取向处于优势是与此相对应的。T取向上的失配 ( $\eta[112] = \sqrt{3}\rho/2 - 1$ ) 对于  $\rho = 1.176$  的Pb来说只是 1.8%。在  $\rho < 2(\sqrt{3}/2 + 1) = 1.072$  时，则  $\eta[112] > \eta(001)$ 。In 具有  $c/a = 1.076$ ， $\rho_a = 1.086$ ， $\rho_c = 1.172$  的立方晶格结构。因此可以说P、T取向是相互竞争的。In的4个原子所构成的四面体底面呈等腰三角形，其T取向有图1.28中所示的二种。对于A或B型T取向的  $\eta[112] = 0.78\%$  明显小于 a、b 型的 4.27%。与此相对应，A或B型发生的可能性就要大得多。

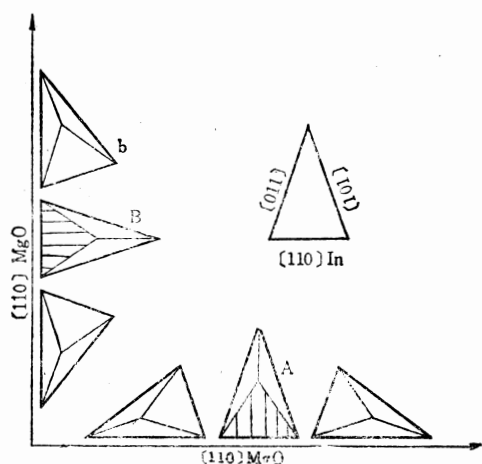


图1-28 在In/(001)MgO中出现的两种T取向，A或B和 a、a' 或 b、b'

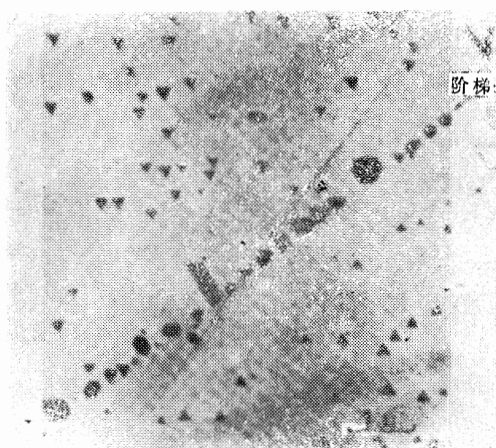


图1-29 In/MoS<sub>2</sub>的台阶宽度和完全的双取向选择

In 在 MoS<sub>2</sub> 上会进行图 1-29 所示的那种明显的取向选择<sup>[82]</sup>。该视场被在阶梯上优先成核的大颗粒排列的线条分隔成两部分，在左上方区域中，三角形的 In 颗粒一律向下，右下方区域中的则全部朝上。由于表面第二层 Mo 原子的影响而完全选择了所谓双取向 (double positions, 图 1-30 中的双线和虚线三角形)。前言中已讲到过，在伺沼<sup>[15]</sup>采用 HEED 所做的观察中，由双取向一方引起的 Au 和 Ni 的斑点要比其它方面的强，由此便可看出优劣。即使在图 1-1(a)~(e)中也能看到，朝左上方的三角形 Au 颗粒要比朝反方向的多。这种双取向选择率同衬底温度及蒸发速度的关系乃是成核动力学理论的一个有趣的试验例子，但是没有获得比 95~100% (In)、60~80% (Au、Pb) 更为系统的结果。据认为



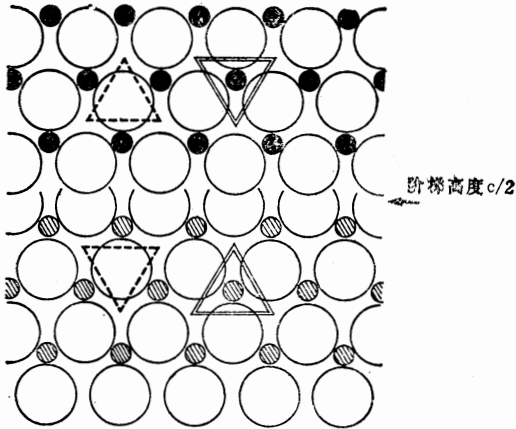


图1-30 MoS<sub>2</sub>解理面高度 $c/2$  ( $c$ 是垂直于MoS<sub>2</sub>解理面方向的晶格周期)的台阶和表面第一个O原子面(大白圈)和第二个Mo原子面(小圈)

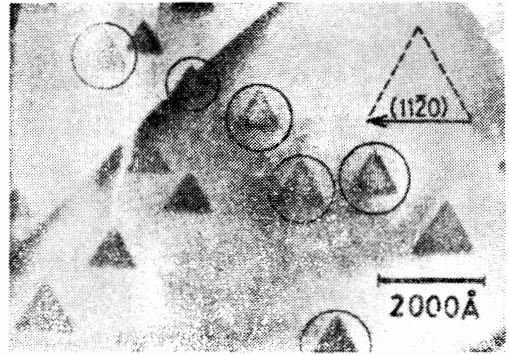


图1-31 结合(11,0)MoS<sub>2</sub>反射而拍摄的In/MoS<sub>2</sub>TEM图像

这是由于矿物 MoS<sub>2</sub> 的晶体中含有杂质氟。

在图 1-31 圆圈内的 In 颗粒上, 出现垂直于三角形的一个边、方向相同、间隔 50 Å 的莫尔条纹。同样的莫尔条纹也出现在以衬底法线为旋转轴的具有三重对称性的其他 In 的颗粒上。这些事实表明, In 颗粒具有由图 1-32 的 A<sub>0</sub>、B<sub>0</sub>、C<sub>0</sub> 四面体所表示的取向。如果 In 颗粒的取向是使这些四面体的底面的长边与<10, 0>MoS<sub>2</sub> 方向平行的话, 则与该边平行的莫尔条纹(间隔为 44 Å) 理应出现在与{11, 0}MoS<sub>2</sub> 反射重合的 TEM 图像中, 但实际上根本没有观察到这种现象。晶格的失配程度对前一取向为 2.6%, 对后一取向则为 6.3%。正是由于这种差别才产生了明显的取向选择性。在 A<sub>0</sub>、B<sub>0</sub>、C<sub>0</sub> 取向的 In 颗粒的晶格之间存在着取向差异。在它们初期的聚结中, 由于颗粒旋转后便以图 1-32 的 (A<sub>0</sub>、B<sub>A</sub>、C<sub>A</sub>), (B<sub>0</sub>、C<sub>B</sub>、A<sub>B</sub>) 和 (C<sub>0</sub>、A<sub>C</sub>、B<sub>C</sub>) 的组合形式形成配列双晶, 继续发展下去则由于这些双晶颗粒之间有着取向差异而必然要产生缺陷, 有关这一过程的详细情况可参阅原论文。

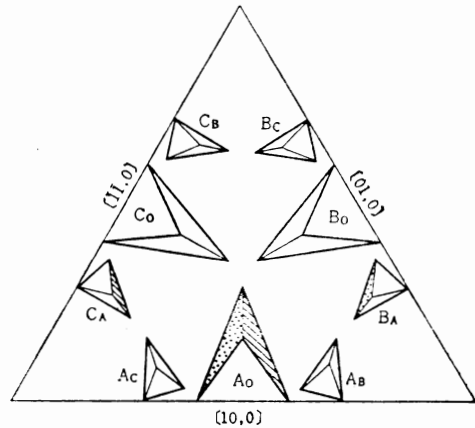


图1-32 In/MoS<sub>2</sub>的外延取向A<sub>0</sub>、B<sub>0</sub>、C<sub>0</sub>图的等腰三角形与图1-28相同, 表示由4个In原子构成的四面体(有关A<sub>B</sub>、B<sub>A</sub>等请参阅本文)

在图 1-24 中也可以看到, Au 是一个明显的例外, 而且, 当然不能说在稍加离子研磨的(001)MgO 上 Au、Cu、Ni 完全为 P 取向等等都仅仅取决于晶格匹配。而像 Bauer 等人那样<sup>[36][88]</sup>只强调晶格匹配和界面的化学效应看来是过份了。

### 5.3 复双晶颗粒 MTP's 的形成和生长

图 1-33 表示了“现场”观察 MTP's 的形成及其生长的过程<sup>[84]</sup>。P-1、P-3 和 P-5 是正二十面体 MTP、五角形截面和菱形截面的正十面体 MTP's (图 1-34) 在保持

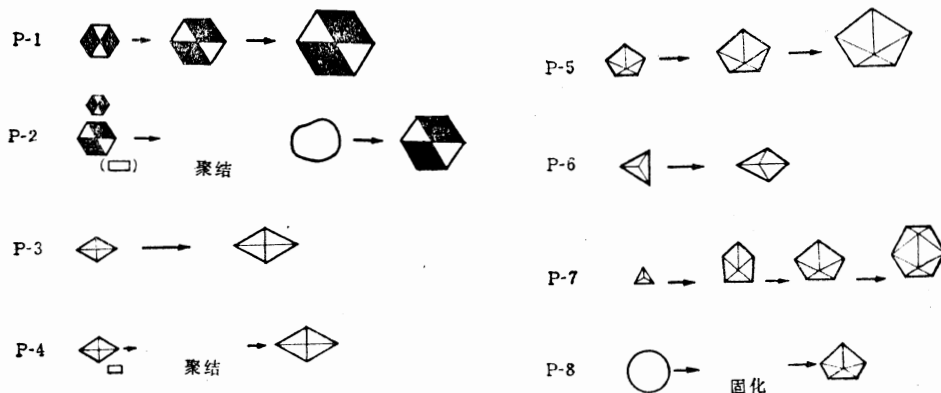


图1-33 复双晶颗粒 (MTP's) 的形成和生长过程

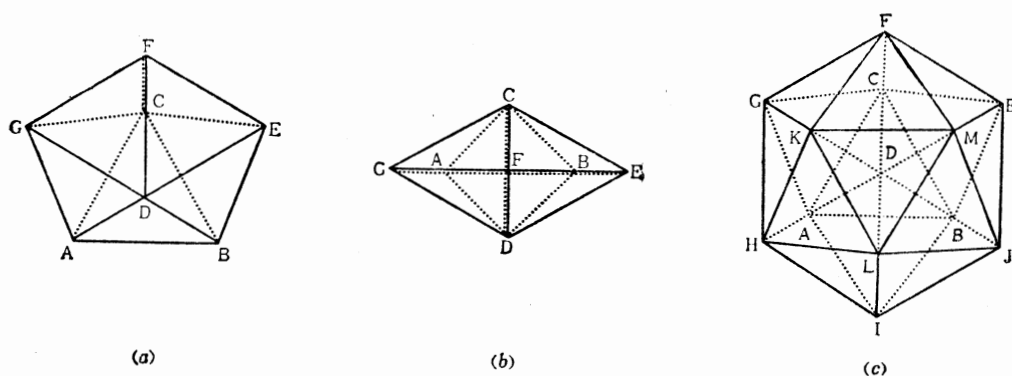


图 1-34

(a) 五角形截面; (b) 菱形截面的正十面体MTP's和 (c) 正二十面体MTP。

它们各自的等边多角形的外形的同时进行生长的过程。P-2和P-4是在一个MTP和另一个MTP或有外延取向的颗粒聚结之后,再形成一个新的MTP的过程。P-6和P-7是在有外延取向的颗粒上出现双晶而形成MTP的过程,P-8是液相颗粒固化形成MTP的过程(参看图1-35、1-36和文献[84]的照片)。

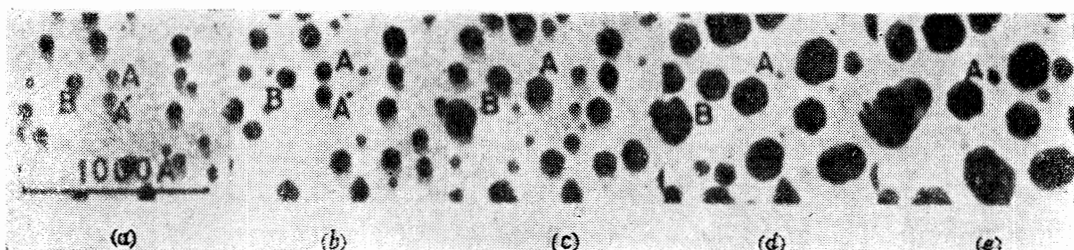


图1-35 (001) MgO(350°C) 上Ag的MTP's的形成和生长

P-1过程: (a)→(b) 的A和A', (a)→(d) 的B;  
 P-2过程: (b)→(e) 的A+A'→A (注意在(c)中崩溃的A的外形在(d)、(e)中又得到恢复)。

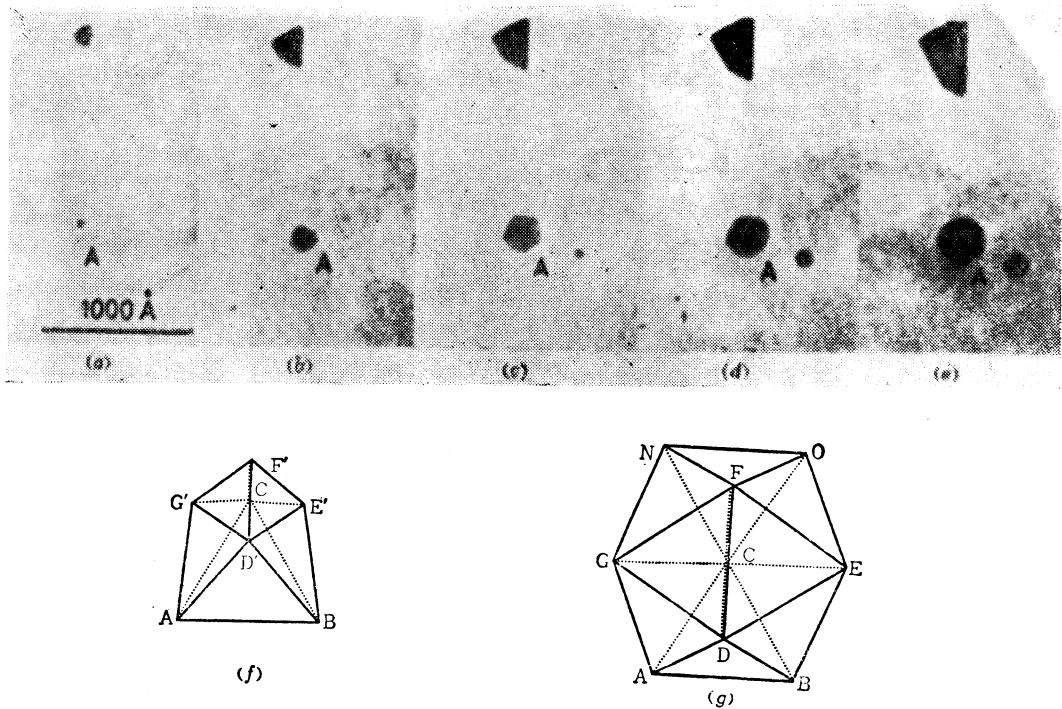


图 1-36

(a)~(e) 是 (111) MgO (400°C) 上 Ag 的 MTP 的 P-7 过程; (f) 和 (g) 表示 (b) 和 (e) 中的结构。

关于 MTP's 的形成和生长机理说法不一。小川和井野<sup>[70]</sup>在把图 1-34 的 ABCD 看作是 4 个原子时指出, 给这 4 个再加上 E、F 等 3 个或 9 个原子后, 就有可能分别形成由 7 个和 13 个原子构成的正十面体和正二十面体的 MTP 核, 前者即使在衬底面上也能保持等边多角形进行生长, 而后者则不能。E. Gillet 和 M. Gillet<sup>[85]</sup>鉴于存在有外形相同大小各异的 MTP's 这一情况, 指出了在保持住等边多角形的状态下原子生长过程的重要性, 而 Allpress 和 Sanders<sup>[86]</sup>则鉴于在易形成双晶的 fcc 金属中发现有 MTP's 这一情况, 提出双晶依次出现的过程。MTP 的重要特征是仅仅把其构成的四面体聚于一处, 便能因连续的畸变而使晶格间残留的间隙完全得到缓和。这一特点最初是在直接观察晶格图像中得到确认的<sup>[87]</sup>, 在附着于衬底晶体上的 MTP's 中出现的莫尔图像中可以更清楚地看到这一点 (见文献[84]、图1-8)。

井野<sup>[88]</sup>注意到了这点, 他指出 MTP's 是微细 fcc 金属的稳定或准稳定的存在形态, 它可以看作是一个巨大分子。如上所述, 形成及生长的过程多种多样, 尤其是在 P-2 和 P-4 过程中, 聚结颗粒恢复 MTP 结构和在 P-8 过程中形成 MTP 结构, 这是这种提法的另一佐证, 同时还表明在有关 MTP's 的各种看法中, 形成和生长的过程并不是特别具有实质意义的。在 P-2、P-4 和 P-8 过程中, 引起很多原子的快速再排列。因此, 如果认为保持等边多角形的生长, 也是从等边多角形开始, 一边不断地修正微小偏差一边进行生长的话, 就不那么不可思议了, 这从第 3 节中看到的金属原子的快速表面自扩散来看当然也是可能的。此后在稀有气体中凝结的 fcc 金属微颗粒<sup>[89]</sup>和稀有气体本身的凝结成的微粒<sup>[90]</sup>中也发现了 MTP 结构, 并得知这种 MTP 结构是这种微粒的一般存在形态。

根据外延总是在特定的取向上发生这一情况而发现的 MTP's, 乃是研究 薄膜生长的一个重要成果, 从某种意义上来说是研究的副产物, 通常它在薄膜生长中不起主要作用。MTP's 是在衬底的外延效应(即界面力)弱时, 少量颗粒的存在形态胜过了它们而出现的, 在超高真空中解理的碱卤化合物上所发现的情况, 正是这样产生的。在这种衬底上, 变大的 MTP's 如果与其它的颗粒聚结便会形成复杂的颗粒, 从而引起取向的劣化。然而, 在界面力更强的 MgO 和 MoS<sub>2</sub> 上, 高温时会形成 MTP's, 但在 300°C 以下很少形成, 即使形成也会与外延取向的颗粒聚结, 并被吸收掉, 因此, 对以后膜的生长几乎不会产生任何影响。

#### 5.4 核生长颗粒的可动性 (cluster mobility)

图 1-37 是(111)MgO 上相同视场中的微小 Au 颗粒的 TEM 照片, (a)、(b)、(c)

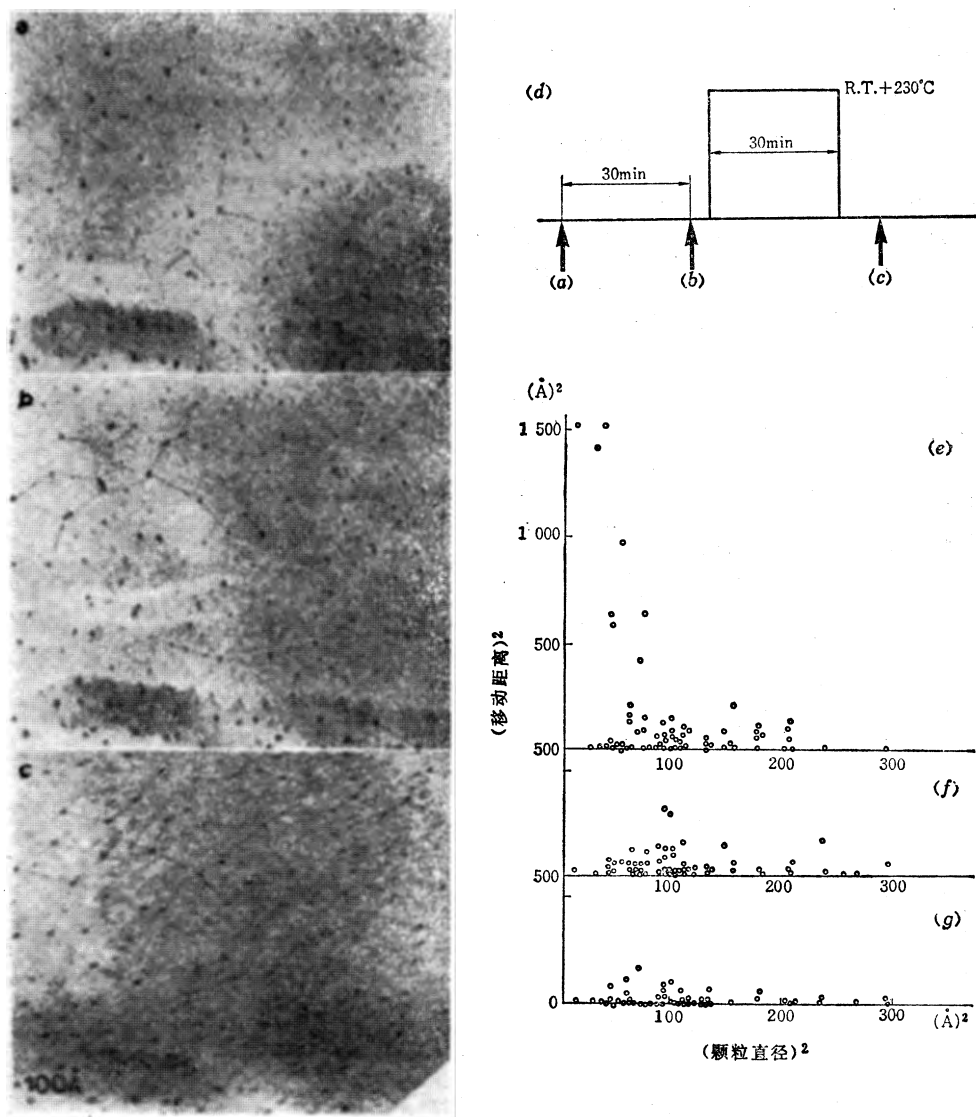


图1-37 (111) MgO上的微小Au颗粒的TEM图像

(a)、(b) 是 (d) 中所示的热处理之前的TEM照片; (c) 是 (d) 中所示的热处理之后的; (e)、(f)、(g) 是拍照期间及拍照之后的颗粒移动距离的平方与颗粒直径的平方的关系图。

图都是在室温蒸发后经 30 分钟的热处理 (在  $230^{\circ}\text{C}$  中), 然后分别在 (d) 图的箭头所指位置拍摄的。在拍摄过程中, 电子照射只在寻找视场以及拍摄所需的时间内进行, 以尽可能地避免其产生的影响。照片中首先引人注目的是颗粒移动小, 从将有代表性的颗粒连接起来的线条便可看出, 三张 TEM 图像上的几乎所有的颗粒都是固定的。将照片的一面复制在透明板上并与另一面重合起来便能清晰地看到颗粒的移动。从 (a) 图到 (b) 图和从 (b) 图到 (c) 图之间的主要移动在 (a) 图和 (b) 图中是用箭头标出的。(e) 图和 (f) 图是大约 60 个颗粒从 (a) 图到 (b) 图和从 (b) 图到 (c) 图移动距离的平方与颗粒直径平方的关系图。(g) 图是从 (c) 图起再经室温放置十分钟后的移动情况。

不能说上述颗粒的移动不受照射电子的影响。然而即使受这种影响, 所有颗粒的平方平均移动距离都在  $20\text{ \AA}$  以下, 这与 Venables 和 Kern 一派所报告的关于碱卤化合物上的外延及非外延金属颗粒的值相比要小一个数量级以上。他们还就 (001) 和 (111)  $\text{MgO}$  上的直径  $\leq 10\sim 30\text{ \AA}$  的 Au、Ag 和 Pd 颗粒 (在  $50\sim 300^{\circ}\text{C}$  下经  $5\sim 30$  分钟的热处理) 反复进行了同样的观察<sup>[40][44][45]</sup>, 但是, 平方平均移动距离没有超过  $20\text{ \AA}$ , 也从未观察到颗粒的直径随热处理的温度和时间发生有规则的变化。如果颗粒的取向改变, 衍射斑点的宽度和每个颗粒的 TEM 图像反差, 按理均应发生变化, 但是也没有观察到这种变化。常温蒸发的 Pd 颗粒在 (001) $\text{MgO}$  上是平坦的, 将它在  $130^{\circ}\text{C}$  以上加以热处理便会成为圆形的, 但是它的全 P 取向始终不变。Ag 和 Au 粒子在 (001) 和 (111) 面上并无差异。

最近, Métois<sup>[91]</sup> 与 Poppa 等人合作, 在室温中连续观察了采用与我们相同的电子束曝光法制得的 (111) $\text{MgO}$  的 Au 颗粒, 发现直径  $\leq 10\text{ \AA}$  的颗粒夹在其它的颗粒中间运动着, 他们认为这就是受到附近颗粒的反作用而引起的布朗运动。然而该结论尚有下列几个疑点。

1) 之所以能看到这种运动, 乃是因为周围大部分颗粒几乎都不动的缘故, 所有颗粒的平均移动距离不超过  $20\text{ \AA}$ 。

2) 尽管照射强度算是减弱了, 但由于是连续照射, 故不能忽视其影响。

3) 在运动的颗粒和停止的颗粒中间并没有取向差造成的反差之差。

4) 与颗粒直径及温度的关系尚未得到证实。

在我们对图 1-1 的 Au、图 1-29 的 In 及其它金属在  $\text{MoS}_2$  上以及图 1-24 中的各种物质在  $\text{MgO}$  上的生长进行的“现场”观察中, 无论在什么情况下都不曾发现颗粒本身移动的迹象。另外, 取向性在整个生长过程中也没有怎么变化, 至于说一开始取向性较差而随着生长的进展得到改善的情况也未看到。尤其是在  $\text{NaCl}$  上根本就没有发生井野等人和 Matthews 等人所看到的由于变成超高真空而导致劣化的情况, 相反倒是得到了显著的改善。图 1-3 表示了莫尔条纹方向在颗粒之间误差相当大的情况, 这种宽间隔的莫尔条纹将取向关系扩大约 40 倍, 故颗粒的取向紊乱程度小。与其说取向的紊乱是受颗粒聚结时所形成并一直存在下来的缺陷的影响, 倒不如说是随膜厚的增加而有所加剧。在  $\text{MgO}$  上, Au 和 Ag 的生长颗粒的反差不时地变化, 有时也出现极小的取向摆动, 但只要停止蒸发原子流就不再出现这种现象, 因此这不是颗粒固有运动。在  $\text{MoS}_2$  上, 碱卤化合物膜的取向紊乱则要少得多, 因此金属颗粒的反差全然不发生变化。这种差别大概是由于采用电子束曝光制得的  $\text{MgO}$  晶体表面没有  $\text{MoS}_2$  的解理面那样平滑的缘故。

以上我们所看到的在  $MgO$  和  $MoS_2$  上的核生长中发生外延的过程，乃是根据过去一般的思路而设想出来的，这至少表明最近提出的成核后取向调整论没有普遍性。能用 TEM 观察的颗粒已经是几十个原子所组成的原子团，假定其临界核的原子数为 0 至 1，则颗粒在这一期间必定经过了很长的成核过程。也许有人会说，在这一期间内有可能发生“成核后取向调整论”所指出的情况。但是这种理论也是以在 TEM 中看到的颗粒的“行为”为根据的。对液滴状聚结的观察结果表明，在这样微小的金属颗粒中会引起速度极快的原子再排列。因此，象这种理论所说的那样，相当数量的原子聚结后以原子团的形式移动，并正是它们对外延起着特别重要的作用，这一情况很难认为是真实的。另外，在化合物颗粒中，恐怕也不大能发生分子的再排列，同时分子团的运动也将更加困难。

### 5.5 Cabrera 型核生长

不用说，这种生长形式不同于上述“成核后”论，而是试图以界面的晶格匹配来解释外延的。然而它的最基本的论据也是 Bassett-Pashley 等人关于莫尔条纹取向摆动的报告<sup>(7)(92)</sup>。据说，当双向的 MD's 无规律地出现在生长颗粒-衬底晶体之间时，会影响到颗粒的畸变。对此恐怕也无须另加批驳了。

Vincent 提出的有关 Sn/SnTe 的报告被视为是 Cabrera 型核生长的最重要的依据<sup>(93)</sup>。他测定了在  $140\sim 200^\circ C$  生长的 Sn 颗粒的莫尔条纹宽度，并将根据这一宽度算出的残余形变的值对颗粒的宽度作图，结果得到了二者间锯齿形的关系曲线。他认为这是由于 MD 一条一条地进入到固相生成的 Sn 颗粒和衬底之间的界面上的缘故。Jesser 和 van der Merwe<sup>(94)</sup> 根据与 Niedermayer<sup>(95)</sup> 已经发表的相同的一维原子链模型进行了计算，确认 Vincent 的结果。这一观察被誉为揭示了 MD 形成的“量子”过程。

Sn/SnTe 的主外延取向是：

$(100)Sn// (001)SnTe$ ； $[010]Sn//[100]$  或  $[010]SnTeSn$  立方晶格的  $c$  周期基本上是 SnTe 的  $a$  周期的一半，该方向的  $\eta (=0.87\%)$  小。而与其垂直的方向的  $\eta = 8.7\%$  却大。也就是说接近一维原子链模型。

从一般的金属微粒的熔点下降（见第 1.5.7 节）来看，Vincent 认为到  $200^\circ C$  便形成固相颗粒，这是有问题的。我们注意到这一点后进行了“现场”观察，首先发现在该系中导致固相形成的温度是在  $100^\circ C$  以下（图 1-38）。在  $100\sim 130^\circ C$  之间，液相成核的颗粒在生长过程中发生固化（图 1-39）。在  $130^\circ C$  以上，则即使达到直径  $200\sim 300 \text{ \AA}$  仍为液相（图 1-40）。液相颗粒在衬底的影响下不是呈球形而呈漫圆的四方轮廓。它虽然在  $\leq 100^\circ C$  时固化，但固化时其外形并无显著变化。从液相固化的颗粒除上述取向外，往往有  $(100)Sn// (001)SnTe$ ， $[101]Sn//[100]SnTe$  或  $[010]SnTe$  这样一些取向。这点与固相生长的颗粒只取主取向并有在  $c$  方向延伸的倾向的情况是不同的。液相生长后固化的颗粒的这种特点也是 Vincent 观察在  $140\sim 200^\circ C$  所形成的颗粒时发现的。

和 Vincent 一样，从采用其它淀积设备制成的样品获得的统计数据中，虽然我们测量的颗粒数更多，测量的精确度也更高，但是，却在任何温度区间都没有看到残余形变的明显的锯齿形变化。然而，在  $100^\circ C$  以下，在跟踪固相生长的各个颗粒畸变的“现场”观察

● 原文误为  $\eta = 0.87\%$ 。——译者

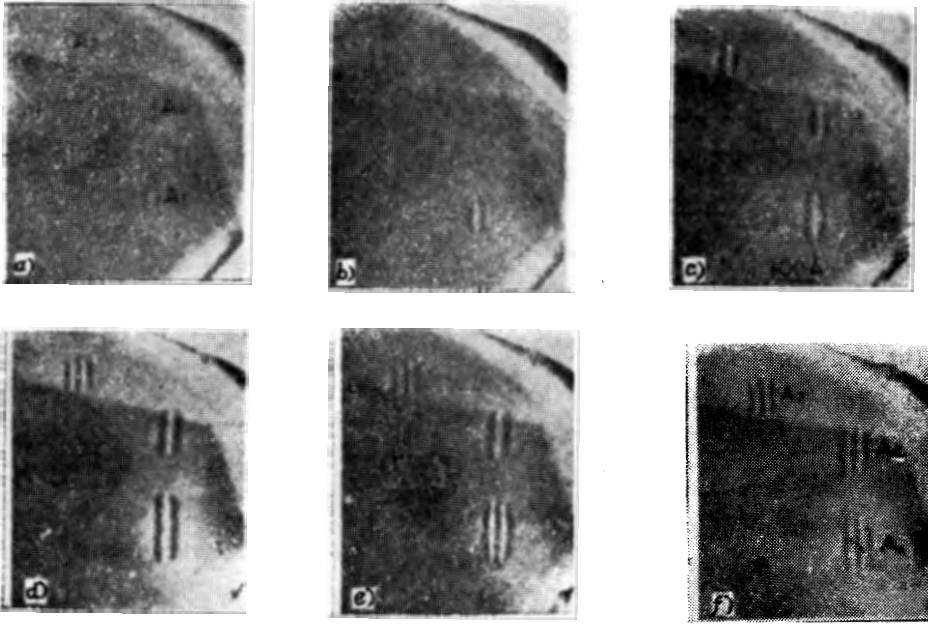


图1-38 Sn/SnTe (80°C) 的固相成核和生长中的莫尔条纹间隔, 亦即Sn颗粒的晶格畸变的锯齿形变化



图1-39 Sn/SnTe(120°C) 的液相成核和生长中的固化 (时间间隔 8.7 s 和 0.7 s,  $R = 10 \text{ \AA}/\text{min}$ )

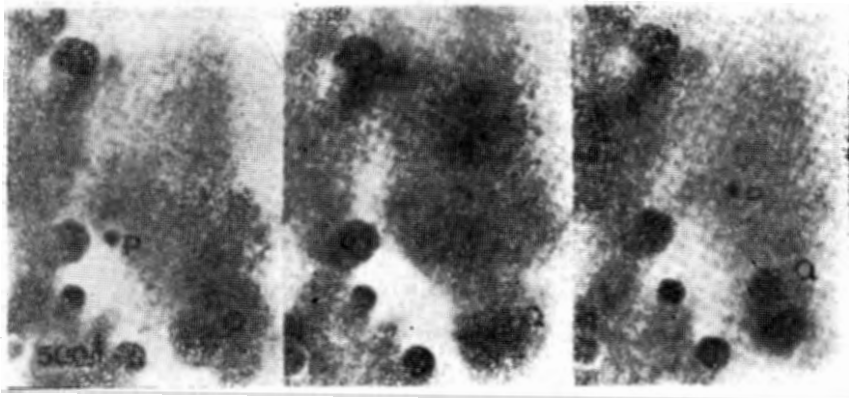


图1-40 Sn/SnTe(130°C) 的液相成核及其生长 (时间间隔 1.3 s,  $R = 10 \text{ \AA}/\text{min}$ )

中却发现了锯齿形变化。图 1-38 是一组照片，可以看到颗粒  $A_1$  的两条莫尔条纹的间隔从 (a) 图到 (d) 图依次扩大，在 (e) 图中可以看到已形成的三条莫尔条纹的间隔急剧变窄。而从 (e) 图到 (f) 图又扩展了一点。在颗粒  $A_2$  和  $A_3$  中也看到了同样的变化。图 1-41 是将此作为残留畸变的变化来表示的。虽然由 4 个颗粒得到的值在颗粒宽度达  $100 \text{ \AA}$  以上时相差很大，但不管怎样总还是呈锯齿状变化的。

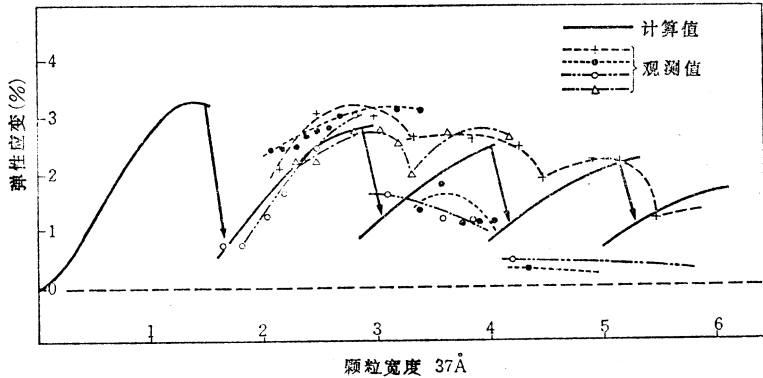


图1-41 Sn/SnTe (80°C) 的Sn颗粒残留畸变呈锯齿形变化的实测值和计算值

Vincent 假想了 MD's 的形成，但还没有得到证实。仅在一个方向上有很大的晶格失配时出现的 MD's 是很难搞清楚的。我们在“非常之弱”的反射条件下详细研究了根据计算理应能够查明是否有 MD's 存在的视场，但结果是否定的<sup>[57]</sup>。

残留畸变出现锯齿形变化这一现象，即使忽略像 MD 那样的局部性畸变集中而只考虑相同畸变的原子链模型，也能予以解释。图 1-42 是为便于直观地说明该现象而绘制的一维链式模型。图中可以看到，在自然状态下，原子间隔为  $a_0$  的原子链，在周期为  $b$  的正弦势垒的衬底上的畸变相同，而具有  $a$  的间隔的状态，乃是“恢复了原状的”状态。这个

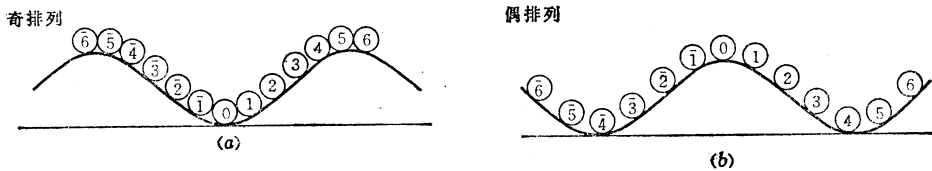


图1-42 原子链模型的 (a) 奇排列和 (b) 偶排列 (“恢复了原状的”表现)

原子链中央部位的原子“0”在 (a) 图的奇排列状态下处于势垒的谷底，在 (b) 图的偶排列状态下则处于势垒的顶端。这表示生长中的颗粒（即一定长度的原子链）处于稳定状态。假定原子一开始便从 0 原子的两侧均等地一个接着一个地附着下去，如以 1 号的 1 原子为例，实际上 1 原子应该处在距 0 为  $\pm la$  的位置上，但在该图中它却处在距离为  $\pm l(a - b)$  的假想位置上。这一位置在能量上是与实际的位置等效的，整个原子链的稳定性还是在这个位置上看得最清楚。颗粒的生长是从“恢复了原状”的原子链靠近 (a) 图的奇排列底部的地方开始的。因此，原子数增加时，所附加的原子便会处于势垒逐渐升高的地方，这就降低了整个的能量，于是原子便一个劲地朝能谷底部方向逼进。这种逼进随原子数量的增加而加剧，从而加重了颗粒的畸变。当原子超过一定数量时，附加原子便来到超过势垒的位置上。这样一来，(b) 图的偶排列的整个能量就会变小，故原子链就



移附其上，原子则转移到势垒更低的位置上，从而畸变得到急剧的缓和。此后倘再增加原子，则附加原子便会再次处于势垒峰的位置上而使畸变增大，这一畸变增大现象一直持续到下一个奇排列趋于更加稳定并向其转移为止。这样，就发生了原子链（即生成粒子）的畸变的锯齿形变化。

如果针对平均畸变  $\varepsilon$  的值计算连续的不同原子数的原子链的能量并求出对应于其极小值的畸变  $\varepsilon$ ，则可得到图 1-41 中用实线表示的值。至少在第二锯齿变化中，该值的重复性是很好的。

在这一计算中假定了畸变是相同的，但这就与假想的起衬底作用的 Peierls 力（呈周期性变化并因原子链的每个原子的情况而异）相矛盾。这种力会引起随原子链和衬底晶格周期的微变而变化的附加性畸变  $\Delta\varepsilon$ 。这一现象可按级数展开近似法代入上述计算中。计算的结果与 Niedermayer 和 Jesser-van der Merwe 的计算是等效的，上述计算为其第一级近似值。然而我们认为重要的乃是即使不考虑附加性畸变  $\Delta\varepsilon$ ，平均畸变的锯齿变化也能作为一次性能效应得到。若把第二级近似也考虑进来的话，则  $\Delta\varepsilon$  与微变周期成正比。因此相同畸变的近似对于象 Sn/SnTe 那样失配大的系来说是一种较好的近似。

图 1-38 的  $A_1$  颗粒在显示有二条莫尔条纹的 (a)~(d) 图中所取的是第一偶排列（复原后的原子链跨越衬底势垒的 2 个能谷），在显示有三条莫尔条纹的 (e)~(f) 图中所取的则是跨越三个能谷的第二奇排列。暗莫尔条纹出现在与 Sn 和 SnTe 的反射原子面互为逆相位的位置上，而 (d) 图的两条莫尔条纹和 (e) 图的 3 条莫尔条纹都处在与  $A_1$  颗粒的中心线相对称的位置上，这表明这种逆相位的位置移动了。从图 1-43 的照片可以更清晰地看到移动期间的状态。在 (a) 和 (b) 图中能够清晰看到的二条莫尔条纹一度在 (c) 和 (d) 图中消失了，而在 (e) 和 (f) 图中又重新出现了三条莫尔条纹。这就是具有 2 个逆相位位置的颗粒-衬底晶体间的晶格对应关系一度消失，而又重新形成了具有三个逆相位的对应关系的结果。当逆相位位置在双方的晶格面的一对一的对应中出现一个失误时，在几何学上就相当于位错，在位错中便会出现局部畸变的集中。而在 Frank-van der Merwe 的理论中 MD 的作用，是将因晶格失配而在界面产生的不匹配以局部畸变的形式吸到自己周围，并使界面其余部分在整个生长过程中都尽可能地保持完好的匹配状态。然而在 Sn/SnTe 中，用 TEM 检测不出这种局部畸变。图 1-43 还表示即便出现有这种局部畸变，也会在奇、偶排列间发生位错时即迸出来并重新向其它位置聚集。换言之，MD's 即使出现了，也不会作为独自处理界面不匹配的物性“物体”保持其作用并存在下去。

在图 1-41 的计算中，乃是假定了原子链具有一定的弹性常数。颗粒的生长不仅仅增加宽度，而且也增加了厚度。厚度的增加与原子链弹性常数的增加相当，从而减少了平衡畸变  $\varepsilon$ 。固相生成的 Sn 所取的是向失配小的  $c$  方向延伸的形态，该形态不一定稳定。生长过程相同的颗粒的长度和宽度之比有很大偏差，可能厚度也各不相同。也就是说，Sn 颗粒不能被看作全部是严格地保持着与理想锯齿状变化相对应的极小能量状态而生长的。图 1-41 的实测值在颗粒宽度大时会出现差异，另外，这也正是在蒸发颗粒的统计数据中未能发现锯齿形变化的原因。

在 Sn/SnTe 中， $\eta (=8.7\%)$  大，而界面力也相当之大。在其它核生长的情况下， $\eta$

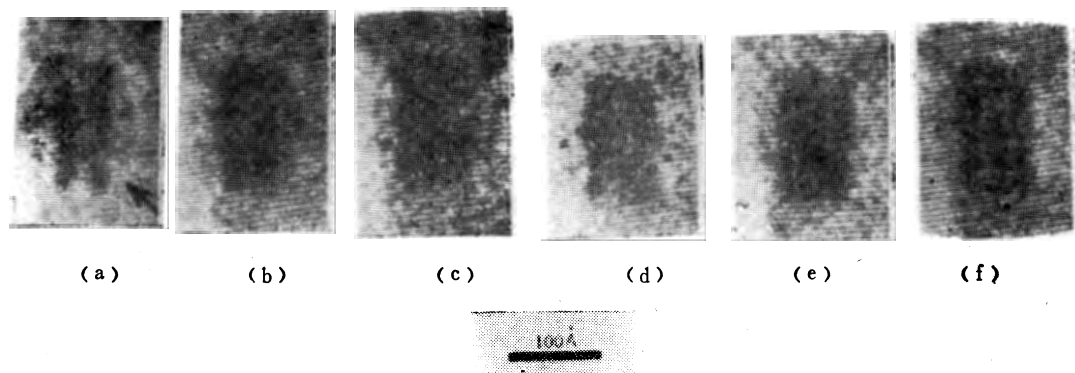
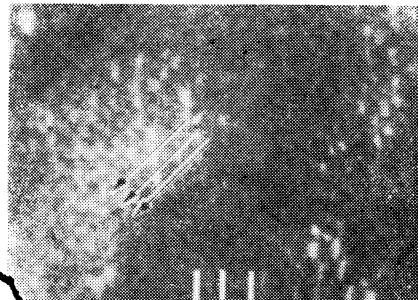


图1-43 从Sn/SnTe (80°C) 中的第一偶排列向第二奇排列迁移的过程  
(摄像记录, 时间间隔 1/15 s)

小的时候, 界面力一般也很小。因此, 不能过于指望 MD 在 Sn/SnTe 中确实出现以后, 便会起到 Cabrera 所说的那种缓和畸变的作用。实际上在以前的报告中并没有什么确认有假晶格结构和 MD's 局部畸变的例子。

Fe 在 (001) MgO 上从室温到高温 (550°C) 几乎都是以理想的  $P$  取向进行生长的 (图1-24)。在 200°C 以上生长的 Fe 显示出具有普通 bcc 结构的粒状组织, 在直径 300 Å 以上的生长层中出现二种刃状 MD's (图1-44)。而在低温下便会形成薄的板状颗粒, 并具有正方形  $bc$  晶格的假晶格结构。当其平均厚度达到 20 Å 以上时便会出现复杂的短线状反差, 但不能同样确定其为 MD。将 Fe 在高温下进行热处理则假晶格的畸变便完全消失, 代之而出现上述两种类型的 MD's<sup>[44]</sup>。然而这一期间的迁移过程尚不明确。在 200°C 以上的 (001) MgO 上生长得很大的 Ag 颗粒 (直径 300 Å) 形成  $h = a/2 \cdot [110]A_0$  的刃



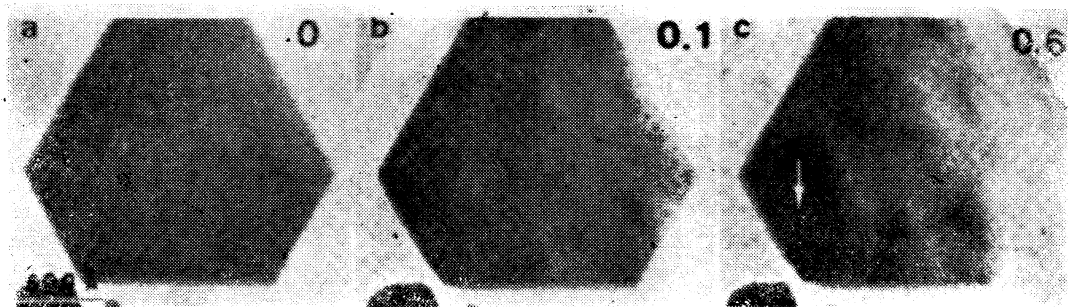
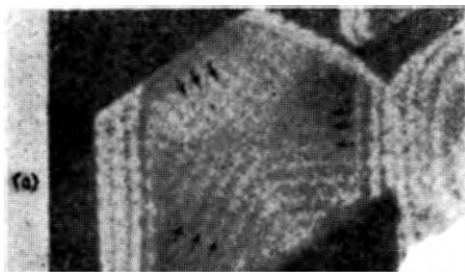


图1-45 Pd/(111) Ag的单原子层成核

(各图右上角的数字是以单原子层单位测得的Pd平均蒸发表。衬底(111) Ag在MoS<sub>2</sub>之上, 间隔~17 Å的竖条纹便是单原子层成核造成的莫尔条纹。(c)图中的箭头处是单原子层Pd核上的Pd核。)

粒直径来判断乃是单原子层的厚度。颗粒在一侧显示白反差, 在另一侧则显示黑反差。这种反差与反射  $g$  矢量的方向有关, 而且还会发生反转, 这种反转取决于偏离布拉格角的方向, 无论是在明视场还是在暗视场都会发生。这一特点表明这种单原子层 Pd 颗粒具有假晶格, 它有缩短到其固有周期 (大约比 Ag 短 4.6%) 去的倾向, 使衬底 Ag 晶体发生畸变, 从而造成这种反差。实际上按这种思路计算的畸变斜率可以充分说明实际测量的反差。

在图 1-46 的 (111) Au 颗粒中可以看到三个  $\langle 112 \rangle$  走向的明显的条纹结构 (间隔 63 Å)。这在图 1-1 所示的与 (111) 表面平行的  $g$  矢量反射中是看不见的, 但却是实际存在的, 这种条纹也出现于生长在 MgO 和石墨上的 (111) Au 颗粒上, 而在 Pd、Ag 和 Cu



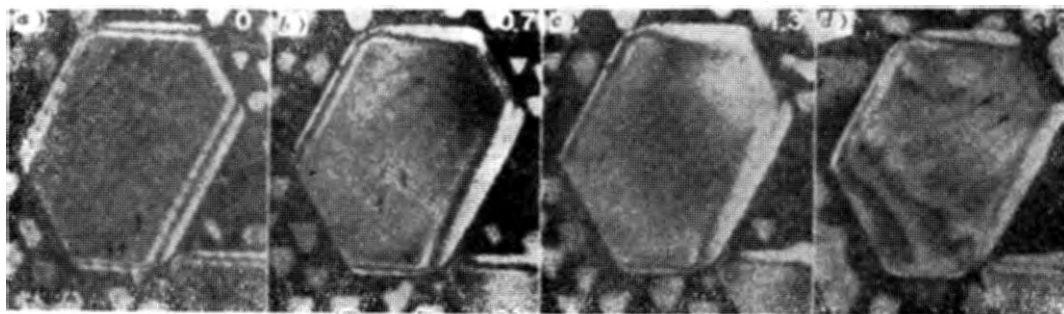


图1-47 (111) Au表面条纹结构因蒸Pd而产生的变化  
 [各图右上角的数字是以单原子层为单位测得的Pd蒸发量, (b) 条纹间隔的增加,  
 (c) 条纹结构消失, (d) 形成了MD's (箭头处).]

以上事实表明, 这种条纹结构是洁净而平整的(111) Au表面所特有的超晶格结构, 是通过表面 Au 原子的再排列而形成的。在以前采用 LEED 进行的研究中, 还没有报告说在(111)Au表面发现有这种超晶格结构。却有报告称在(001)表面蒸发 Pd 时发现与上述情况相同的、超晶格为普通晶格的  $5 \times 20$  倍的结构<sup>[98]</sup>。这是一种 Au 原子的六方形网格, 比一般要小 4~5%, 并且也同样是在  $\langle 110 \rangle$  方向上形成接近上述  $63 \text{ \AA}$  的  $57 \sim 72 \text{ \AA}$  超周期结构。

在成核的界面现象理论中, 逐层生长被规定成是在衬底、蒸发物及界面的表面能量满足  $\sigma_s \geq \sigma_d + \sigma_i$  的关系且接触角为零时, 即蒸发物浸润了衬底时所发生的形态。在这种情况下核生长是以形成单原子或单分子层厚度的二元核的形式形成蒸发膜的各层, 也属于逐层生长。以前逐层生长的说法, 如前言所叙, 认为纷纷而至的原子或分子是当场就附着于衬底表面和一个接一个的膜层上的, 而并未估计到每一层的形成都需要成核的过程。

过去认为采用 TEM 观察是不能区别这两种生长过程的, 而且也没有搞清这一区别的议论。但是上述 Pd/(111)Ag 的情况显然是由单原子层成核引起的核生长, 而在 Pd/(111)Au 的情况下则包括了衬底表面的长周期结构崩溃这一原子再排列的过程, 如图 1-47 所示, 根本就没有成“核”, 而是达到一定的膜厚之后便开始形成 MD's, 因此可以说乃是出现了“本来”意义的逐层生长。

以某二种物质作为衬底-膜物质, 一旦以一种组合的形式满足了接触角为零的条件, 则与其相反的组合便一定会破坏这种条件。然而在表 1-3 中, 以一种组合和另一种相反的组合在一起的形式发生逐层生长的例子也不在少数。因此, 接触角为零方能发生逐层生长的说法一般是不成立的。不过, 看来上述 Pd/(111)Au 和 Pd/(111)Ag 的生长形式的差异, 与它们都比 (111)Pd 的表面能量 ( $2258 \text{ 尔格/cm}^2$ ) 小, 而 Au 的表面能量 ( $1967 \text{ 尔格/cm}^2$ ) 又比 (111) Ag 的能量 ( $1505 \text{ 尔格/cm}^2$ ) 大的情况不是没有关系的。

近来采用 LEED-AES 和 R-HEED 开展表面研究搞得很活跃, 但并没怎么把获得的结果直接应用于薄膜生长的研究中。这是因为采用“污染”的真空装置的 TEM 法不能把以“洁净”为绝对条件的表面充作为它的研究对象, 换句话说, 这是因为在常常被总称为表面、薄膜的两个领域的研究之间有着难以逾越的鸿沟。LEED-AES、R-HEED 和 TEM 乃是在原理上互相弥补的研究方法, 今后应重视本节所列举的各事例, 并对包含在

实用上也重要的 Si、Ge 及各种金属、特别是高熔点金属的系进行连续和系统地研究。

### 5.7 金属微粒的熔点下降和衬底晶格缺陷的影响

Vincent 之所以认为 Sn 在 SnTe 上到 200°C 时就形成固相核, 乃是因为 Wronski<sup>[89]</sup> 曾报告称直径  $\leq 140 \text{ \AA}$  的 Sn 的熔点为 200°C。然而, 在微粒中, 熔点  $T_m$  和固化温度  $T_s$  有着相当大的差异<sup>[16]</sup>, 而且成核是液相发生还是固相发生的临界温度  $T_d$  也应另行考虑<sup>[100][101]</sup>。这些温度都低于晶块熔点 (Sn 为 238°C), 一般有  $T_s < T_d < T_m$  这样的关系。另外,  $T_s$  和  $T_m$  还因衬底的界面力而改变, 并与颗粒有关。Wronski 提出的值乃是非晶碳上的  $T_m$ , 据 Blackman 和 Gurson<sup>[102]</sup> 报告, 对于同一衬底上的直径 50 Å 的 Sn 颗粒来说,  $T_s = 90^\circ\text{C}$ 。我们对 SnTe 上的 Sn 测定的结果是  $T_s \leq 100^\circ\text{C}$ ,  $T_d = 100^\circ\text{C}$ ,  $T_m \approx 200^\circ\text{C}$ 。  $T_s$  的值所以高于 Blackman 等人的值是由于界面力强的缘故。在 MgO 上,  $T_s \leq 50^\circ\text{C}$ ,  $T_d \approx 70^\circ\text{C}$ 。而在 Au 上, 即便到 200°C, Sn 也呈固相逐层生长。对于金属微粒熔点下降的现象, 是在清洁条件远比高木研究时期好得多的情况下, 而且又是一个一个地观察颗粒来进行研究的, 这时薄膜生长而言, 也是颇有意义的。出乎意料的是难以获得系统的结果。例如原来考虑使液相颗粒冷却下来当然会从大的颗粒先开始固化, 在一定程度上能看到这种倾向, 但  $T_s$  的值因颗粒的大小而出现的偏差很大, 这大概是由于衬底表面存在着肉眼看不见的缺陷, 所以, 因颗粒而异的界面力在起作用的缘故。非晶碳膜、MgO、MoS<sub>2</sub> 上的 Pb 或 Sn 的液相颗粒很少有完整的圆形剖面, 而往往会形成多少有点畸变的形状 (如文献[107]的图6、7)。石墨上的颗粒呈相当好的圆形, 但在观察的过程中, 发现其移动后便被表面的台阶所俘获。通常认为, 表面的点缺陷作为成核中心和从膜表面开始形成的 MD 的起点, 起着极其重要的作用, 但现在我们还完全没有掌握检测并确定其特性的方法。许多人认为, 经电子或离子照射后的碱卤化合物上外延情况好转的效应与此有关, 但这无非是推测。表面的点缺陷难以检测和控制, 而现实的晶体有了这种缺陷就肯定不能成为理想的衬底, 这是外延研究中最严重的不足。

前面已经讲过, 衬底晶体中的位错在逐层生长中易成为形成 MD 的根源。而对于核生长来说, 衬底的位错一般不会对其有太大的影响。在普通蒸发的高过饱和的情况下, 成核密度要远比衬底的位错高。在 MoS<sub>2</sub> 和石墨中, 位错沿着其层状组织形成, 而并不出现在解理面上。在观察许多物质在 MgO 上生长的过程中, 时而出现在表面的位错变成特殊的成核中心这种情况几乎是有的。这与这三种晶体在表面的台阶上都有明显的优先成核是鲜明的对照。然而, 在 PbTe、PbSe 和 PbS 上生长 Pb 时, 衬底的位错明显地起着图 1-48 中所示的那种作用<sup>[44]</sup>。在衬底无位错处液相成核的 Pb 颗粒 (L) 仍以液相生长, 但在衬底有位错处则形成了固相颗粒 W1。在 MoS<sub>2</sub> 上蒸

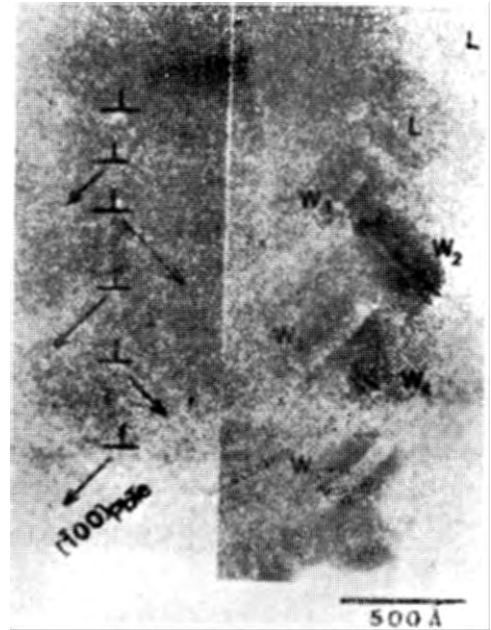


图1-48 Pb/PbTe (270°C、MoS<sub>2</sub>衬底上) 衬底位错中的固相Pb粒子 (W1)和在无位错处液相粒子 (L) 的形成情况

发之后所形成的衬底 PbTe 呈现间隔  $18 \text{ \AA}$  的莫尔条纹, 从 (a) 的位错符号起左上方的莫尔条纹都逐条消失了。根据此时的反射条件 ( $g \cdot b = 1$ ), 如位错符号所示, 可以看到这些位错是在上侧具有过剩半原子面的刃状位错。固相颗粒  $W_1$  是从这些位错起在与过剩半原子面相反的一侧以  $(110)\text{Pb} // (001)\text{PbTe}$ ,  $(\bar{1}\bar{1}1)\text{Pb} // (100)\text{PbTe}$  或  $(010)\text{PbTe}$  的取向关系生长的。然而在这些颗粒中, 并无与 PbTe 衬底有关的间隔  $18 \text{ \AA}$  的莫尔条纹, 而在  $W_2$  和  $W_3$  中则可以看到因  $(111)\text{Pb}$  反射和  $(100)\text{MoS}_2$  反射造成的间隔  $60 \text{ \AA}$  的莫尔条纹。Pb 在迅速通过 PbTe 衬底位错中心的扩散中, 形成了达到衬底  $\text{MoS}_2$  晶体的表面并在 PbTe 晶体中向特定的方向延伸的固相 Pb 颗粒。这种颗粒有一种特别的表现, 即它反复进行着这样一个过程: 在以后的生长中长度急剧缩短, 于是就显得粗而短, 接着又逐渐恢复到原来的长度。

### 参 考 文 献

- [1] D. W. Pashley: *Epitaxial Growth* (J. W. Matthews, ed.) Chap. 1, p.1, Academic Press, New York, 1975
- [2] H. Poppa: 同上, Chap. 3, 1, p. 215
- [3] F. Jona and J. A. Strozier, Jr.: 同上, Chap. 3, 3, p. 309
- [4] J. A. Venables and G. L. Price: 同上, Chap. 4., p. 381
- [5] M. J. Stowell: 同上, Chap. 5, p. 437
- [6] J. H. van der Merwe and C. A. B. Ball: 同上, Chap. 6, p. 493
- [7] J. W. Matthews: 同上, Chap. 8., p. 559
- [8] E. Grünbaum: 同上, Chap. 9, p. 611
- [9] D. W. Pashley: *Phil. Mag. Suppl.*, 5 (1956) 173
- [10] D. W. Pashley: *Advan. Phys.*, 14 (1965) 327
- [11] J. W. Matthews, in *Physics of Thin Films* (G. Hars and R. E. Thun, eds.) vol. 4, p. 137, Academic Press, New York, 1967
- [12] G. I. Finch and A. G. Quarrell: *Proc. Roy. Soc.*, A 141 (1933) 398
- [13] F. C. Frank and J. H. van der Merwe: *Proc. Roy. Soc.*, A 198 (1949) 205; A 200 (1949) 125
- [14] R. Uyeda: *Proc. Imp. Acad. Tokyo*, 16 (1940) 387
- [15] Y. Kainuma: *J. Phys. Soc. Japan*, 6 (1951) 135
- [16] M. Takagi: *J. Phys. Soc. Japan*, 9 (1954) 359
- [17] G. A. Bassett: *Phil. Mag.*, 3 (1958) 1042
- [18] C. Sella, P. Conjeaud, and J. J. Trillat: *Proc. 4th Int. Cong. Electron Microscopy*, Berlin, 1958, (Springer-Verlag, 1960) p. 512
- [19] G. A. Bassett: *Proc. Eur. Reg. Conf. Electron Microscopy*, Delft, 1960, p. 270, De Nederlandse Vereniging voor Electronen-Microscopie, Delft.; *Proc. Int. Symp. Condensation and Evaporation of Solids*, Dayton, Ohio, 1962 (E. Rutner, P. Goldfinger and J. P. Hirth: eds.) Gordon & Breach, New York, 1964
- [20] Y. Kamiya and R. Uyeda: *Acta Cryst.*, 14 (1961) 70
- [21] D. W. Pashley, M. J. Stowell, M. H. Jacobs and T. J. Law: *Phil. Mag.*, 10 (1964) 127
- [22] M. H. Jacobs, D. W. Pashley, and M. J. Stowell: *Phil. Mag.*, 13 (1966) 129
- D. W. Pashley and M. J. Stowell: *J. Vac. Sci. Technol.*, 3 (1966) 156
- M. J. Stowell and T. J. Law, *Phys. Status Solid*, 16 (1966) 117
- [23] J. W. Matthews: *Phil. Mag.*, 6 (1961) 1347 and in *Single Crystal Films* (M. F. Francombe and H. Sato, eds.) p. 164, Pergamon Press, London, 1964
- [24] J. W. Matthews: *Phil. Mag.*, 13 (1966) 1207
- [25] J. W. Matthews: *Phil. Mag.*, 18 (1968) 1149, *Thin Solid Films*, 5 (1970) 369, 25 (1975) 199
- [26] J. W. Matthews: *Phil. Mag.*, 23 (1971) 1405
- [27] J. W. Matthews: *Acta Met.*, 15 (1967) 595
- [28] W. A. Jesser and J. W. Matthews: *Phil. Mag.*, 15 (1967) 1097
- [29] W. A. Jesser and J. W. Matthews: *Phil. Mag.*, 17 (1968) 595
- [30] W. A. Jesser and J. W. Matthews: *Phil. Mag.*, 17 (1968) 461
- [31] W. A. Jesser and J. W. Matthews: *Phil. Mag.*, 17 (1968) 475
- [32] N. Cabrera: *Surf. Sci.*, 2 (1964) 320
- [33] S. Ino: *Japan. J. Appl. Phys.*, 16 (1977) 891
- [34] I. N. Stranski and L. Krastanov: *Acad. wiss. Math. - Nat. Kl. II b. Deut.* (1938) 797

- [35] E. Bauer and H. Poppa: *Thin Solid Films*, **12** (1972) 167
- [36] G. Honjo, S. Shinozaki, and H. Sato: *Appl. Phys. Letters*, **9** (1966) 23
- [37] G. Honjo and K. Yagi: *J. Vac. Sci. Technol.*, **6** (1969) 576
- [38] 本庄五郎, 八木克道, 金属物性基礎講座, 第1卷第1部, p. 3, 丸善, 1974
- [39] 八木克道, 固体物理, **7** (1972) 150  
八木克道, 高柳邦夫, 応用物理, **44** (1975) 398,  
本庄五郎: 蒸着膜の結晶成長, 固体物理, **13** (1978) 205; 八木克道: 薄膜の形成過程, 電子顕微鏡 **13** (1978) 6
- [40] G. Honjo, K. Takayanagi, K. Kobayashi, and K. Yagi: *Japan J. Appl. Phys. Suppl.* **2**, Part 1 (1974) 537  
K. Yagi, K. Takayanagi, K. Kobayashi, and G. Honjo: *Electron Microscopy 1974*, Canberra, Vol. 1 p. 690
- [41] K. Yagi, K. Takayanagi, K. Kobayashi, and G. Honjo: *J. Cryst. Growth*, **9** (1971) 84
- [42] K. Yagi, K. Takayanagi, Y. Matsuhita and G. Honjo: *J. Cryst. Growth*, **24/25** (1974) 307
- [43] G. Honjo: *Thin Solid Films*, **32** (1976) 143
- [44] G. Honjo, K. Takayanagi, K. Kobayashi, and K. Yagi: *J. Cryst. Growth*, **42** (1977) 98
- [45] G. Honjo and K. Yagi: in *Current Topics in Material Science* (Kaldis ed.) Vol. 4, North-Holland, Amsterdam, 1979, 印刷中
- [46] T. E. Gallon, I. G. Higginbotham, M. Pruton, and H. Tokutaka: *Surf. Sci.*, **21** (1970) 224
- [47] M. J. Stowell: *Thin Solid Films*, **12** (1972) 341
- [48] P. B. Hirsch, A. Howie, P. B. Nicholson, D. W. Pashley, and M. J. Whelan: *Electron Microscopy of Thin Crystals*, Butterworths, London, 1965
- [49] K. Takayanagi, K. Yagi, K. Kobayashi, and G. Honjo: *Japan. J. Appl. Phys.* 1974 Suppl. **2** Part 1, 533
- [50] K. Takayanagi, K. Yagi, K. Kobayashi, and G. Honjo: *J. Phys. E*, **11** (1978) 441
- [51] 八木克道: 日本結晶学会誌 **21** (1979), 印刷中
- [52] K. Yagi, E. Morita, K. Takayanagi, K. Kobayashi and G. Honjo: *Electron Microscopy 1978*, Tronto, Vol. 1, p. 74
- [53] K. Mori, K. Yagi, K. Takayanagi, K. Kobayashi and G. Honjo, in preparation.
- [54] H. Reiss: *J. Appl. Phys.*, **39** (1968) 5045
- [55] K. Takayanagi, K. Kobayashi, K. Yagi, and G. Honjo: *Thin Solid Films*, **21** (1974) 825
- [56] K. Yagi, Y. Matsushita, K. Takayanagi, and G. Honjo: *Thin Solid Films*, **28** (1975) 219
- [57] K. Yagi, K. Takayanagi, and G. Honjo: *Thin Solid Films*, **44** (1977) 121
- [58] D. J. H. Cockayne, I. L. E. Ray and M. J. Whelan: *Phil. Mag.*, **20** (1969) 1265
- [59] Y. Matsushita, K. Yagi, T. Narusawa, and G. Honjo: *Japan. J. Appl. Phys. Suppl.* **2**, Part 1 (1974) 567
- [60] E. F. Wassermann, and H. P. Jablonski: *Surf. Sci.*, **22** (1970) 69
- [61] P. Gueguen, M. Cahoreau, and M. Gillet: *Thin Solid Films*, **16** (1973) 27
- [62] Y. Sugita and M. Tamura: *J. Vac. Sci. and Technol.*, **6** (1969) 585
- [63] D. Cherns and M. J. Stowell: *Thin Solid Films*, **29** (1975) 107, 127; **37** (1976) 249
- [64] S. Ino, D. Watanabe, and S. Ogawa: *J. Phys. Soc. Japan*, **17** (1962) 1074, **19** (1964) 881
- [65] J. W. Matthews and E. Grünbaum: *Appl. Phys. Letter*, **5** (1964) 106, *Phil. Mag.* **11** (1965) 1233
- [66] J. G. Appress and J. V. Sanders: *Phil. Mag.*, **10** (1964) 645
- [67] K. Mihama and Y. Yasuda: *J. Phys. Soc. Japan*, **21** (1966) 1166
- [68] S. Ino: *J. Phys. Soc. Japan*, **21** (1966) 346
- [69] S. Ino and S. Ogawa: *J. Phys. Soc. Japan*, **22** (1967) 1365
- [70] S. Ogawa and S. Ino: in *Advances in Epitaxy and Endotaxy* (H. G. Schneider and V. Ruth, eds.) Chap. 4. 1, VEB Deutscher Verlag für Grundstoffindustrie, Leipzig, 1971
- [71] G. M. Pound, M. T. Simnad, and L. Yang: *J. Chem. Phys.*, **22** (1954) 1215  
J. P. Hirth and K. L. Moazed: in *Physics of Thin Films* (G. Hass and R. E. Thun eds.) Vol. 4, p. 97, Academic Press, New York, 1967
- [72] D. Walton: *J. Chem. Phys.*, **37** (1962) 2182; *Phil. Mag.*, **7** (1963) 1671
- [73] D. Walton, T. N. Rhodin, and R. W. Rhollins: *J. Chem. Phys.*, **38** (1963) 2698
- [74] J. A. Venables: *Phil. Mag.*, **27** (1973) 697
- [75] R. Kern, A. Masson and J. J. Métois: *Surf. Sci.*, **27** (1971) 483
- [76] A. Masson, J. J. Métois, and R. Kern: *Surf. Sci.*, **27** (1971) 463
- [77] A. Masson, J. J. Métois and R. Kern: in *Advances in Epitaxy and Endotaxy* (H. G. Schneider and V. Ruth, eds.) Chap. 2.2, VEB Deutscher Verlag für Grundstoffindustrie, Leipzig, 1971
- [78] J. J. Métois, M. Gauch, A. Masson, and R. Kern: *Surf. Sci.* **30** (1972) 43

- [79] J. J. Métois, J. C. Zanghi, R. Erre and R. Kern, *Thin Solid Films* **22** (1974) 331
- [80] J. C. Zanghi, J. J. Métois, and R. Kern: *Surf. Sci.*, **52** (1975) 556
- [81] K. Takayanagi, K. Yagi, and G. Honjo: *Thin Solid Films*, **48** (1978) 137
- [82] K. Takayanagi, H. Shinozawa, K. Yagi and G. Honjo: *J. Cryst. Growth*, **24/25** (1974) 302
- [83] A. K. Green, J. Dancy, and E. Bauer: *J. Vac. Sci. Technol.*, **7** (1970) 159
- [84] K. Yagi, K. Takayanagi, K. Kobayashi and G. Honjo: *J. Cryst. Growth*, **28** (1975) 117
- [85] E. Gillet and M. Gillet: *J. Cryst. Growth*, **13/14**(1972) 212, *Thin Solid Films*, **15** (1973) 249
- [86] J. G. Appress and J. V. Sanders: *Surf. Sci.*, **7** (1967) 1
- [87] T. Komoda: *Japan. J. Appl. Phys.*, **6** (1967) 1047
- [88] S. Ino: *J. Phys. Soc. Japan*, **27** (1969) 941
- [89] K. Kimoto and I. Nishida: *J. Phys. Soc. Japan*, **22** (1967) 940
- [90] J. Farges, M. F. de Ferauby, B. Raoult, and G. Torchet: *J. de Phys.*, **38** (1977) 47
- [91] J. J. Métois, K. Heinemann, and H. Poppa: *Phil. Mag.*, **35** (1977) 1413
- [92] W. A. Jesser, J. W. Matthews, and D. Kuhlmann-Wilsdorf, *Appl. Phys. Letters*, **9** (1966) 176; W. A. Jesser and D. Kuhlmann-Wilsdorf: *J. Appl. Phys.*, **38** (1967) 5128, *Acta. Met.*, **16** (1968) 1325; J. W. Matthews: *Surf. Sci.*, **31** (1972) 241
- [93] R. Vincent: *Phil. Mag.*, **19** (1969) 1127
- [94] W.A. Jesser and J. H. van der Merwe: *Phil. Mag.*, **24** (1971) 295; *Surf. Sci.*, **31** (1972) 229
- [95] R. Niedermayer: *Thin Solid Films*, **1** (1968) 25
- [96] K. Takayanagi, K. Yagi, K. Kobayashi, and G. Honjo: *J. Cryst. Growth*, **28** (1975) 343
- [97] K. Yagi, K. Takayanagi, K. Kobayashi, Y. Tanishiro, N. Osakabe, and G. Honjo: *Electron Microscopy 1978, Tronto, Vol. 1*, p. 458, and *Surf. Sci. in press*
- [98] D. Gronlund and P. E. Højlung-Nielsen: *J. Appl. Phys.*, **43** (1972) 3919; G. E. Rhead: *J. Phys. F* **3** (1973) L54
- [99] C. R. M. Wronski: *Brit. J. Appl. Phys.*, **18** (1967) 1731
- [100] J. F. Posza, A. Barna, and P. B. Barna: *J. Vac. Sci. Technol.*, **6** (1969) 473
- [101] M. J. Stowell, T. J. Law, and J. Smart: *Proc. Roy Soc. London*, **A 318** (1970) 231
- [102] M. Blackman and A. E. Curzon in *Structure and Properties of Thin Films* (C. A. Neugebauer, L. B. Newkirk and D. A. Vermilyea, eds.) p. 217, Wiley, New York, 1959