

感兴趣请圈 185-5

●清华大学电子工程系 孟宪元教授

可编程 ASIC 的新进展

由

于 CPLD 和 FPGA 等器件的可编程专用集成电路(ASIC)具有用户编程实现专门应用的功能,近年来发展极为迅速。1995 年,Xilinx、Altera、AMD、Lattice、Actel、Cypress、Lucent Technologies、Atmel、TI 和 ICT 等前十家可编程 ASIC 公司的总销售额达 17 亿美元。其中销售额占第一位,达到 5.2 亿多美元的 Xilinx 公司排进了全球前十家 ASIC 供应商的第九位。

可编程 ASIC 主要是依靠集成电路工艺的不断改进和器件结构上的不断改进来提高其性能的。当前 VLSI 技术已经发展到系统级芯片集成的新时代,即 System-on Chip 的时代。代表集成电路工艺水平的线宽尺寸已达 $0.35\mu\text{m}$ 。由于 VLSI 技术采用亚微米技术和三层金属的工艺,也使可编程 ASIC 器件的 CPLD 和 FPGA 的集成度和性能得到极大的提高。激烈的竞争促使各个厂家不断改进器件的结构。下面按结构分类介绍可编程 ASIC 近来的发展。

一、CPLD 的 ISP 性能

可编程只读存储器(PROM)使具有固定数目输入和输出的任何组合逻辑函数可以在其中按输出为输入的查

找表来实现。许多实现组合逻辑的结构变型已由此简单的概念引伸出来,而利用 VLSI 的密度产生能实现 PCB 板上几个简单的和可编程阵列逻辑(PAL)互连功能的更通用的器件,它们是 PAL/PROM 这类范例的扩展,称为复杂可编程逻辑器件,即 CPLD。

CPLD 可以认为是将多个 PAL 器件集成到一个芯片上,具有类似 PAL 的结构,如图 1 所示。

CPLD 的在系统内编程(In-system Programming)能力允许用户对已经固定在系统板上的器件进行编程和再编程来改进样机;更新制造流程和使遥控进行系统的变更成为可能。在 ISP 要求迅速扩大时,存在以下两个问题。

1. 引脚锁定

在大多数 CPLD 中,每个 I/O 脚有宏单元通过一个 I/O 块直接驱动,当设计被引脚锁定时,EDA 软件的适配器(fitter)强迫逻辑映射到专门的宏单元来保持引脚不变。如果器件的结构受限制,在 CPLD 芯片中央的布线矩阵具有不充足的布线,适配器就不可能对做出的设计进行布局和布线。某些 CPLD 利用一个输出布线库来补偿其初始布线的不足。但输出布线库引入附加的延时,不能防止适配器在布线时消耗逻辑资源,这就影响设计性能和资源利用率。引脚锁定时,对逻辑提出的要求也影响适配器对设计进行布局和布线的能力。

对于这些引脚锁定功能带来的问题,Xilinx 的 XC9500 CPLD 以

丰富的布线资源、宽阔的功能块扇入和灵活的乘积项分配等为特色,XC9500 的适配器软件也能优化初始的布局使设计引脚锁定能力达到最大。包括地址译码器、数据通道设计和地址计数器等一系列的标准检查程序确认 XC9500 CPLD 系列具有优越的引脚锁定能力。

2. ISP 的标准化

当 ISP 迅速扩大时,最终用户感到最紧张的是很难找到对多种的 ISP 器件处理系统级问题有效的第三方的应用方案。此外,用户本身的测试和诊断软件的开发成本随着新器件的上市而上升,要求重新编制昂贵的编程算法。在最近的 JTAG IEEE1149.1 的工作组会议上,已经认识到利用四引脚的 1149.1 测试存取口(TAP)作为 ISP 开发的平台在大多数 PLD 制造者之间正成为事实上的标准。

XC9500 系列的 CPLD 总是通过 TAP 来编程的,除了引脚锁定的功能外,采用闪速存储器的编程方法,其创新的 FastFLASH 工艺提高到一万次的编程/擦除次数,比其他可比较的 CPLD 高 1~2 个数量级。基于 SRAM 的 FPGA 从其问世以来就具有 ISP 的性能,而 Xilinx 的 XC4000 系列 FPGA 也可以选择通过 TAP 来编程。所以 Xilinx 在 ISP 的标准化努力中起到先导的作用,它已经将工业上最好的 JTAG/ISP 能力装备于其 XC9500 系列,并处在下一代的编程和测试标准的前列。JTAG 考虑的是将 ISP 作为 1149 框架内的分支的标准,还是作为 1149.1 标准的一个应用。

二、FPGA 的密度和性能

一个 VLSI 逻辑器件的功能是为专门应用实现时就构成 ASIC,且要求的器件量很大,这意味 ASIC 的设计必须由具有应用知识的系统工程师来进行,而不是由制造厂聘用的具有详尽工艺知识的 IC 设计者来做。完成这个转换的关键是向系统工程师们提供他们曾使用过的相同的设计模型,

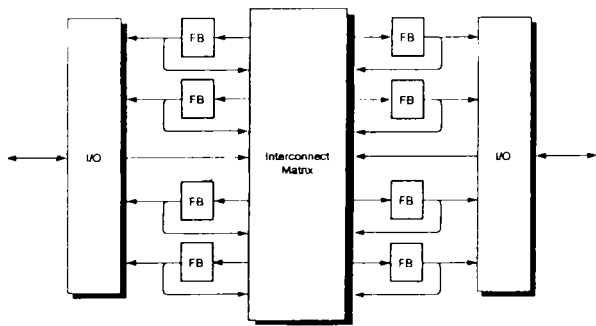


图 1

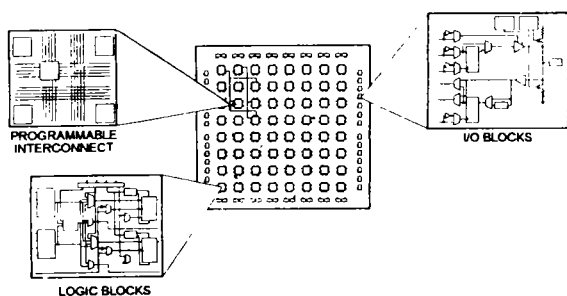


图 2

使其设计 IC 尽可能就象设计 PCB 一样。这导致通道型门阵列结构形式的发展。这种形式降低了硅片的利用率,但更接近 PCB 的设计模式。它靠限制使用基本的工艺,使在第一块硅片就产生正确的设计变为可能,因此避免昂贵的重新设计过程。这个结构提供相同的基本逻辑功能块的阵列,带有连线通道可以有选择地被连接以实现所期望的功能,这是类似门阵列的具有连线通道和逻辑块结构的 FPGA。如 Xilinx 基于 SRAM 查找表的 FPGA 和 Actel 基于多路选择器的反熔丝 FPGA。图 2 为类似门阵列的 FPGA 结构。

ASIC 器件的密度已达到十几万门,有代表性的是 Altera 的 FLEX 10KA 和 Xilinx 的 XC4000EX 系列。

在数字系统支持复杂度增加的逻辑时,如果没有相应的中小规模存储块(单口或多口 RAM, FIFO 缓冲器等)将很难设计电路,这些简化的存储块既能简化系统的设计,又使系统工作速度更快,因为此时可以避免与芯片外的交换或不同速度的系统总线的连接。

前一代 FPGA 实现的存储器功能块已经不十分有效。此外,这些存储器单元必须由可编程逻辑形成,它们通常有较慢的存取时间,典型的为 30~35ns。最新的变化是 Xilinx 的 XC4000 系列和 Lucent Technologies 的 OrCa 系列所采用的分布的 RAM。Actel 和 Altera 采用专用的 RAM,它们都允许用户实现 SRAM 块。这些存储器块接近于区匹配门阵列的效率,并提供可与其他 ASIC 工艺不相上下的速度,新的 FPGA 达到 5~20ns 的存取速度。

Altera 的 FLEX 10K 除了用于查找表配置存储器的 SRAM 外,功能块阵列首先包含一个嵌入存储器块。它瞄准需要几千位存储器的应用,提供 6Kb 到 26Kb 的片内 RAM,称为嵌入阵

列块(EAB)。EAB 可以提供充分利用其资源的优点,但牺牲其他 SRAM 型 FPGA 的灵活性。如果将 EAB 用于逻辑形成,则它最高可达到 170000 等效门。FLEX 实现存储器块的方法也是几种实现存储器块方法中最节省面积的方法。

XC4000 系列的 Select-RAM 存储器定义为编程可配置逻辑块(CLB)中的查找表作为 ROM、单口或双口 RAM,包括以沿触发的同步定时和电平有效的非同步定时。

显然,沿触发或电平有效,以及单口双口的可选择为设计者提供了较广的选择,由各个 CLB 实现的 RAM 的分布特性,也使 Select-RAM 存储器具有灵活性。为实现所要求的存储器块,只需要配置足够的 CLB 作为 RAM,存储器块尺寸可以缩放到准确匹配应用的要求,每个 RAM 块可以放置在有关逻辑的附近。这种方式没有耗费大的专用存储器块来实现小的 RAM 功能,也无需横跨器件的布线控制和数据线等来连接到这样的专用块上。每个 CLB 可以单独配置使设计者“混合和匹配”RAM 模块,因此 Select-RAM 成为当今 FPGA 中最灵活的存储器实现,但要占用可实现组合逻辑的资源。

Xilinx 在不到一年的设计内第二次扩充它的 XC4000 系列,新的 XC4000EX 系列采用 0.35 μ m、三层金属 CMOS 工艺,与 XC4000E 比较,允许以 3~4 倍的门集成到最大的芯片中,即 XC4000EX 系列的最大芯片的最高逻辑门数可以达到 125000 可用门,这还不算在 CLB 中的可用查找表的 RAM,位,也就是说,逻辑门和 Select-

RAM 两者之和的系统门数可达 250000 等效门,其工作频率可达 75MHz。此新系列采用增强在 XC4000E 中使用的 SRAM 的 CLB,CLB 外部采用的布线资源增加近两倍,其好处是综合工具更容易地布局和布线到复杂的设计阵列中,也改善了门的利用率。为了使用户可以固定 I/O 引脚,XC5200 系列开发的通用 I/O 环(VersaRing)也对其进行仿制以增加更多的灵活性。每个 CLB 中对组合逻辑有效的 RAM 查找表包括 32 $\times$ 1 的存储器,与通用 SRAM 一样,读取时间为 5ns。这些 RAM 块也可以连接形成更大的存储器,可以配置成电平有效的单口 RAM,或沿同步的单口或双口 RAM,前者可以是 32 $\times$ 1 或 16 $\times$ 2,后者只能是两个 16 $\times$ 1 的功能块组合成 16 $\times$ 1 的双口 RAM。

三、可配置计算技术

微处理器基本上不适于传统的逻辑应用,这些应用仅要求简单函数的瞬时计算。但是,在门级按可编程结构实现算法的 FPGA 器件是微处理器和存储器典型的扩展,称为计算的逻辑阵列。

数字信号处理(DSP)技术领域各种算法的实现以前通常采用通用可编程 DSP 芯片、用确定功能的通用 DSP 芯片组成 ASIC 器件,前者用于低速的场合,后者用于高速的情况。作为可编程 ASIC 的 FPGA 具有用户确定器件功能的特点,而基于 SRAM 的 FPGA 非常适用于进行各种算术运算,因为它包含了大量乘加运算的数字信号处理技术,但是,快速傅里叶变换、卷积和其他滤波算法的多种 DSP 运算不可以和四周的外围电路结合起来。用 FPGA 设计 DSP 系统时,可以利用并行结构和算术运算的特点,最大限度地减少资源的使用,并在性能上超过一个或几个 DSP 器件。在现有的 DSP 方案中,利用 FPGA 中阵列乘法的分布式算术运算,可以将数据带宽和数据流量提高几个数量级。

系统内可编程(ISP)的 FPGA 也可以在系统工作期间在(下转第 49 页)

万台,键盘、鼠标及打印机都采用了单片机;我国通信事业也突飞猛进,用单片机作控制器的寻呼机(BP机)、大哥大及智能电话也深入到各个家庭。很明显,家电、计算机外设及通信设备是我国单片机应用的主战场。

上述这些领域,除了家电中的空调、洗衣机及电饭煲中的单片机应用基本上能自行开发设计外,其余的绝大多数由外商或台商设计。以量最大的彩电为例,遥控及 OSD 屏幕显示单片机基本上是三菱、东芝及飞利浦三家公司所设计的型号;计算机的键盘、鼠标及打印机则基本上都由外国设计,国内组装生产。而全自动洗衣机及家用空调的控制器的设计也是由一些三、五人的小单位完成。以科研单位和大专院校的单片机应用主力军及占 80% 以上单片机应用技术人员的大部队却各自分散重复在研制或生产少量(有的只有一、二台)产品,或致力于研制生产国内市场已开始饱和的单片机仿真器。产生上述现象的原因很多:有可能受科研单位及大专院校长期脱离市场追求所谓“水平”而致,有可能受单片机教学中某些不正确引导所致;也有可能受我国目前体制与条件局限而致……。原因有很多,但是,只有处理好这个关系,才能使我国单片机应用产生新的飞跃,才能使我国的民族工业得到发展。无锡计算机厂、杭州的电子部 52 所(科润电脑有限公司)及合肥的解放军电子技术学院工厂为我

国的全自动洗衣机、空调等家用电器国产化作出了很大成绩,希望我国能涌现出更多类似的单位。

三、单片机应用贵在“嵌入”

在嵌入系统(如全自动洗衣机、医疗仪器及通信设备等)中,单片机作为控制器嵌入到各应用系统中。但是,人们在开发应用中,往往注意到硬件的嵌入,而较少重视应用软件的嵌入。把嵌入软件简单看作是应用程序的固化。在控制、通信等领域中,很少采用实时多任务操作系统,因而,开发的软件层次不高,开发周期长,可靠性也较差。

PC 机为什么能广泛应用,很重要的一点,系统为用户建立了方便使用的 DOS 及 WINDOWS 开发平台,用户可以十分容易用 DOS 及 BIOS 的系统调用来利用 PC 机的系统资源。我们能否也为我们常用的单片机建立起简单易靠的实时多任务操作系统的开发环境,使人们的各种应用软件能在此开发环境基础上进行开发。只有这样,单片机(嵌入式控制器)才能真正起“嵌入”的作用。即:

嵌入式控制器 = 单片机 + 实时多任务 OS + 应用软件

还有,在一些需文字、图像等处理及数据通信时,单片机应用往往会觉得寻址不够,处理能力不足。因此,有许多应用就采用了 PC 机,直接把 PC 机大

底板作控制器。当然,这种开发也十分有效;但是,这是否又回到了 80 年代初,把 TP-801 单板机直接装到应用系统的 TP-801 时代,该方式体积大、可靠性差(原则上,事务处理的 PC 机是不适合控制之用)及利用率低(不能全部利用大底板上所有的资源)。随着应用的深入,也推出了工业 PC 机及 PC-104 结构 PC;但是,这也仅仅是结构及体积上的改进。Intel 公司的 80386EX 把常用的 PC/AT 机的相应 I/O 都集成在一块芯片内,在 80386 处理器基础上,内含定时/计数器、中断、DMA、串行口、并行口、Watchdog 及 MMU 存储器管理部件,且 I/O 的地址与原 PC 机兼容,支持 DOS 及 Window 开发。因此,我们提出了“宏单片机”的概念,即:

宏单片机 = 80386EX + BIOS

把 80386EX 加上嵌入的 BIOS 当作为“宏单片机”象单片机一样嵌入到应用系统中,而不是把 PC 机大底板简单装入到应用系统中。希望大家都重视“宏单片机”的开发应用,使我国 PC 机的应用也能深入化。

今天我们日常生活中常见的计算器、电子表等控制器实际上是 ASIC 型单片机。因此,单片机的应用,使多板的结构变为单板的结构;而 ASIC 型单片机,又使单板的结构发展为单片的结构。这是单片机应用、发展的方向。

(上接第 47 页)电路板上重新进行配置,由于具有这种重新配置的能力,因此可以采用最少的芯片完成更多的功能。对 FPGA 进行编程,可使其完成任意多个并行通路,这些操作数据通路可以包含有简单和复杂功能构成的任意组合,如加法器、桶形移位器、计数器、相乘和累加、比较器和相关器等。在定义有变动或完全不同的算法时,FPGA 可在系统内部分步或全部地重新配置。XC6200 系列就可以对它的一部分进行配置,而其间的其他部分仍在系统内起作用。如果需要将多个时钟周期的很多计算功能放到 FPGA 中,DSP 芯片则主

要完成单时钟的算法功能。基于 FPGA 的 DSP 加速器与计算机的微处理器采用协处理器加速,这在概念上是完全相同的。FPGA 和通用 DSP 的组合达到的数据流量比两个或多个并行 DSP 器件要高几个数量级,与多个 DSP 或一个 ASIC 相比,FPGA/DSP 的实现基于更大的灵活性,而且效益更好。

目前 Xilinx 公司正在 STD 接口、DSP 应用和其他基本功能等三个领域开发称为 LogicCore 的应用软件,为用户设计高性能和高密度的 FPGA 提供方便。

可配置计算(Reconfigurable Com-

puting)是正在到来的新时代。一些厂商正在大力开发基于可配置计算的硬件平台和软件工具;并有 Boeing、Ericsson、Loral、NTT、Delco、E-systems 和 TRW 等厂商利用可配置计算使用或估价它们的产品;还有一些厂商利用基于可配置计算系统与它们自己的最终产品,来解决各种各样的高性能计算任务,包括卫星通信、DNA 序列的自动搜索、视频游戏的三维图形再现等。

欢迎订阅

《电子产品世界》月刊

邮发代号:82-552