

可编程 ASIC 器件和编程方法

孟宪元 朱正中 清华大学电子工程系

TP332.1

在本刊第一期,曾介绍了电子系统设计的新技术——可编程专用集成电路(ASIC)的发展过程和趋势。本文再就可编程 ASIC 常用的器件和编程方法作些介绍。在这些目前已成为标准化产品的通用可编程器件上,可以通过软件编程的方法实现专门用途的产品或满足用户特定需要的集成电路。

可编程 ASIC 常用的器件有两类:

1. 可编程逻辑器件(PLD):包括简单可编程逻辑器件和复杂可编程逻辑器件(CPLD)。
2. 现场可编程门阵列(FPGA)

下面介绍这些器件的结构和编程方法。

一、可编程逻辑器件

可编程逻辑器件(PLD)主要部份是由两个逻辑门阵列构成,即与阵列和或阵列。输入到 PLD 的信号和其在输入缓冲器中形成的补信号首先通过与阵列,形成输入信号的乘积项,并在或阵列中被相加。与/或阵列结构可在硅片上有效地制造,由于它能直接实现积之和形式的逻辑表达式,使得任何逻辑函数可在这两级与/或门上实现。

表 1 PLD 器件

器件	与阵列	或阵列	应用
PROM	固定	可编程	编码/解码,查找表,分布算法
PLA	可编程	可编程	状态机,数据通道控制
PAL	可编程	固定	编码/解码,查找表,混合输出

根据与/或阵列是否可编程可以有三种 PLD 器件:可编程只读存储器(PROM),可编

程阵列逻辑(PAL)和可编程逻辑阵列(PLA),如表 1。

PAL 对逻辑的复杂度有限制,因此比 PLA 容易使用,而且速度也较快,有较少的出腿和较低的功耗。在一般应用中,这些好处也不会造成逻辑功能降低,所以 PAL 使用较普遍。早期 PLD 主要是实现组合逻辑功能,为简单 PLD。

70 年代后期开始在 PAL 器件中增加了大量不同的输出逻辑功能,如或阵列的输出跨过与阵列反馈到乘积项;增加触发器使 PLD 的功能时序化;复位和置位信号做成可编程的,能在同步和异步模式下运行;增加三态输出和可编程输出极性,多路开关和异或功能等。其中触发器预加载和开机时复位十分重要,尤其对测试和初始状态而言。例如 AMD 公司的 22V10 是专为取代 24 出腿的 PAL 而设计的,它有 12 个输入,10 个输出有输出宏单元,输出的任一个也可改为输入,每个宏单元有 D 触发器和两个可编程的多路开关,两个新的乘积项可以预置或复位触发器,因此 22V10 很快成为最畅销的 PAL 之一。

目前 22V10 已作为划分 PLD 的参考,PLD 所包含的门数大于 22V10 的门数,就认为是复杂的(或高级的)可编程逻辑器件(CPLD)。

Lattice 公司推出了通过阵列逻辑 GAL 来代替 PAL。GAL 利用 EEPROM 单元来控制互连模式和作为开关传输晶体管,所以 GAL 是电可擦除的,并且是可再编程的,同样可实现系统内可再编程的要求。

八十年代 Plus Logic 公司(后并入 Xilinx

FPGA 主要有两种类型的可编程逻辑单元:

查找表类型;

多路开关类型。

因而有两种 FPGA 的结构:

具有可编程内连线的通道型门阵列;

具有类似 PLD 可编程逻辑块阵列的固定内连布线。

(1) 查找表类型

Xilinx FPGA 的逻辑块是具有查找表功能的静态随机存储器(SRAM)。M 个输入的逻辑函数真值表存储在一个 $2^M \times 1$ 的 SRAM 中, SRAM 的地址线起输入的作用, 而 SRAM 的输出为逻辑函数的值, 因此可实现 M 个变量的 2^M 种可能的逻辑函数。逻辑功能和内连关系是由一个“配置程序”来决定, 此配置程序是存储在内部的静态存储单元内, 由于静态存储器中的配置程序在掉电时会丢失, 因此芯片在每次加电时要进行一次配置程序的加载。

Xilinx 的 FPGA 有三种可配置的资源, 核心的可配置逻辑块(CLB)是称为逻辑单元阵列(LCA)的功能积木块; 芯片周围是可配置的 I/O 块; 所有的 CLB 和 I/O 块利用三种互连资源连接在一起, 即直接连接线, 通用内部连线和长线。

(2) 多路开关类型

Actel 公司 FPGA 的逻辑块是基于多路开关类型的, 其输入在接信号或固定电平时有实现不同逻辑函数的能力, 一个基本的逻辑功能积木块由三个两输入多路开关和一个或门组成, 前两个多路开关的输出加到第三个多路开关的输入, 第三个多路开关的控制端由两个控制信号通过或门连接, 因此这样一个宏单元可实现多达八个输入的逻辑函数。排成行的这些宏单元由组成布线资源的布线通道和时钟分配网络分隔开。给定一个多路开关型结构, 必须选择一组 2 至 1 线的多路开关作为基本的函数, 然后再相应地对它们进行编程, 相同的函数可用不同的形式来实现, 取决于输入选择控制信号和输入数据的不同选择。

(3) 多级与非门结构

Altera 的 FPGA 结构是在传统 PLD 的基于 PAL 的结构上演变而来的, 因此在结构上是固定的内连布线, 与前两种可编程内连布线结构不同。

Altera 的与非门结构是基于可实现与-或逻辑的与-或电路, 其输出加到一个异或门构成的。一个基本的与-或-异或逻辑块有四个三输入与门, 三个与门的输出接到一个三输入的或门, 或门的输出和第四个与门的输出接到两输入的异或门。此基本逻辑块可用一个触发器和一个多路开关来扩充, 用多路开关来选择锁存或非锁存的输出信号。异或门可以用来获得可编程的非逻辑, 如果异或门的输入端是分离的, 它的作用是和或门相同的, 这允许或门和异或门形成更大的或函数。

Altera 最新生产的 Flex 8000 系列也是基于查找表结构采用 SRAM 的 FPGA。

三 编程方法

目前可编程逻辑器件(PLD)和 FPGA 等器件为用户提供的编程手段有以下四种:

(1) 紫外线擦除和电气编程存储单元(U-VEPROM), 为紫外光互补金属氧化物半导体 UVMOS。

(2) 电擦除和再编程存储单元(EEPROM), 为电气擦除式互补金属氧化物半导体 EECMOS。

(3) 非熔丝编程技术:

非熔丝是一种两端器件, 未编程状态在其两端呈现很大的高阻, 当一个高电压加到它的两端, 非熔丝将“反熔断”, 形成低阻的连接, 这个连接是永久的, 非熔丝有两种: 一种是 N^+ 扩散与多晶硅之间的氧-氮-氧(ONO)介质; 另一种是金属层之间或多晶硅与第一层金属之间的非晶硅。

(4) 基于 SRAM 的编程技术:

SRAM 编程技术利用静态 RAM 单元来控制传输门或多路开关, 接在两线段间的传输门起闭合开关的作用, SRAM 单元存 1 时, 开关闭合, 线段接通; SRAM 单元存 0 时, 开关打

• 专题综述 •

开,线段间传输门为高阻。控制多路开关时,接到其选择线的 SRAM 单元的状态,控制多路开关的哪一个输入接到输出。

从编程的能力可将编程技术分为两类:

一类是不可再编程的;非熔丝和一次编程(OTP)的 PROM 都是不可再编程的编程技术。

另一类是可再编程的;SRAM 和 EPROM 的编程技术属于此类,这些可再编程的方法中,除 UVEPROM 外,都具有系统内可再编程的能力。

表 2 给出四种编程技术的性能比较及主要的使用厂商。

表 2

1.2 μ mCMOS	非熔丝		UV EPROM		EEPROM	SRAM
	ONO	非晶硅	OTP 型	窗口型		
可再编程能力	否		否	是	是	是
系统内编程	否		否		是	是(丢失性)
编程速度	慢		快		快	快
擦除时间	/		慢		快	快
测试效能	有限		有限		全部	全部
成品率	93—97%		98—99%		100%	100%
开关接通电阻	300—500	50—100	2k—4k		0.5k—2k	2k—4k
分布电容	5fF	1.1—1.3fF	1j0—20fF		10—20fF	10—20fF
增加工艺步骤	3		3		>5	0
面积	熔丝小,编程管大		小		2 $\times$ EPROM	大
供应厂商	Actel Crosspoint Tech QuickLogic Texas Instru		Altera Atmel Cypress Semi Philips Semi Texas Instru		AMD AMI Lattics Semi National Semi SGS—Thoms	Xilinx Atmel AT&T Intel Motorola Aptix Plessey Semi Tosiba

参考文献

1. Electronic Design
May 2. 1994 April 18. 1994
May 27. 1993 October 1. 1992
2. Proceedings of the IEEE Vol. 81 No. 7 July 1993 Special Section of FPGA
3. 可编程 ASIC 及 VHDL 设计方法
清华大学内部教材 孟宪元编 1993. 11
4. 电子科技导报 第 1 期 1994. 7